ОГЛАВЛЕНИЕ

Предисловие 4

Глава **1. Структура, принципы построения и технические характеристики** 5
1. Назначение и технические характеристики 5
2. Принципы построения 6
3. Канал микроЭВМ 7
4. Центральный процессор 13
5. Внешняя память 15
6. Модули сопряжения с внешними устройствами ввода-вывода 16
7. Система команд 17

Глава **2. Эксплуатация микроЭВМ** 38
1. Включение питания 38
2. Команды пультового терминала 38
3. Загрузка операционной системы 40
4. Проверка технического состояния 41
5. Создание рабочей копии операционной системы ФОДОС 44
6. Дополнительные устройства 46
7. Техническое обслуживание 47

Глава **3. Центральный процессор М2** 49
1. Структурная схема 49
2. Характеристики МПК БИС К581 51
3. Элементы функциональной схемы ЦП 54
4. Реализация основных циклов обращения к каналу 55
5. Реализация системы прерывания 59
6. Реализация режима прямого доступа к памяти 63
7. Методы дефектации и настройки модуля ЦП М2 64

Глава **4. Оперативное запоминающее устройство** 67
1. Модуль памяти П2 67
2. Модуль памяти П3 69
3. Методика поиска неисправностей модулей памяти и их устранение 72

Глава **5. Интерфейсы** 75
1. Интерфейс И2 75
2. Интерфейс И7 79
3. Интерфейс устройства последовательного обмена 84
4. Интерфейс И4 91
5. Интерфейс В3 98
6. Интерфейс В21 101
7. Канальные коннекторы 104
8. Методика поиска неисправностей модулей интерфейсов 106

Глава **6. Блок питания** 109
1. Назначение и техническая характеристика 109
2. Функционирование блока питания 109
3. Характерные неисправности и методы их устранения 118

Глава **7. Периферийное оборудование** 119
1. Дисплей 15 ИЭ-00-13 119
2. Накопитель на гибких магнитных дисках НГМД 7022 122
3. Печатающее устройство «Роботрон 1156» 125
5. Перфоленточные устройства ввода-вывода 126

Глава **8. Системное программное обеспечение микроЭВМ** 128
1. Тест-мониторная система 128
2. Перфоленточная операционная система 137
3. Операционная система ФОДОС 138

Приложение 140
Список литературы 191

ББК 32.973.2-08я75
З-38
УДК 681.3-181.4.004.5(075.9)

Рецензент инж. *В. А. Фиссон*

Захаров И. В.

З-38 Техническое обслуживание и эксплуатация микроЭВМ «Электроника-60М».— М.: Машиностроение, 1989.— 192 с.: ил.

ISBN 5-217-00385-5

Рассмотрены структуры, принципы построения и эксплуатации вычислительных комплексов, построенных на базе микроЭВМ «Электроника-60М». Описаны устройство и функционирование узлов и блоков микроЭВМ «Электроника-60М», а также даны рекомендации по ее техническому обслуживанию и ремонту.

Для работников, занимающихся вопросами эксплуатации, технического обслуживания и ремонта микроЭВМ типа «Электроника», а также для подготовки и повышения квалификации этих работников.

Может быть полезна всем специалистам, использующим в своей работе данную микроЭВМ.

З $\frac{2405000000-043}{038(01)-89}$ 43—89 ББК 32.973.2-08я75

ISBN 5-217-00385-5 © Издательство «Машиностроение», 1989.

ПРЕДИСЛОВИЕ

На XXVII съезде КПСС принята обширная программа реконструкции народного хозяйства на основе научно-технического прогресса. В Политическом докладе съезду Генеральный секретарь ЦК КПСС М. С. Горбачев, в частности, сказал: «На темпы технической реконструкции огромное влияние окажет электронизация и автоматизация производства». Широким потоком начинает поступать вычислительная техника и в общеобразовательные школы и ПТУ.

Большое распространение в настоящее время получили микроЭВМ семейства «Электроника». Из первых моделей наибольшее распространение получила микроЭВМ «Электроника-60», совместимая с мини-ЭВМ «Электроника 100/25», СМ 4. Старшие модели многоплатных микроЭВМ «Электроника» МС 1211, МС 1213 и одноплатные микроЭВМ «Электроника С5-41», «Электроника НЦ 80-01Д» (МС 1201, 01, 02) совместимы программно и аппаратно и имеют единую систему команд микроЭВМ «Электроника-60».

В настоящее время выпускают микроЭВМ «Электроника-60М», отличающуюся от своей предшественницы более производительным процессором и широким набором моделей сопряжения.

Помимо задач применения компьютерной техники возникает проблема ее технического обслуживания. До недавнего времени подавляющий объем работ по текущему ремонту микроЭВМ «Электроника-60М» выполнялся заводами-изготовителями, но в связи с широким распространением этих машин появилась необходимость организации ремонтных служб на местах.

В представленном учебном пособии изложены общие принципы построения микроЭВМ «Электроника-60М», вопросы эксплуатации и даны технические характеристики периферийного оборудования. Приводится полное описание системы команд. Наиболее подробно рассматриваются конструкции центрального процессора, блоков сопряжения и других узлов машины, а также приводятся рекомендации по их ремонту. Кроме того, достаточно подробно приводится тест-мониторная система (ТМОС), позволяющая проводить проверку работоспособности вычислительного или управляющего комплекса на базе микроЭВМ. В приложении к пособию содержатся электрические схемы всех описываемых блоков микроЭВМ.

Для эффективного ремонта машины требуется знание элементной базы и способность составления элементарных циклических программ обращения, примеры которых приведены в пособии.

Все практические рекомендации распространяются и на последующие модели микроЭВМ семейства «Электроника», такие, как ДВК1, ДВК2.

ГЛАВА 1

СТРУКТУРА, ПРИНЦИПЫ ПОСТРОЕНИЯ И ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

1. Назначение и технические характеристики

Одноплатная микроЭВМ «Электроника-60М» используется для построения вычислительных комплексов, предназначенных для сбора, накопления и обработки цифровой информации научно-технических и инженерно-конструкторских расчетов, а также моделирования и управления объектами в реальном масштабе времени.

МикроЭВМ в зависимости от круга решаемых задач может быть осиащена различным набором внешних устройств (периферийных устройств ввода-вывода, запоминающих устройств и т. п.).

Управление работой вычислительного комплекса в целом осуществляется так называемой операционной системой, в которую входят как стандартные программы управления, так и программы, составленные пользователем.

Техническая характеристика

Система исчисления для чисел и команд	Двоичная
Разрядность для чисел и команд	16 двоичных разрядов
Принцип работы основных устройств	Параллельный
Система команд	Безадресная, одноадресная, двухадресная
Виды адресации	Регистровая, косвенно-регистровая, автоинкрементная, косвенно-автоинкрементная, автодекрементная, косвенно-автодекрементная, индексная, косвенно-индексная
Число регистров общего назначения (РОН)	8
Число каналов передачи информации	1
Число уровней запроса канала внешними устройствами	3
Число уровней запроса канала, на которые возможно прерывание программы	2 (в том числе один уровень запроса от таймера с постоянным адресом вектора прерывания)
Обработка внешних и внутренних прерываний выполняется с использованием памяти магазинного типа (стека)	
Число команд	81
Число команд расширенной арифметики	4
Число команд для вычислений с плавающей запятой	4
Число адресуемых ячеек	До 32К 16-разрядных слов
Емкость резидентного оперативного запоминающего устройства (ОЗУ)	4К 16-разрядных слов
Время обращения к ОЗУ	$\leqslant$ 700 нс
Длительность цикла работы ОЗУ	$\leqslant$ 2,4 мкс
Время выполнения двухадресных команд типа «сложения» при регистровом методе адресации	4 мкс
Время выполнения одноадресных команд типа «очистка» при регистровом методе адресации	4,4 мкс
Время выполнения одноадресных команд типа «очистка» при косвенно-регистровом методе адресации	7,6 мкс
Время выполнения команд типа «сложение с плавающей запятой»	$\leqslant$ 218 мкс
Время выполнения команд типа «умножение с плавающей запятой»	$\leqslant$ 360 мкс

Одноплатная микроЭВМ «Электроника-60М» работает при подаче напряжения питания + 5В ± 5 %, потребляя ток не более 2,5 А, и при подаче напряжения + 12В ± 3 %, потребляя ток не более 1,5 А.

2. Принципы построения

МикроЭВМ «Электроника-60М» имеет модульный принцип построения (рис. 1), т. е. все функциональные блоки выполнены в виде конструктивно-законченных устройств (модулей), связь между которыми осуществляется через единый канал обмена информацией.

Основным устройством ЭВМ является центральный процессор ЦП, который управляет распределением времени использования канала при обращении к остальным модулям и выполняет необходимые арифметико-логические операции обработки информации.

Связь через канал замкнутая, т. е. на управляющий сигнал, передаваемый активным устройством, например ЦП, должен поступить ответный сигнал от пассивного устройства, поэтому процесс обмена между устройствами не зависит от длины канала и времени отклика пассивного устройства.

Асинхронное выполнение операций передачи данных устраняет необходимость в тактовых импульсах, в результате этого обмен данными с каждым подключенным к каналу устройством может происходить с максимально возможным для данного устройства быстродействием.

Управляющая программа и данные обработки располагаются в ОЗУ или при необходимости считываются с внешних устройств ввода-вывода УВВ. Связь периферийного оборудования с ЦП осуществляется через соответствующие блоки связи — интерфейсы. Весь набор интерфейсных блоков можно разделить на ориентированные, т. е. предназначенные для связи ЦП с каким-либо конкретным УВВ, и универсальные. Универсальные интерфейсы помимо шин канала микроЭВМ имеют достаточно широкий набор входных и выходных линий связи, которые при необходимости задействуются для управления конкретным УВВ. Универсальные интерфейсы могут быть как последовательными, так и параллельными. Каждый интерфейсный блок содержит хотя бы пару адресуемых регистров: регистра состояния (РС) и регистра данных (РД). Поэтому связь с внешними устройствами также легко доступна для ЦП, как и с ОЗУ. Кроме того, схемы интерфейсных блоков могут содержать схемы обработки запросов прерывания и прямого доступа к памяти (ПДП).

ЦП обеспечивает три типа обмена данными с внешними устройствами ввода-вывода: программный обмен, обмен в режиме прерывания и обмен в режиме прямого доступа к памяти.

Программный обмен — это передача данных под управлением программы. Обычно перед началом обмена определяется состояние соответствующего разряда РС данного устройства для анализа его готовности к работе и затем через РД происходит собственно обмен данными.

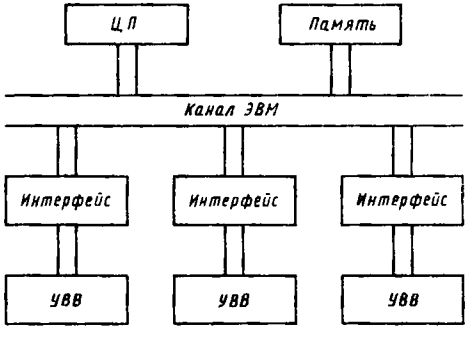


Рис. 1. Структурная схема микроЭВМ «Электроника-60М»

Обмен данными по инициативе внешнего устройства происходит либо в режиме прерывания программы, либо в режиме прямого доступа к памяти.

При обмене данными в режиме прерывания — выполнение основной программы приостанавливается. Такой режим эффективен, если учитывать относительно малое быстродействие некоторых УВВ и зачастую произвольный момент их готовности к обмену. В таком режиме нет необ-

ходимости загружать основную программу циклическим опросом готовности внешних устройств.

Входя в программу обработки прерывания, необходимо обеспечить сохранность состояния ряда служебных регистров ЦП (например, текущее состояние счетчика команд), для этих целей используется память магазинного типа (стек).

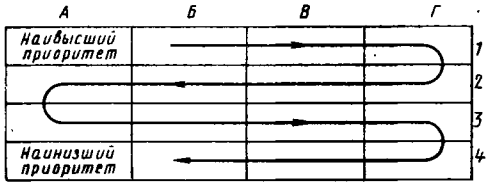


Рис. 2. Схема распространения сигнала К ППР Н и К ППД Н по монтажной панели

Следует также учесть, что не на любом участке основной программы ее можно прерывать. В регистре состояния ЦП есть программно-управляемый разряд разрешения прерываиия. Кроме того, программным способом выдается разрешение работы самого интерфейса в режиме прерывания, для чего в его регистре состояния выделяется соответствующий разряд. Разрешение на прерывание основной программы выдается по окончании выполнения текущей команды.

Обмен в режиме прямого доступа к памяти является самым быстрым способом передачи данных между памятью и внешним устройством. Реализация данного режима рациональна тогда, когда скорость обмена данными устройства ввода-вывода настолько велика, что ЦП не успевает их программно обработать.

Скорость обмена в режиме ПДП определяется быстродействием памяти. В этом режиме адресацией и размером передаваемого массива управляет сам интерфейс. Если режим ПДП используется для передачи одного 16-разрядного слова или байта, режим регенерации оперативной памяти может управлять ЦП. При обмене массивами регенерацию памяти должен обеспечивать сам интерфейс.

Циклы ПДП не меняют состояния регистров ЦП и разрешаются по окончании текущего цикла обращения к каналу.

Все устройства, способные работать в режиме прерывания и (или) режиме ПДП, выстроены по отношению к ЦП в приоритетную цепочку (рис. 2). Это необходимо, например, для того, чтобы при одновременном запросе на прерывание двух или более внешних устройств первым было обработано устройство, имеющее более высокое быстродействие, или устройство, данные от которого не могут быть восстановлены.

Практически реализация в приоритетной цепочке обеспечивается таким электрическим подсоединением интерфейсов к ЦП, когда интерфейс с более высоким приоритетом ближе расположен к ЦП.

Программы обработки прерывания также могут прерываться другими устройствами в соответствии с изложенными выше условиями.

3. Канал микроЭВМ

Канал содержит 38 линий связи, из которых 31 линия является двунаправленной. Это означает, что по одним и тем же линиям информация может как приниматься, так и передаваться.

Конструктивно канал микроЭВМ выполнен в виде печатной платы, обеспечивающей необходимые электрические соединения между контактами розеток, к которым подключены различные устройства.

Расположение устройств на коммутационной панели может быть произвольным, но без пропусков позиций (см. рис. 2); модуль ЦП всегда должен занимать верхнюю позицию.

Гнезда В и Г идентичны гнездам А и Б, поэтому в табл. 1 включены только контакты гнезд А и Б. Следующие затем через двоеточие буквы А или Б соответственно указывают контакты со стороны навесных элементов или со стороны печатного монтажа.

Обозначения сигналов обычно представляют собой сокращения, отражающие смысловое значение. Буквы Н или В (низкий, высокий), следующие за собственно обозначе-

Таблица 1

Сигналы на контактах канала микроЭВМ

Номер контакта	Обозначения сигналов и контактов	Наименование сигнала или контакта	Номер контакта	Обозначения сигналов и контактов	Наименование сигнала или контакта
+А : А8	ОБЩ	Общий контакт	+А : Б11	К ППР 1 Н	Входной и выходной сигналы предоставления прерывания
+А : А11	ОБЩ	Общий контакт	+А : Б12	К ППР 0 Н	
+А : А12	К ТПД Н	Требование прямого доступа к памяти	+А : Б13	К ВУ Н	Выбор внешнего устройства
+А : А13	К ОСТ Н	Останов	+А : Б14	К ППД 1 Н	Входной и выходной сигналы прямого доступа к памяти
+А : А14	К РГН Н	Регенерация			
+А : А16	ОБЩ	Общий контакт	+А : Б15	К ППД 0 Н	
+А : А18	+5В Б	Батарейное питание +5В	+А : Б16	К СБРОС Н	Первоначальная устаиовка канала
+Б : А1	К ПОСТ Н В	Постоянное питание нормально	+А : Б17	К ДА 00 Н:	Линия адреса/данных
+Б : А2	К ПИТ Н В	Сетевое питание нормально	+А : Б18	К ДА 01 Н	» » »
+Б . А8	ОБЩ	Общий контакт	+Б : Б1	+5В	Питание +5В
+Б : А11	ОБЩ	Общий контакт	+Б : Б2	—12 В	Питание —12 В (если необходимо)
+Б : А12	К ПВ Н	Подтверждение выбора	+Б : Б3	ОБЩ	Общий контакт
+Б : А14	К ПРТ Н	Требования прерывания по таймеру	+Б : Б4	+12 В	Питание +12 В
+Б : А16	ОБЩ	Общий контакт	+Б : Б5	К ДА 02 Н	Линия адреса/данных
+Б : А18	+5В	Питание +5В	+Б : Б6	К ДА 03 Н	» » »
+А : Б1	+5В	Питание +5В	+Б : Б7	К ДА 04 Н	» » »
+А : Б3	ОБЩ	Общий контакт	+Б : Б8	К ДА 05 Н	» » »
+А : Б4	+12 В	Питание +12В	+Б : Б9	К ДА 06 Н	» » »
+А : Б5	К ВЫВОД Н	Вывод данных	+Б : Б10	К ДА 07 Н	» » »
+А : Б6	К СИП Н	Сигнал синхронизации пассивного устройства	+Б : Б11	К ДА 08 Н	» » »
			+Б : Б12	К ДА 09 Н	» » »
+А : Б7	К ВВОД Н	Ввод данных	+Б : Б13	К ДА 10 Н	» » »
+А : Б8	К СИА Н	Сигиал синхронизации активного устройства	+Б : Б14	К ДА 11 Н	» » »
			+Б : Б15	К ДА 12 Н	» » »
			+Б : Б16	К ДА 13 Н	» » »
+А : Б9	К БАЙТ Н	Вывод байта	+Б : Б17	К ДА 14 Н	» » »
+А : Б10	К ТПР Н	Требование прерывания	+Б : Б18	К ДА 15 Н	» » »

нием сигнала, указывают на эффективный уровень сигнала. Низкий уровень соответствует уровню логического нуля серии К 155 и составляет 0 ... 0,8 В. Высокий уровень соответствует логической единице и равен 2,4 ... 5 В.

Сигналы канала.

К ДА 15 Н... К ДА 00 Н — 16 сигналов адресов и данных, которые передаются по магистрали К ДА Н.

К ВУ Н — сигнал-признак обращения к регистрам УВВ (адреса 160000_8...177777_8); сигнал считается активным только в адресной части цикла.

К СИА Н — синхросигнал активного устройства, информирующий, что оно проводит цикл обращения к каналу. Фронт сигнала формируется не ранее чем через 150 нс после формирования на магистрали К ДА Н кода адреса и собственно является признаком начала цикла.

К СИП Н — синхросигнал пассивного устройства, информирующий активное устройство о том, что оно либо приняло переданные по магистрали К ДА Н данные, либо само передало в магистраль данные или вектор прерывания. К СИП Н вырабатывается в ответ на сигналы активного устройства К ВВОД Н или К ВЫВОД Н.

К ВВОД Н — сигнал, вырабатываемый активным устройством и означающий, что это устройство производит выборку данных через канал из адресуемой ячейки памяти или при наличии сигнала К ППР Н обеспечивает прием кода вектора прерывания.

К ВЫВОД Н — сигнал, вырабатываемый активным устройством при загрузке данных через канал в адресуемую ячейку памяти.

К БАЙТ Н — сигнал, вырабатываемый активным устройством в адресной части цикла и используемый им как признак цикла «Вывод» обращения к каналу и признак байтовой операции (обмен только байтом), если сигнал присутствует совместно с сигналом К ВЫВОД Н.

К ТПР Н — сигнал, вырабатываемый пассивным устройством, если оно готово принять или передать данные ЦП.

К ППР Н — сигнал, вырабатываемый активным устройством в момент выхода в режим прерывания, сигнал транслируется через все интерфейсы: входной сигнал обозначается К ППР I Н, выходной — К ППР О Н.

К ТПД Н — сигнал, вырабатываемый устройством прямого доступа при необходимости захватить канал ЭВМ для обмена данными с ОЗУ.

К ППД Н — сигнал, вырабатываемый активным устройством.

К ПВ Н — сигнал, вырабатываемый устройством прямого доступа для удержания ЦП в пассивном состоянии по отношению к каналу.

К ПРТ Н — сигнал требования прерывания по внешнему событию — таймеру. Прерывание по таймеру имеет более высокий приоритет по отношению к требованию прерывания внешних устройств.

К РГН Н — сигнал формируется активным устройством, выполняющим цикл регенерации памяти. Сигнал обеспечивает одновременный выбор всех банков памяти вне зависимости от выставленного на магистрали К ДА Н адреса.

К ПОСТ Н В — сигнал, вырабатываемый блоком питания, если значения стабилизированных постоянных напряжений в норме, в противном случае сигнал снимается.

К ПИТ Н В — сигнал, вырабатываемый блоком питания, если значение сетевого напряжения не менее допустимого, в противном случае снимается.

К СБРОС Н — сигнал, формируемый активным устройством для начальной установки всех устройств, подключенных к каналу, он вырабатывается в следующих случаях:

после включения питания по сигналу К ПОСТ Н В;

при выполнении команды ЦП RESET;

при пуске программы, выполняемой командой G пультового терминала.

К ОСТ Н — сигнал, переводящий ЦП в режим связи с пультовым терминалом, при этом прекращается выполнение текущей программы и игнорируются все внешние запросы прерывания.

Основные циклы обращения к каналу. Для функционирования микроЭВМ ЦП должен выбирать коды данных и команд из ячеек внешней памяти и загружать их, т. е. выполнять элементарные циклы ВВОД и ВЫВОД.

Если выбираемые из внешней памяти данные после обработки ЦП вновь загружаются в ту же ячейку, то рационально вместо двух циклов ВВОД и ВЫВОД реализовать совместный цикл ВВОД-ПАУЗА-ВЫВОД.

Естественно, что выполнение любой команды ЦП начинается с цикла ВВОД. По состоянию счетчика команд из управляющей памяти выбирается код команды. Затем в зависимости от собственно команды и метода адресации операндов (если операнды необходимы) либо осуществляется однозначное конечное число циклов обращения к каналу, реализующих выполнение выбранной команды, либо проводится выборка кода следующей команды.

Цикл ВВОД. За начало цикла примем начало формирования кода адреса на магистрали сигналов К ДА Н, затем с задержкой около 150 нс (рис. 3) ЦП формирует сигнал К СИА Н, который определяет начало процессорного цикла обращения к каналу, и, кроме того, фронт сигнала используется для записи кода адреса (или некоторой

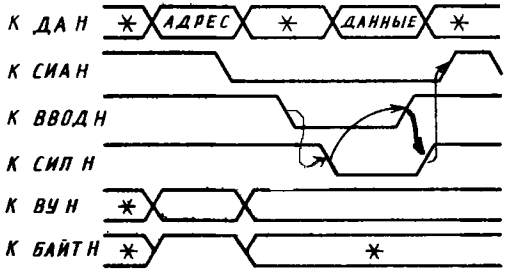


Рис. 3. Диаграмма цикла ВВОД:
* — уровень сигнала не имеет значения;
** — устанавливается только при байтовых операциях

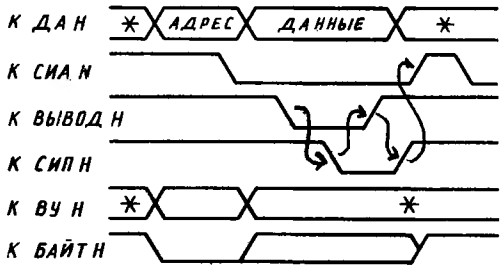


Рис. 4. Диаграмма цикла ВЫВОД

части его разрядов) в буферный регистр адреса (БУРА) вызываемого пассивного устройства.

После формирования сигнала К СИА Н код адреса снимается с магистрали. Затем ЦП вырабатывает сигнал К ВВОД Н, который обеспечивает выборку информации из адресуемой ячейки. Выбранная информация по магистрали поступает в процессор в сопровождении сигнала К СИП Н, формируемого пассивным устройством, которому принадлежит адресуемая ячейка. ЦП, принимая сигнал К СИП Н, снимает сигнал К ВВОД Н. Это, в свою очередь, приводит к снятию пассивным устройством кода данных с магистрали и сигнала К СИП Н. Снятие сигнала К СИП Н приводит к снятию ЦП сигнала К СИА Н. Цикл ВВОД обращения к каналу закончен.

В цикле ВВОД всегда происходит выборка полного 16-разрядного слова. Если происходит обращение к регистрам (ячейкам) УВВ, осуществляется выработка сигнала К ВУ Н.

Цикл ВЫВОД. За начало цикла примем начало формирования активным устройством на магистрали К ДА Н кода адреса. Затем с задержкой около 150 нс (рис. 4) активное устройство формирует сигнал К СИА Н, обеспечивающий запись кода адреса (или части его разрядов) в БУРА. После этого код адреса снимается с магистрали и на ней формируется код данных. Активное устройство формирует сигнал К ВЫВОД Н, который обеспечивает в пассивном устройстве загрузку кода данных в адресуемую ячейку. Кроме того, в ответ на сигнал К ВЫВОД Н пассивное устройство формирует сигнал К СИП Н. Активное устройство, принимая сигнал К СИП Н, снимает с магистрали код данных и сигнал К ВЫВОД Н. Снятие сигнала К ВЫВОД Н приводит к снятию пассивным устройством сигнала К СИП Н, вследствие чего активное устройство прекращает подачу сигнала К СИА Н. Цикл закончен. Следует заметить, что в адресной части цикла ВЫВОД всегда формируется сигнал К БАЙТ Н, затем в зависимости от кода команды он либо снимается, обеспечивая вывод полного 16-разрядного слова, либо будет присутствовать, обеспечивая загрузку только младшего или старшего байта (в зависимости от кода адреса). Четные адреса адресуются к младшим байтам, нечетные — к старшим байтам.

При обращении к ячейкам регистра УВВ в адресной части цикла формируется активный сигнал К ВУ Н.

Цикл ВВОД — ПАУЗА — ВЫВОД. При выполнении ряда двухадресных команд после обработки операндов результат засылается по адресу последнего выбранного операнда. А поскольку его адрес хранится в БУРА, имеется возможность пропустить адресную часть цикла ВЫВОД. Характерной особенностью цикла ВВОД — ПАУЗА — ВЫВОД является (рис. 5) сохранение сигнала К СИА Н после снятия сигнала К СИП Н при выборке операнда из ячейки. Сигнал К БАЙТ Н формируется при необходимости (в байтовых операциях) одновременно с данными, загружаемыми в ячейку (совместно с сигналом К ВЫВОД Н).

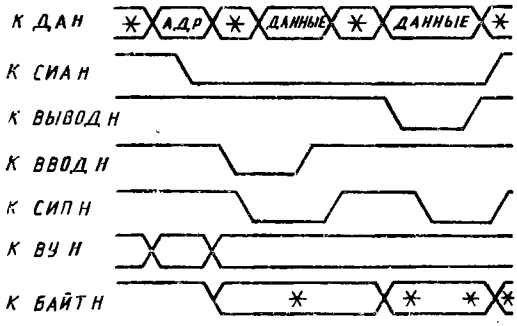


Рис. 5. Диаграмма цикла ВВОД — ПАУЗА — ВЫВОД

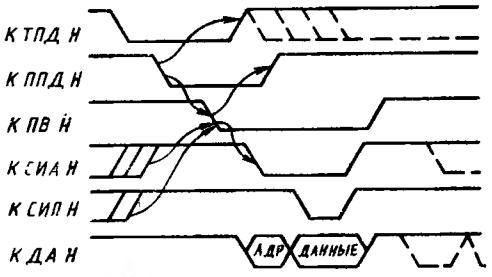


Рис. 6. Диаграмма предоставления прямого доступа к памяти

Режим прямого доступа к памяти. Устройствами прямого доступа оснащаются УВВ высокого быстродействия, а также наладочные стенды. Устройство, требующее прямого доступа, при необходимости вырабатывает сигнал К ТПД Н (рис. 6). Этот сигнал, поступая в ЦП, будет обработан только по окончании текущего цикла обращения к каналу (т. е. при снятии сигнала К СИА Н).

После обработки сигнала К ТПД Н ЦП вырабатывает сигнал К ППД Н, который, распространяясь по приоритетной цепочке и достигая устройства, требующего прямого доступа, обеспечивает снятие им сигнала К ТПД Н и выработку сигнала К ПВ Н. Сигнал К ПВ Н, поступая на ЦП, во-первых, обеспечивает отключение его от канала ЭВМ и, во-вторых, снимает сигнал К ППД Н.

Теперь управление каналом осуществляется устройством ПДП, которое должно обеспечить реализацию штатных циклов обращения к каналу (в соответствии с известными временными диаграммами).

Если устройство ПДП обменивается с памятью массивами информации, то оно обязано также и обеспечивать циклы регенерации памяти. Когда передача данных закончится, устройство снимает сигнал К ПВ Н и возвращает управление каналом ЦП, который возобновляет свою работу, вырабатывая сигнал К СИА Н, или выдает новое разрешение на использование канала, если вновь вырабатывается сигнал К ТПД Н.

Режим прерывания программы. Прерывание программы — это временное прекращение текущей программы и переход к выполнению программы обслуживания устройства, требующего прерывания. Каждое устройство, способное вызвать прерывание, должно иметь регистр состояния, содержащий разряд разрешения прерывания. Этот разряд должен быть программно установлен в состояние «1», если устройству разрешается прерывание программы. Кроме того, ЦП будет предоставлять прерывание и, следовательно, выполнять программу обслуживания устройства только в том случае, если седьмой разряд его регистра состояния будет установлен в нуль.

Каждое устройство, требующее прерывание, имеет программу обслуживания, вход в которую осуществляется автоматически с помощью вектора прерывания. Временная диаграмма приема вектора прерывания представлена на рис. 7. Последовательность обработки сигнала требования прерывания следующая.

Устройство, которому необходимо обслуживание, выдает в канал сигнал К ТПР Н. По окончании выполнения текущей команды и если прерывание программы разрешено, ЦП переходит в режим обработки запроса. Микропрограмма обработки запроса начинается двумя циклами ВЫВОД, в результате которых в ОЗУ (в зону стека) по адресу, определяемому состоянием регистра указателя стека (УС), в две последовательно расположенные ячейки загружается содержимое регистра состояния процессора (РСП) и счетчика команд (СК). Затем ЦП последовательно обеспечивает выдачу в канал микроЭВМ сигналов К ВВОД Н и К ППР Н.

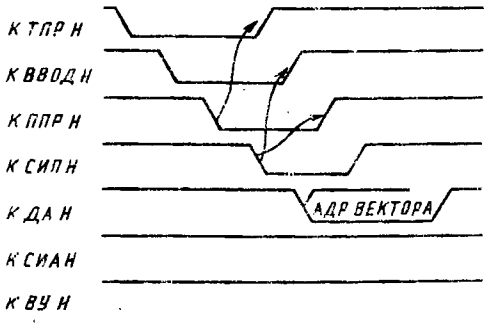


Рис. 7. Диаграмма приема вектора прерывания

Сигнал К ВВОД Н, поступая на интерфейсы всех устройств, подключенных к каналу, обеспечивает в устройстве, требующем прерывания, выработку условия запрета трансляции через него сигнала К ППР Н.

После выработки сигнала К ВВОД Н начинает вырабатываться сигнал К ППР Н, который, распространяясь по приоритетной цепочке и достигая первого устройства, требующего прерывания, обеспечивает выдачу им в канал кода вектора прерывания в сопровождении сигнала К СИП Н. Следует отметить, что сигнал К СИА Н во время этой операции не вырабатывается. Кроме того, по сигналу К ППР Н данным устройством снимается сигнал К ТПР Н, но на соответствующей шине он может сохраниться, если одновременно с этим устройством прерывания требовало и другое устройство. ЦП, принимая сигнал К СИП Н, снимает сигналы К ВВОД Н и К ППР Н, что в свою очередь обеспечивает снятие сигнала К СИП Н. Далее в ЦП вводится новое содержимое СК и РСП из двух последовательных ячеек, адрес первой из которых определяется кодом вектора прерывания, после чего ЦП по состоянию СК выбирает первую команду программы обработки прерывания и начинает ее выполнение.

По завершении программы обслуживания ЦП возобновляет выполнение прерванной программы с помощью одной из команд возврата из прерывания, по которой из стека выбираются два слова и записываются в СК и РСП.

В отличие от процедуры обслуживания запроса на прерывание от периферийного устройства, когда код вектора выбирается из канала, ЦП реализует прерывания по внутренним векторам, коды которых он формирует самостоятельно на микропрограммном уровне. Это — прерывание по сигналам со схем таймера и контроля нарушения питания, со схемы контроля обращения к каналу, по соответствующим системным командам.

Под векторы прерывания условно отведены в памяти ячейки с адресами 000000_8 — 000376_8, так как для каждого вектора необходимы две 16-разрядные ячейки (хранящие новое содержимое СК и РСП), поэтому коды адресов векторов прерываний являются четными и заканчиваются на 0 или на 4. Приведем некоторые коды адресов векторов внутренних и внешних прерываний:

4 — ошибка обращения к каналу
10 — резервная команда
14 — ВРТ
20 — IOT
24 — нарушение питания
30 — EMT
34 — TRAP
60 — клавиатура терминала (дисплея)
64 — печать терминала (дисплея)
70 — считыватель с перфоленты
74 — перфоратор
100 — таймер
244 — плавающая запятая
300 — интерфейс И2 (приемник)
304 — интерфейс И2 (передатчик)
264 — интерфейс И4
200 — интерфейс И7

4. Центральный процессор

Являясь основным устройством мнкроЭВМ, ЦП, во-первых, обеспечивает распределение времени использования канала, во-вторых, выполняет все необходимые арифметические и логические операции, реализующие систему команд. Кроме того, ЦП способен проводить обработку ряда внутренних и внешних прерываний в следующем порядке:

прерывание по ошибке обращения к каналу;
регенерация ОЗУ;
командное прерывание;
прерывание по разряду Т;
прерывание по аппаратному останову;
прерываиие по нарушению питания;
прерывание по таймеру;
прерывание от периферийных устройств.

В своем составе ЦП содержит восемь доступных пользователю 16-разрядиых РОН с номерами 0—7. Эти регистры могут использоваться как накопительные или для хранения адресов при задании различных способов адресации, а также для других целей. При этом два последних регистра имеют персональные назначения:

регистр R6 используется как указатель стека (УС) и содержит адрес последней заполненной ячейки. Начальное состояние УС формируется программно;

регистр R7 является счетчиком команд (СК) и содержит адрес текущей команды.

Помимо РОН ЦП имеет еще один доступный пользователю регистр — РСП. Разряды РСП (рис. 8) содержат информацию о текущем приоритете процессора (разрешение прерываиия), состоянии кодов условий ветвления и состоянии разряда *Т*.

Разряд 07 РСП определяет приоритет процессора. Если содержимое разряда равно 1, то внешнее устройство не может вызывать прерывание текущей программы. Для удовлетворения требования прерывания разряд устанавливается в состояние 0.

Разряд доступен как в программном, так и в пультовом режиме.

Состояние разряда 04 РСП (разряда *Т*) устанавливается при выборке из стека нового содержимого РСП и затем используется в отладочных программах для такого режима выполнеиия отлаживаемой программы, когда выполнение интересующих пользователя команд вызывает прерывание этой программы и переход на программу связи с оператором. Разряды 00 —03 (разряды *C*, *V*, *Z*, *N*) определяют коды условий ветвления и содержат информацию о результате выполнения последней выполненной процессором команды. Кроме того, установка или очистка этих разрядов может быть непосредственно произведена соответствующими командами в программном или пультовом режиме командами терминала. Установка разрядов по результатам операции выполняется в следующих случаях:

$Z=1$ (результат операции равен 0);

$V=1$ (в результате операции произошло арифметическое переполнеиие);

$C=1$ (в результате операции произошел переиос из самого старшего разряда либо при сдвиге вправо или влево из самого старшего или младшего разряда была выдвинута «1»);

$N=1$ (результат операции отрицателен).

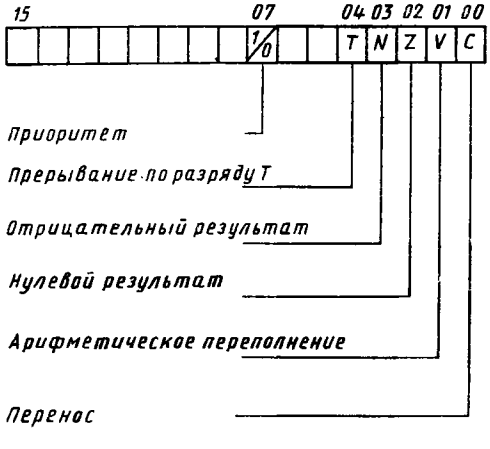


Рис. 8. Слово состояния процессора

ЦП может обрабатывать как 16-разрядные слова, так и байты. Признаком байтовой команды является состояние «1» старшего разряда соответствующих команд и обращение к младшему или старшему байту слова задается адресом ячейки. Младшие байты выбираются из ячеек с четными адресами, старшие байты — из ячеек с нечетными адресами. Ячейки, содержащие полные слова, всегда имеют четные адреса.

Для возможности обработки положительных и отрицательных чисел старший 15-й разряд операнда принимается знаковым, и если его состояние «0» — число положительное, а если «1» — число отрицательное.

Сравнение чисел, имеющих знак, отличается от сравнения чисел без знака тем, что при выполнении арифметических операций, в которых используется признак знака, последовательность чисел следующая:

наибольшее число	077777_8
	077776_8
	.....
	.....
положительные числа	000001_8
	000000
отрицательные числа	177777_8
	.....
	.....
	100001_8
наименьшее число	100000_8

Для 16-разрядных чисел, не имеющих знака, последовательность следующая:

наибольшее	177777_8
	.....
	.....
	.....
наименьшее	000000_8

Помимо системы команд ЦП реализует микропрограммы реализации команд пультового терминала.

На модуле ЦП среди прочих имеются перемычки Е6, Е12, задающие тот или иной режим работы (начального пуска) в соответствии с табл. 2.

Таблица 2

Режимы начального пуска микроЭВМ

Режим	Е6	Е12	Комментарий	Режим	Е6	Е12	Комментарий
Режим 0	0	0	Выполнение микропрограммы, реализующей пуск через вектор прерывания 24_8, при этом разряд Т РСП загружается разрядом 04 ячейки 26_8	Режим 2	1	0	Выполнение микропрограммы, реализующей старт с адреса 173000_8, при этом в разряд Т РСП заносится нуль и устанавливается разряд 07 запрета прерывания
Режим 1	0	1	Выполнение микропрограммы выхода на связь с пультовым терминалом (печать или отображение)	Режим 3	1	1	Выход на реализацию микропрограммы пользователя

Примечание. 1 — перемычка установлена; 0 — перемычка удалена

В отсутствии микропрограммы пользователя ЦП вызывает прерывание по вектору 10_8. При выполнении операций по включению питания имеет значение состояние сигнала К ОСТ Н (тумблер ПРОГРАММА — ПУЛЬТ). Если он имеет эффективный низкий уровень, то практически реализуется режим 1.

5. Внешняя память

Ячейкн внешней памяти (по отношению к ЦП) предназначены для хранения управляющих программ и данных.

Разрядность процессора позволяет производить обращение через каиал к 32К 16-разрядных ячеек.

Условно весь объем адресуемой памяти разбит на восемь зон (банков памяти) емкостью 4К 16-разрядных слов каждая (рис. 9).

Поскольку модуль ЦП имеет блок резидентной памяти емкостью в один банк, он может быть включен в адресное пространство перемычкой Е8 и разместиться на месте банка 0, если замкнута перемычка Е10, или на месте банка 1, если замкнута перемычка Е9.

Конструкция ячеек любого банка, а также только части его может быть произвольной. Эти ячейки могут выполнять функции либо оперативной, либо постоянной памяти.

При использовании в качестве ячеек внешней памяти модулей ОЗУ, требующих регенерации, ЦП имеет микропрограмму регенерации ОЗУ, выход в которую задается удалением перемычки Е11. Однако при необходимости регенерацию может проводить любой другой модуль, подключенный к каналу, используя для этого, например, режим ПДП. Банк памяти 7 условно отведен под регистры периферийных устройств. Однако при необходимости эти ячейки можно задействовать для других целей, кроме ячеек с адресами 177560_8 — 177566_8, которые отводятся под регистры пультового терминала и обслуживаются ЦП на микропрограммном уровне.

В качестве примера приведем адреса регистров периферийных устройств, интерфейсы которых рассматриваются в данной книге:

177550 РС считывателя
177552 РД считывателя
177554 РС перфоратора
177556 РД перфоратора
177560 РС клавиатура терминала (дисплея)
177562 РД клавиатура терминала (дисплея)
177564 РС печать терминала (дисплея)
177566 РД печать терминала (дисплея)
167770 РС интерфейс И2
167772 РД интерфейс И2 (приемник)
167774 РД интерфейс И2 (передатчик)
177170 РС интерфейс И4
177172 РД интерфейс И7 (передатчик)
177510 РС интерфейс И7 (передатчик)
177512 РД интерфейс И7 (передатчик)
177514 РД интерфейс И7 (приемник)

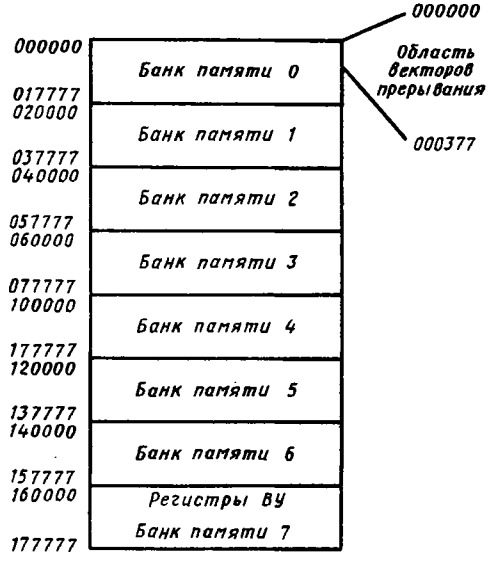


Рис. 9. Распределение адресов канала

6. Модули сопряжения с внешними устройствами ВВОДА-ВЫВОДА

Обеспечение информационной совместимости между внешними устройствами и модулем ЦП выполняют модули сопряжения — интерфейсы.

В состав интерфейсного модуля входят следующие блоки:

компаратор адреса, вырабатывающий признак обращения к данному УВВ;

буферный регистр адреса, фиксирующий часть разрядов адреса, являющихся кодом выбора одного из регистров адресуемого УВВ;

дешифратор управляющих сигналов (ДУС), формирующий требуемый набор сигналов управления;

схема синхронизации, обеспечивающая под действием канальных сигналов управления разрешение работы ДУС, БУРА, магистральных вентилей и выработку канального сигнала К СИП Н;

регистры УВВ.

В зависимости от требований реализуемого интерфейса возможны следующие функциональные назначения регистров УВВ.

Регистр состояния содержит информацию об операции, выполняемой УВВ, характеризует его состояние и участвует в операциях по предоставлению прерывания.

Регистр данных используется при обмене данными между ЦП и УВВ.

Регистр адреса памяти используется для хранения адресов ячеек памяти при передаче массивов слов или байтов. Содержимое этого регистра наращивается после передачи каждого слова.

Регистр счета слов используется для управления длиной передаваемого массива данных. Информация в регистр заносится из ЦП.

Регистр адреса устройства используется для хранения номера дорожки или блока в ЗУ большой емкости.

Практически регистры УВВ могут быть построены на триггерах и выполнять функции хранения или же состоять из простых вентилей, открываемых для прохождения через них информации. Регистры УВВ, как правило, имеют четные адреса, однако при помощи байтовых команд возможно обращение к любому байту 16-разрядного регистра.

Соответствующие регистры могут использоваться как для записи, так и для чтения или только для записи, или только для чтения. При функционировании ЦП выявляет готовность УВВ к обмену, либо считывая содержимое его регистра состояния, либо принимая его вектор. Затем в зависимости от направления обмена ЦП загружает или выбирает информацию через РД УВВ.

Рекомендуется следующий формат РС УВВ.

Разряды 15—12 — «Ошибка» — устанавливаются УВВ и используются для сигнализации о наличии ошибки (разряд 15) и характере ошибки (разряды 14—12). Разряд 15 может быть использован для вызова прерывания программы по ошибке (если установлен разряд разрешения прерывания).

Разряд 11 — «Занято» — устанавливается для сигнализации о том, что УВВ занято выполнением внутренних операций и не может принять участие в обмене данными. Для некоторых устройств этот разряд не является необходимым, его функции выполняет разряд 07 («Конец операции»).

Разряды 10—08 — «Выбор устройства» — используются для выбора различных устройств, подключенных к общему устройству управления. Такими устройствами могут быть накопители на магнитных дисках, подключенных к общему контроллеру.

Разряд 07 — «Конец операции» — устанавливается УВВ, когда оно готово к обмену данными. Обычно используется для запроса требования прерывания.

Разряды 06, 05 — «Разрешение прерывания» — устанавливают ЦП в состояние «1» для разрешения работы устройства в режиме прерывания. Разряд 05 используется в том случае, если РС управляет двумя устройствами.

Разряды 04—01 — «Выполняемая функция» — определяют операцию, выполняемые УВВ (считывание, запись, поиск зоны и т. д.).

Разряд 00 — «Разрешение работы» — используется для запуска внешнего устройства.

Помимо перечисленных выше структурных блоков интерфейсного модуля в подавляющем их числе содержится блок обработки требования прерывания, обеспечивающий выработку сигнала требования прерывания (К ТПР Н), прием и передачу сигнала предоставления прерывания (К ППР Н), формирование и передачу адреса вектора прерывания с выработкой сигнала сопровождения (К СИП Н).

Модули сопряжения с УВВ, имеющие большие скорости обмена данными, оснащаются схемами, которые обеспечиаают режим ПДП. Такие схемы помимо выработки требуемого набора сигналов управления каналом должны обеспечивать формирование адресов ячеек памяти и контролировать длину передаваемого массива данных.

Для захвата линий канала микроЭВМ схема ПДП обеспечивает выработку сигнала требования прямого доступа (К ТПД Н), прием и передачу сигнала предоставления прямого доступа (К ППД Н) и формирование сигнала подтверждения выбора (К ПВ Н).

Если в системе используется динамическая память, для которой необходима регенерация, устройство ПДП должно использовать одиночные циклы обращения к каналу. При необходимости обмена массивами данных осуществлять регенерацию памяти должно устройство ПДП.

7. Система команд

ЦП ЭВМ использует три типа команд: безадресные, одноадресные и двухадресные.

В безадресных командах код команды содержит только код операции.

В кодах одноадресных (рис. 10) и двухадресных (рис. 11) команд обычно содержится информация, которая представляет:

выполняемую функцию (код операции);

метод адресации;

регистры общего назначения (РОН), используемые при выборе операндов.

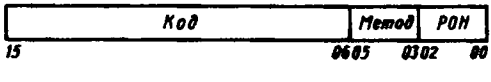


Рис. 10. Формат одноадресных команд

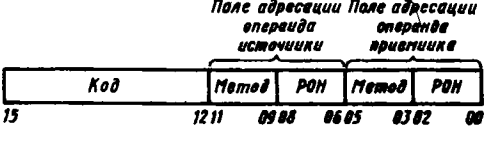


Рис. 11. Формат двухадресных команд

В табл. 3 даны методы адресации через РОН.

Регистр R7, являясь одним из восьми РОН, выполняет в ЦП специальную функцию счетчика команд (СК).

Таблица 3

Методы адресации через РОН

Восьмиричный код	Наименование	Описание
0	Регистровый	Регистр содержит операнд
1	Косвенно-регистровый	Регистр содержит адрес операнда
2	Автоинкрементный	Регистр содержит адрес операнда, который после выборки увеличивается на два для команд с операциями над полными словами и на единицу для команд с операциями над байтами
3	Косвенно-автоинкрементный	Регистр содержит адрес ячейки, в которой хранится адрес операнда. После выборки содержимое регистра увеличивается на два

Продолжение

Восьмиричный код	Наименование	Описание
4	Автодекрементный	Содержимое регистра автоматически уменьшается на два для команд с операциями над полными словами и на единицу для команд с операциями над байтами. Затем содержимое регистра используется как адрес операнда
5	Косвенно-автодекрементный	Содержимое регистра уменьшается на два или на единицу и затем используется как адрес адреса операнда
6	Индексный	Содержимое регистра складывается с индексным словом, которое следует за командой, и их сумма используется как адрес операнда
7	Косвенно-индексный	Содержимое регистра складывается с индексным словом, которое следует за командой, и их сумма используется как адрес адреса операнда

Таблица 4

Методы адресации через СК (R7)

Восьмеричный код	Наименование	Описание
2	Непосредственный	Операнд следует за командой
3	Абсолютный	Адрес операнда следует за командой
6	Относительный	Содержимое СК складывается с индексным словом, которое следует за командой, и их сумма используется как адрес операнда
7	Косвенно-относительный	Содержимое СК складывается с индексным словом и их сумма используется как адрес адреса операнда

Когда ЦП использует СК для выборки слова из памяти, его содержимое автоматически увеличивается на два. Следует отметить, что при работе с байтами содержимое СК также увеличивается на два. СК может быть использован при всех методах адресации. Однако наиболее эффективно он используется только с четырьмя методами (табл. 4).

Описание каждой команды включает: мнемонику, восьмеричный код, формат команды в двоичном коде, алгоритм и описание выполнения команды и выработки признаков.

При описании команд используются следующие обозначения:

R — регистр общего назначения;
СК — счетчик команд (R7);
УС — указатель стека (R6);
РСП — регистр состояния процессора;
ССП — слово состояния процессора;
SS — поле адресации операнда источника;
src — источник;
(src) — операнд источника;
DD — поле адресации операнда приемника;
dst — приемник;
(dst) — операнд приемника;
XXX — смещение (восемь разрядов);
NN — смещение (шесть разрядов);
( ) — содержимое ячейки;
$\wedge$ — логическое умножение (И);
$\vee$ — логическое сложение (ИЛИ);

∀ — исключающее ИЛИ;
$\overline{A}$ — отрицание A (НЕ);
← — становится равным;
↓ — записать в стек;
↑ — выбрать из стека;
B — байтовая команда

CLR 0050DD
CLRB 1050DD

ОЧИСТКА

0/1	0 0 0	1 0 1	0 0 0	d d d	d d d

Алгоритм: (dst)←0
Описание: В указанную ячейку записываются нули. Для байтовой команды нули записываются в указанный байт.
Признаки: *N* — очищается; *V* — устанавливается; *Z* — очищается; *C* — очищается.

COM 0051DD
COMB 1051DD

ИНВЕРТИРОВАНИЕ

0/1	0 0 0	1 0 1	0 0 1	d d d	d d d

Алгоритм: (dst)←$(\overline{dst})$
Описание: Заменяет содержимое указанной ячейки его двоичным обратным кодом (каждый разряд, содержащий «0», устанавливается, а каждый разряд, содержащий «1», очищается). Для байтовой команды операция производится по отношению к указанному байту.
Признаки: *N* — устанавливается, если результат меньше нуля; *Z* — устанавливается, если результат равен нулю; *V* — очищается; *C* — устанавливается.

INC 0052DD
INCB 1052DD

ПРИБАВЛЕНИЕ ЕДИНИЦЫ

0/1	0 0 0	1 0 1	0 1 0	d d d	d d d

Алгоритм: (dst)←(dst) + 1
Описание: Прибавляет единицу к содержимому указанной ячейки (или байту, если команда байтовая).
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если операнд равен 077777, в противном случае — очищается; *C* — не изменяется.

DEC 0053
DECB 1053

ВЫЧИТАНИЕ ЕДИНИЦЫ

0/1	0 0 0	1 0 1	0 1 1	d d d	d d d

Алгоритм: (dst)←(dst) — 1
Описание: Из содержимого указанной ячейки (или указанного байта для байтовых команд) вычитается единица.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если операнд был равен 100 000, в противном случае — очищается; *C* — не изменяется.

NEG 0054DD
NEGB 1054DD

ИЗМЕНЕНИЕ ЗНАКА

0/1	0 0 0	1 0 1	1 0 0	d d d	d d d

Алгоритм: (dst) ← — (dst)
Описание: Содержимое указанной ячейки (или байта) для байтовых команд заменяется двоичным дополнением операнда. Следует заметить, что число 100 000 заменяется самим собой, так как не существует соответствующего ему положительного числа.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен 0, в противном случае — очищается; *V* — устанавливается, если результат равен 100 000, в противном случае — очищается; *C* — очищается, если результат равен нулю, в противном случае — устанавливается.

TST 0057DD
TSTB 1057DD

ПРОВЕРКА

0/1	0 0 0	1 0 1	1 1 1	d d d	d d d

Алгоритм: (dst)←(dst)
Описание: В зависимости от содержимого указанной ячейки (или байта для байтовых команд) устанавливаются или очищаются признаки *N* и *Z*.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если содержимое равно нулю, в противном случае — очищается; *V* — очищается; *C* — очищается;

ASR 0062DD
ASRB 1062DD

АРИФМЕТИЧЕСКИЙ СДВИГ ВПРАВО

0/1	0 0 0	1 1 0	0 1 0	d d d	d d d

Алгоритм: (dst)← сдвинутое на одну позицию в сторону младших разрядов (dst)
Описание: Сдвигаются все разряды операнда вправо на одну позицию. Содержимое знакового (старшего) разряда восстанавливается. Разряд *C* загружается содержимым младшего разряда операнда. Следовательно, ASR или ASRB выполняет деление числа со знаком на два.
Признаки: *N* — устанавливается, если старший разряд результата установлен, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается результатом операций «исключаю-

щее ИЛИ» над содержимым *N* и *C* разрядов, которые они имеют после операции сдвига; *C* — загружается содержимым младшего разряда указанной ячейки.

ASL 0063DD
ASLB 1063DD

АРИФМЕТИЧЕСКИЙ СДВИГ ВЛЕВО

0/1	0 0 0	1 1 0	0 1 1	d d d	d d d

Алгоритм: (dst) ← сдвинутое на одну позицию в сторону старших разрядов (dst).
Описание: Сдвигаются все разряды операнда на одну позицию влево. В младший разряд операнда записывается нуль. Разряд *C* загружается содержимым старшего разряда операнда. Следовательно, ASL или ASLB выполняют умножение числа со знаком на два.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — загружается результатом операции $N \forall C$ (значения *N* и *C* после операции сдвига); *C* — загружается содержимым старшего разряда операнда.

ROR 0060DD
RORB 1060DD

ЦИКЛИЧЕСКИЙ СДВИГ ВПРАВО

0/1	0 0 0	1 1 0	0 0 0	d d d	d d d

Алгоритм: (dst) ← циклически сдвинутое на одну позицию в сторону младших разрядов (dst).
Описание: Циклически сдвигает все разряды операнда на одну позицию вправо. Содержимое младшего разряда загружается в разряд *C*, а прежнее его содержимое загружается в старший разряд операнда.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — загружается результатом операции $N \forall C$ (значение *N* и *C* после окончания операции сдвига); *C* — загружается младшим разрядом операнда.

ROL 0061DD
ROLB 1061DD

ЦИКЛИЧЕСКИЙ СДВИГ ВЛЕВО

0/1	0 0 0	1 1 0	0 0 1	d d d	d d d

Алгоритм: (dst) ← циклически сдвинутое на одну позицию в сторону старших разрядов (dst)
Описание: Циклически сдвигаются все разряды операнда на одну позицию влево. Содержимое старшего разряда загружается в разряд *C*, а прежиее содержимое разряда *C* загружается в младший разряд операнда.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — загружается результатом операции $N \forall C$ (значения *N* и *C* после окончания операции сдвига); *C* — загружается старшим разрядом операнда.

ADC 0055DD
ADCB 1055DD

ПРИБАВЛЕНИЕ ПЕРЕНОСА

0/1	0 0 0	1 0 1	1 0 1	d d d	d d d

Алгоритм: (dst)←(dst) + (*C*)
Описание: Операнд складывается с содержимым разряда *C*.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если перед выполнением операции (dst) = 077777, а (*C*) = 1, в противном случае — очищается; *C* — устанавливается, если перед выполнением операции (dst) = 177777, а (*C*) = 1, в противном случае — очищается.

SBC 0056DD
SBCB 1056DD

ВЫЧИТАНИЕ ПЕРЕНОСА

0/1	0 0 0	1 0 1	1 1 0	d d d	d d d

Алгоритм: (dst)←(dst) — (*C*)
Описание: Вычитается содержимое разряда *C* из операнда. Это позволяет вычесть перенос, получившийся при вычитании двух младших 16-разрядных слов, из результата вычитания двух старших 16-разрядных слов.
Признаки: *N* — устанавливается, если результат операции меньше нуля; в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если перед выполнением команды (dst) = = 100 000, в противном случае — очищается; *C* — устанавливается, если (dst) = 0 и (*C*) = 1, в противном случае — очищается.

SXT 0067DD

РАСШИРЕНИЕ ЗНАКА

0	0 0 0	1 1 0	1 1 1	d d d	d d d

Алгоритм: (dst)←0, если *N* очищен; (dst)←—1, если *N* установлен.
Описание: Если (*N*) = 1, операнд заменяется кодом 17777. Если (*N*) = 0, указанная ячейка очищается. Эта команда обычно используется при выполнении операций с повышенной точностью для расширения знака в 32-разрядном слове.
Признаки: *N* — не изменяется; *Z* — устанавливается, если (*N*) = 0; *V* — очищается; *C* — не изменяется.

SWAB 0003DD

ПЕРЕСТАНОВКА БАЙТОВ

0	0 0 0	0 0 0	0 1 1	d d d	d d d

Алгоритм: Байт 1/байт 0← Байт 0/байт 1
Описание: Меняет местами старший байт с младшим байтом указанной ячейки. Адресация происходит по полному слову.

Признаки: *N* — устанавливается, если старший разряд младшего байта результата установлен (разряд 07), в противном случае — очищается; *Z* — устанавливается, если младший байт результата равен нулю, в противном случае — очищается; *V* — очищается; *C* — очищается.

MFPS 1067DD

ЧТЕНИЕ ССП

1	0 0 0	1 1 0	1 1 1	d d d	d d d

Алгоритм: (dst)←ССП

Описание: Восемь разрядов слова состояния процессора пересылаются в указанную ячейку. Если при этом используется регистровый метод адресации, в указанном регистре происходит расширение знака. Адрес операнда приемника воспринимается как адрес байта.

Признаки: *N* — устанавливается, если в разряде 07 ССП единица, в противном случае — очищается; *Z* — устанавливается, если все восемь разрядов ССП равны нулю, в противном случае — очищается; *V* — очищается; *C* — не изменяется.

MTRS 1064SS

ЗАПИСЬ ССП

1	0 0 0	1 1 0	1 0 0	s s s	s s s

Алгоритм: ССП←(src)

Описание: Восемь разрядов указанного операнда замещают содержимое ССП. Адрес операнда источника воспринимается как адрес байта. Следует заметить, что разряд *T* (разряд 04 ССП) не может быть установлен этой командой. Операнд источника (src) не изменяет своего содержимого. Эта команда может быть использована для изменения приоритетного разряда ССП (разряд 07).

Признаки: *N*, *Z*, *V*, *C* устанавливаются или очищаются в соответствии с разрядами 00—03 операнда источника (src)

Двухадресные команды

MOV 01SSDD
MOVB 11SSDD

ПЕРЕСЫЛКА

0/1	0 0 1	s s s	s s s	d d d	d d d

Алгоритм: (dst)←(src)

Описание: Операнд источника (src) пересылается по адресу операнда приемника. Прежнее содержимое ячейки dst теряется. Содержимое ячейки src не изменяется. При операциях с байтами команда MOVB с использованием регистрового метода адресации (единственная среди байтовых команд) расширяет старший разряд младшего байта. Все разряды старшего байта устанавливаются или сбрасываются в зависимости от того, установлен или сброшен старший (знаковый) разряд младшего байта. В других случаях MOVB оперирует с байтами так, как MOV со словами.

Признаки: *N* — устанавливается, если (src) меньше нуля, в противном случае — очищается; *Z* — устанавливается, если (src) равно нулю, в противном случае — очищается; *C* — не изменяется.

CMP 02SSDD
CMPB 12SSDD

СРАВНЕНИЕ

0/1	0 1 0	s s s	s s s	d d d	d d d

Алгоритм: (src) — (dst).
Описание: Сравнивает операнды источника и приемника и изменяет признаки, которые затем могут быть использованы для команд условных переходов. Оба операнда не изменяются. В отличие от команды вычитания порядок действий следующий: (src) — (dst), а не (dst) — (src).
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если было арифметическое переполнение. Это может произойти в случае, когда операнды были противоположного знака и знак результата совпадает со знаком операнда приемника (dst), в противном случае — очищается; *C* — очищается, если был перенос из старшего разряда результата, в противном случае — устанавливается.

ADD 06SSDD

СЛОЖЕНИЕ

0	1 1 0	s s s	s s s	d d d	d d d

Алгоритм: (dst)←(src) + (dst)
Описание: Операнд источника (src) складывается с операндом приемника (dst) и результат записывается по адресу операнда приемника. Первоначальное содержимое теряется. Содержание src не изменяется. Сложение выполняется в двоичном дополнительном коде.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если в результате произошло арифметическое переполнение. Это происходит, когда операнды были одного знака, а результат получился противоположного знака, в противном случае — очищается; *C* — устанавливается, если был перенос из старшего разряда результата, в противном случае — очищается.

SUB 16SSDD

ВЫЧИТАНИЕ

1	1 1 0	s s s	s s s	d d d	d d d

Алгоритм: (dst)←(dst) — (src)
Описание: Из операнда приемника вычитается операнд источника и результат записывается по адресу приемника. Первоначальное содержание приемника теряется, а содержимое источника сохраняется. При арифметических операциях с удвоенной точностью установка разряда *C* означает заем единицы из старшей части вычитаемого.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если в результате операции произошло арифметическое переполнение. Это происходит, когда операнды были противоположного знака, а результат получен одного знака с операндом источника, в противном случае — очищается; *C* — очищается, если был перенос старшего разряда результата, в противном случае — устанавливается.

BIT 03SSDD
BITB 13SSDD

ПРОВЕРКА РАЗРЯДОВ

0/1	0 1 1	s s s	s s s	d d d	d d d

Алгоритм: (src) $\wedge$ (dst)
Описание: Выполняет логическую функцию «И» над (src) и (dst), изменяя соответствующим образом признаки. Оба операнда не изменяют своего значения. Команда BIT используется для проверки состояния разрядов операнда (src), для которых установлены соответствующие разряды в операнде (dst).
Признаки: *N* — устанавливается, если старший разряд результатов установлен, в противном случае — очищается; *Z* — устанавливается, если все разряды результата равны нулю, в противном случае — очищается; *V* — очищается; *C* — не меняется.

BIC 04SSDD
BICB 14SSDD

ОЧИСТКА РАЗРЯДОВ

0/1	1 0 0	s s s	s s s	d d d	d d d

Алгоритм: (dst) $\leftarrow (\overline{src}) \wedge$ (dst)
Описание: Очищает каждый разряд операнда (dst), соответствующий установленному разряду операнда (src). Первоначальное содержание dst теряется. Содержимое src не изменяется.
Признаки: *N* — устанавливается, если старший разряд результата установлен, в противном случае — очищается; *Z* — устанавливается, если все разряды результата очищены, в противном случае очищается; *V* — очищается; *C* — не изменяется.

BIS 05SSDD
BISB 15SSDD

ЛОГИЧЕСКОЕ СЛОЖЕНИЕ

0/1	1 0 1	s s s	s s s	d d d	d d d

Алгоритм: (dst) $\leftarrow$ (src) $\vee$ (dst)
Описание: Выполняет логическую функцию «ИЛИ» над содержимым src или dst и заносит результат по адресу dst. Разряды (dst) устанавливаются в состояние «1», если соответствующие разряды (src) находятся в состоянии «1». Прежнее содержимое dst теряется, а содержимое src остается неизменным.
Признаки: *N* — устанавливается, если старший разряд результата установлен, в противном случае — очищается; *Z* — устанавливается, если все разряды результата очищены, в противном случае — очищается; *V* — очищается; *C* — не изменяется.

XOR 074RDD

ИСКЛЮЧАЮЩЕЕ ИЛИ

0	1 1 1	1 0 0	R R R	d d d	d d d

Алгоритм: (dst) $\leftarrow$ R$\forall$ (dst)

Описание: Выполняет операцию «исключающее ИЛИ» над содержимым указанного РОН и содержимым dst. Результат записывается в dst. Содержимое регистра R не изменяется.

Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — очищается; *C* — не изменяется.

Команды ветвления. Эти команды вызывают ветвление по адресу, являющемуся суммой смещения (умноженного на 2) и текущего содержимого СК (равному адресу команды ветвления плюс 2), если условие ветвления выполняется.

Смещение показывает, на сколько ячеек нужно перейти относительно текущего содержимого СК в ту или другую сторону. Так как слова имеют четные адреса, то для получения истинного исполнительного адреса смещения необходимо умножить его на два перед прибавлением к СК, который всегда указывает на слово. Старший разряд смещения (разряд 07) является знаковым разрядом. Если он установлен, смещение отрицательное, ветвление происходит в сторону уменьшения адреса (в обратном направлении). Если в разряде 07 содержится 0, смещение положительное и ветвление происходит в сторону увеличения адресов (в прямом направлении).

Восьмиразрядное смещение позволяет производить ветвление в обратном направлении максимально на 200 слов от слова, на которое указывает текущее содержимое СК, и на 177 слов в прямом направлении.

BR 000400+XXX

ВЕТВЛЕНИЕ БЕЗУСЛОВНОЕ

0	0 0 0	0 0 0	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX

Описание: Передача управления ячейке, адрес которой определяется состоянием знакового разряда 07 и значением смещения.

Признаки: не изменяются.

BNE 001000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ НЕ РАВНО (НУЛЮ)

0	0 0 0	0 0 1	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $Z=0$

Описание: Проверяет состояние разряда *Z* РСП и вызывает ветвление, если он очищен.

Признаки: не изменяются.

BEQ 001400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ РАВНО (НУЛЮ)

0	0 0 0	0 0 1	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $Z=1$

Описание: Проверяет состояние разряда *Z* РСП и вызывает ветвление, если он установлен.

Признаки: не изменяются.

BPL 100000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ ПЛЮС

1	0 0 0	0 0 0	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $N=0$

Описание: Проверяет состояние разряда N РСП и вызывает ветвление, если он очищен.

Признаки: не изменяются.

BMI 100400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ МИНУС

1	0 0 0	0 0 0	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $N=1$

Описание: Проверяет состояние разряда N РСП и вызывает ветвление, если он установлен.

Признаки: не изменяются.

BVC 102000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ НЕТ АРИФМЕТИЧЕСКОГО ПЕРЕПОЛНЕНИЯ

1	0 0 0	0 1 0	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $V=0$.

Описание: Проверяет состояние разряда V РСП и вызывает ветвление, если он очищен.

Признаки: не изменяются.

BVS 102400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ ЕСТЬ АРИФМЕТИЧЕСКОЕ ПЕРЕПОЛНЕНИЕ

1	0 0 0	0 1 0	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $V=1$

Описание: Проверяет состояние разряда РСП и вызывает ветвление, если он установлен.

Признаки: не изменяются.

BCC 103000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ НЕТ ПЕРЕНОСА

1	0 0 0	0 1 1	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $C=0$

Описание: Проверяет состояние разряда C РСП и вызывает ветвление, если он очищен.

Признаки: не изменяются.

BCS 103400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ ПЕРЕНОС

1	0 0 0	0 1 1	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $C=1$
Описание: Проверяет состояние разряда C РСП и вызывает ветвление, если он установлен.
Признаки: не изменяются.

BGE 002000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ БОЛЬШЕ ИЛИ РАВНО (НУЛЮ)

0	0 0 0	0 1 0	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $N \forall C=0$
Описание: Вызывает ветвление, если оба разряда признаков N и C установлены или очищены.
Признаки: не измеияются.

BLT 002400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ МЕНЬШЕ (НУЛЯ)

0	0 0 0	0 1 0	1 x x	x x x	x x x

Алгоритм: СК←(СК)+2 XXX, если $N \forall C=1$
Описание: Вызывает ветвление, если установлен только один из проверяемых признаков N или C РСП.
Признаки: не изменяются.

BGT 003000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ БОЛЬШЕ (НУЛЯ)

0	0 0 0	0 1 1	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $Z \vee (N \forall V)=0$
Описание: Команда BGT, подобная команде BGE, за исключением того, что BGT не будет вызывать ветвления по нулевому результату.
Признакн: не изменяются.

BLE 003400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ МЕНЬШЕ ИЛИ РАВНО (НУЛЮ)

0	0 0 0	0 1 1	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $Z \vee (N \forall V)=1$
Описание: Команда BLE подобна команде BLT, но дополнительно будет вызывать ветвление, если результат предыдущей операции был равен нулю.
Признаки: не изменяются.

BHI 101000+XXX

ВЕТВЛЕНИЕ, ЕСЛИ БОЛЬШЕ

1	0 0 0	0 0 1	0 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, если $C \vee Z = 0$
Описание: Вызывает ветвление, если предыдущая операция не вызвала переиоса и появлення нулевого результата. Это происходит в операциях сравнения, когда операнд источника больше операнда приемника.
Признаки: не изменяются.

BLOS 101400+XXX

ВЕТВЛЕНИЕ, ЕСЛИ МЕНЬШЕ ИЛИ РАВНО

1	0 0 0	0 0 1	1 x x	x x x	x x x

Алгоритм: (СК)←(СК)+2 XXX, еслн $C \vee Z = 1$
Описание: Вызывает ветвлеиие, если предыдущая операция вызывает переиос или появление иулевого результата.
Признаки: не изменяются.

Команды BHIS (ветвление, если больше илн равно) и BLO (ветвленне, если меньше) идентичны соответственно командам BCC н BCS. Эти мнемоннки вводятся только для удобства.

JMP 0001DD

БЕЗУСЛОВНЫЙ ПЕРЕХОД

0	0 0 0	0 0 0	0 0 1	d d d	d d d

Алгорнтм: (СК)←(dst)
Описание: Команда JMP обеспечивает возможность перехода программы на любую ячейку памяти с нспользованием всех методов адресацин, за исключением регистрового. Использование регнстровой адресации вызывает прерывание программы по условию «запрещенная команда» через вектор 10. Метод косвенной адресации разрешен и вызывает передачу управленння программой по адресу, содержащемуся в указанном регистре. Поскольку команды — это полные слова, онн должны выбнраться из ячеек с четными адресами.

Команды обращения н выхода нз подпрограмм

JSR 004RDD

ОБРАЩЕНИЕ К ПОДПРОГРАММЕ

0	0 0 0	1 0 0	R R R	d d d	d d d

Алгоритм: ↓(УС)←(R) — запись содержнмого указанного регистра в стек; (R)←←(СК) — запись адреса ячейки следующей за командой JSR н регистр R; (СК)←(dst) — занесение в счетчнк команд нового содержимого, определяющего начальный адрес подпрограммы.
Описание: Содержимое указанного РОН засылается в стековую память по состоянию R6 и заполняется содержимым счетчнка команд. Новое состояние счетчика команд определяется (dst)
Признаки: ие изменяются.

RST 00020R

ВОЗВРАТ ИЗ ПОДПРОГРАММЫ

0	0 0 0	0 0 0	0 1 0	0 0 0	R R R

Алгоритм: (СК)←(R)
(R)←(УС)↑
Описание: Загружает содержимое регистра (R) в СК, после чего извлекает верхний элемент стека и засылает его в указанный регистр. Возврат из подпрограммы обычно выполняется через тот же самый регистр, который используется при обращении к ней по команде JSR.
Признаки: не изменяются.

MARK 0064NN

ВОССТАНОВЛЕНИЕ УКАЗАТЕЛЯ СТЕКА

0	0 0 0	1 1 0	1 0 0	N N N	N N N

Алгоритм: (УС)←(СК)+2NN
(СК)←(5)
R5←(УС)↑
Описание: Эта команда используется для облегчения выхода из подпрограммы, заносящей в стек, например, параметры (константы). Команда MARC восстанавливает указатель стека во время выхода из подпрограммы. Под восстановлением УС подразумевается загрузка в него нового содержимого, которое указывало бы на последнюю заполненную ячейку стека перед тем, как возникла необходимость записи в стек N констант.
Признаки: не изменяются.

SOB 077RNN

ВЫЧИТАНИЕ ЕДИНИЦЫ И ВЕТВЛЕНИЕ

0	1 1 1	1 1 1	R R R	N N N	N N N

Алгоритм: (R)←(R)—1, если результат не равен нулю.
(СК)←(СК)—2NN, если результат равен нулю (СК)←(СК)
Описание: Содержимое регистра уменьшается на единицу. Если результат не равен нулю, в СК заносится новое содержимое, определяемое вычитанием из текущего содержимого СК и удвоенного смещения. Команда не может быть использована для передачи управления в прямом направлении.
Признаки: не изменяются.

Команды прерывания программы

EMT 104000—104377

КОМАНДНОЕ ПРЕРЫВАНИЕ ДЛЯ СИСТЕМНЫХ ПРОГРАММ

1	0 0 0	1 0 0	0		

Алгоритм: ↓(УС)←(РСП)
↓(УС)←(СК)
(СК)←(30)
(РСП)←(32)

Описание: Команды с кодами 104000 до 104377 являются командами EMT. Текущее содержимое РСП и СК пересылается в стековую память и замещается содержимым ячеек 30 и 32.
Признаки: *N*, *Z*, *V*, *C* загружаются содержимым ячейки с адресом 32.

TRAP 104400—104777

КОМАНДНОЕ ПРЕРЫВАНИЕ

1	0 0 0	1 0 0	1		

Алгоритм: ↓(УС)←(РСП)
↓(УС)←(СК)
(СК)←(34)
(РСП)←(36)
Описание: Команды с кодами операций 104400—104777 являются командами TRAP. Текущее содержимое РСП и СК заносится в стек и замещается содержимым ячеек с адресами 34 и 36.
Признаки: *N*, *Z*, *V*, *C* загружаются содержимым ячейки с адресом 36.

IOT 000004

КОМАНДНОЕ ПРЕРЫВАНИЕ ДЛЯ ВВОДА-ВЫВОДА

0	0 0 0	0 0 0	0 0 0	0 0 0	1 0 0

Алгоритм: ↓(УС)←(РСП)
↓(УС)←(СК)
(СК)←(20)
(РСП)←(22)
Описание: Содержимое РСП и СК загружается в стек и замещается содержимым ячеек с адресами 20 и 22.
Признаки: *N*, *Z*, *V*, *C* загружаются содержимым ячейки с адресом 22.

BPT 000003

КОМАНДНОЕ ПРЕРЫВАНИЕ ДЛЯ ОТЛАДКИ

0	0 0 0	0 0 0	0 0 0	0 0 0	0 1 1

Алгоритм: ↓(УС)←(РСП)
↓(УС)←(СК)
(СК)←(14)
(РСП)←(16)
Описание: Содержимое РСП и СК загружается в стек и замещается содержимым ячеек с адресами 14 и 16. Запрещается употребление кода 000003 в программах, которые выполняются под управлением подпрограмм отладки.
Признаки: *N*, *Z*, *V*, *C* загружаются содержимым ячейки с адресом 16.

RTI 000002

ВОЗВРАТ ИЗ ПРЕРЫВАНИЯ

0	0 0 0	0 0 0	0 0 0	0 0 0	0 1 0

Алгоритм: (СК)←(УС)↑
(РСП)←(УС)↑
Описание: Содержимое СК и РСП восстанавливается с помощью стека. Если при выполнении этой команды будет установлен разряд Т РСП, то следующая команда выполняться не будет.
Признаки: *N*, *Z*, *V*, *C* загружаются из стека.

RTT 000006

ВОЗВРАТ ИЗ ПРЕРЫВАНИЯ

0	0 0 0	0 0 0	0 0 0	0 0 0	1 1 0

Алгоритм: (СК)→(УС)↑
(РСП)→(УС)↑
Описание: Содержимое СК и РСП восстанавливается с помощью стека. Если при выполнении этой команды будет установлен разряд Т РСП, то следующая команда выполняется.
Признаки: *N*, *Z*, *V*, *C* загружаются из стека.

Команды управления машиной

HALT 000000

ОСТАНОВ

0	0 0 0	0 0 0	0 0 0	0 0 0	0 0 0

Алгоритм: Центральный процессор переходит в режим опроса пультового терминала. В СК находится адрес следующей команды, которая должна быть исполнена. Машина будет находиться в состоянии «Останов» до тех пор, пока оператор не продолжит выполнение программы с помощью команды пультового терминала.
Признаки: не изменяются.

WAIT 00001

ОЖИДАНИЕ

0	0 0 0	0 0 0	0 0 0	0 0 0	0 0 1

Алгоритм: По команде WAIT процессору запрещается выбирать команды из памяти. Это позволяет наиболее быстро осуществлять обмен между внешними устройствами и памятью, так как процессор не вносит задержки при обслуживании запроса канала на время, когда он освобождает занятый им канал. В СК находится адрес следующей команды.
Признаки: ие изменяются.

RESET 000005

СБРОС ВНЕШНИХ УСТРОЙСТВ

0	0 0 0	0 0 0	0 0 0	0 0 0	1 0 1

Алгоритм: На этой команде вырабатывается на 10 мкс импульс СБРОС, который передается в канал. Все внешние устройства, присоединенные к каналу, устанавливаются в

состояние, которое они имеют после включения питания. Через 90 мкс после прихода импульса СБРОС процессор возобновляет работу.
Признаки: не изменяются.

Комаиды измеиеиия призиаков

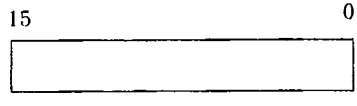
Описание: Выше приведен формат команд изменеиия призиаков. Разряды призиаков, соответствующие установленным разрядам в команде изменения признаков (разряды 00—03), изменяются в соответствии с состоянием разряда 04 (установки/сброса). Эти разряды РСП устанавливаются, если устаиовлеи разряд 04, и сбрасываются, если он очищен.

Ниже прнведены комаиды изменения признаков.

Обозначеиие	Операция	Код
CLN	Очистка *N*	000250
CLZ	Очистка *Z*	000244
CLV	Очистка *V*	000242
CLC	Очистка *C*	000241
CCC	Очистка всех разрядов	000247
SEN	Установка *N*	000270
SEZ	Установка *Z*	000264
SEV	Установка *V*	000262
SEC	Установка *C*	000261
SCC	Устаиовка всех разрядов	000267
NOP	Нет операции	000240

Комбинации указанных выше операций очистки или установки, соединеиых по схеме «ИЛИ», могут образовывать комбинированные команды.

Команды расшириииой арифметики (РА). Формат чисел, используемый при выполнеиии команд расширенной арифметики, следующий.



16-разрядное слово

32-разрядное слово

Разряд 15 старшей части 32-разрядного слова и разряд 15 обычного 16-разрядного слова являются знаковыми разрядами. Положительным числам соответствует 0 в знаковом разряде, отрицательным числам —1.

MUL 070RSS

УМНОЖЕНИЕ

0	1 1 1	0 0 0	R R R	s s s	s s s

Алгоритм: $R_nR_{n+1} \leftarrow R_n \times$ (src)

Описание: Перемножаются операнды источника и приемника, взятые в двоичном дополнительном коде. Результат помещается в регистр, используемый в качестве приемника, и в следующий за ним регистр, если регистр приемннка имеет четный иомер. Если же регистр приемника имеет нечетный номер, сохраняется только младшая часть результата.
Признаки: N — устанавливается, если результат меньше нуля, в противном случае — очищается; Z — устанавливается, если результат равен нулю, в противном случае — очищается; V — очищается; C — устанавливается, если результат меньше, чем -2^{15}, или больше, или равен $2^{15}-1$.

DIV 071RSS

ДЕЛЕНИЕ

0	1 1 1	0 0 1	R R R	s s s	s s s

Алгоритм: $R_nR_{n+1} \leftarrow R_nR_{n+1}/(src)$
Описание: 32-разрядное слово в двоично-дополнительном коде, находящееся в регистрах R_n и R_{n+1}, делится на операнд источннка. Частное заносится в R_n, а остаток в R_{n+1}. После выполиения операции деления знак остатка будет таким же, как и у делимого. Следует заметить, что номер регистра R должен быть четным.
Признаки: N — устанавливается, если частное меньше нуля, в противном случае — очнщается; Z — устанавливается, если частное равно нулю, в противном случае — очищается; V — устанавливается, если (src)$=0$ нли если (dst)$>$ (src) по абсолютиой величине (в этом случае выполненне команды прекращается, так как будет превышать 15 разрядов); C — устанавливается.

ASH 072RSS

АРИФМЕТИЧЕСКИЙ СДВИГ

0	1 1 1	0 1 0	R R R	s s s	s s s

Алгоритм: R←R сдвинутое на NN позиций влево или вправо, где NN — шесть младших разрядов (src).
Описание: Содержимое указанного регистра сдвигается влево или вправо на колнчество позиций, определяемое счетчиком сдвига. Фуикцию счетчика сдвига выполняют шесть младших разрядов операнда нсточника. Их значение может нзменяться в пределах от -32 до $+32$. Отрицательное значение соответствует 1 в старшем разряде счетчика сдвига и обеспечивает сдвиг вправо. Положительное соответствует 0 и сдвиг вправо.
Признаки: N — устанавливается, если результат меньше нуля, в противном случае — очищается; Z — устанавлнвается, если результат равен нулю, в противном случае очищается; V — устанавливается, еслн после выполнения операцни сдвига операнд изменил знак, в противном случае — очищается; C — загружается содержимым последнего разряда, выдвинутым из регистра.

ASHC 073RSS

АРИФМЕТИЧЕСКИЙ СДВИГ ДВОЙНОГО СЛОВА

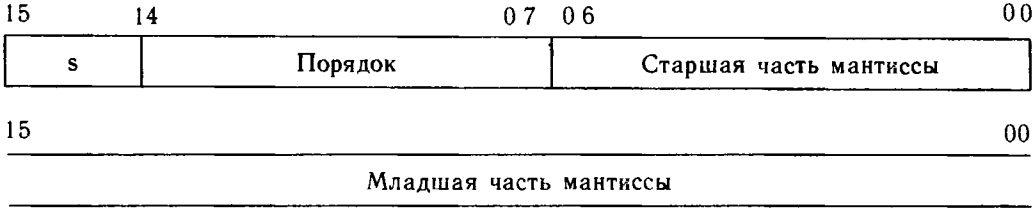
0	1 1 1	0 1 1	R R R	s s s	s s s

Алгоритм: R_n, $R_{n+1} \leftarrow R_n$, R_{n+1} сдвинутое на NN позиций вправо или влево.
Описание: Содержимое регистров R_n, R_{n+1} интерпретируется как одно 32-разрядное слово. Прнчем младшая часть слова (разряды 00—15) содержится в R_{n+1}, а старшая

часть (разряды 16—31) — в R_n. 32-разрядное слово сдвигается вправо или влево на число позиций, определяемое счетчиком сдвига. Функцию счетчика сдвига выполняют шесть младших разрядов операнда источника. Их значение может изменяться в пределах от —32 до +32. Отрицательное значение соответствует 1 в старшем разряде счетчика сдвига и обеспечивает сдвиг вправо. Положительное соответствует 0 и обеспечивает сдвиг влево. Если выбранный регистр имеет нечетный номер, то и является одним и тем же регистром, в таком случае сдвиг вправо будет выполняться циклически.

Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — устанавливается, если после выполнения операции сдвига операнд изменил знак, в противном случае — очищается; *C* — загружается содержимым последнего выдвинутого 32-разрядного слова.

Команды арифметики с плавающей запятой. Формат чисел, используемых при выполнении команд с плавающей запятой, приводится ниже.



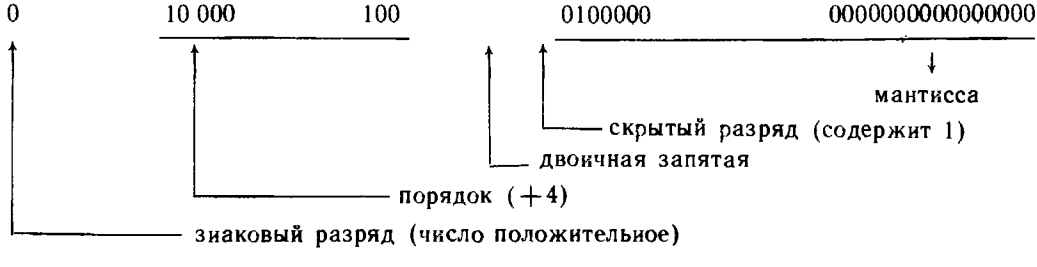
S — разряд 15 старшей частн аргумента используется как знаковый разряд. Порядок — восемь разрядов старшей части аргумента используются для задания порядка числа. Старший разряд — знаковый. Мантисса — 23 разряда дробной части с двоичной запятой слева от самого старшего разряда дроби используется как мантисса числа. Мантисса всегда должна быть нормализована. Один, самый старший, разряд справа от двоичной запятой является скрытым (избыточным).

Двоичная запятая расположена слева от самого старшего разряда дробной части числа, поэтому любое значение мантиссы всегда меньше 1. Нормализоваиная мантисса в первом после двоичной запятой разряде всегда содержит 1, поэтому значения мантиссы могут изменяться в пределах от 1/2 до 1. Причем этот разряд (содержащий 1) представлен неявно, он лишь подразумевается. Следующий разряд мантиссы берется из разряда 06 старшей части аргумента. Результаты операций с плавающей запятой округляются в сторону увеличения абсолютной величины числа.

Пример числа с плавающей запятой:

$$+9_{10}=16\times\left(\frac{1}{2}+\frac{0}{4}+\frac{1}{16}\right)=2^4_{10}\times 0{,}101$$

следовательно, в двоичном коде +9 будет представлено следующим образом:



Операнды, используемые при выполнении команд ПЗ, хранятся в стеке. Содержимое регистра указывает на адреса аргументов, которые расположены следующим образом:

(R) — адрес старшей части аргумента B;
(R) +2 — адрес младшей части аргумента B;
(R) +4 — адрес старшей части аргумента A;
(R) +6 — адрес младшей части аргумента A.

После выполнения комаиды ПЗ результат помещается в стек следующим образом:

(R) +4 — адрес старшей части результата;
(R) +6 — адрес младшей части результата,

где (R) — первоначальное содержимое используемого РОН.

После исполнения команды ПЗ используемый РОН будет указывать на старшую часть результата, т. е. на (R) +4.

FADD 07500R

СЛОЖЕНИЕ С ПЛАВАЮЩЕЙ ЗАПЯТОЙ

0	1 1 1	1 1 1	0 0 0	0 0 0	R R R

Алгоритм: A←A+B или [(R) +4, (R) +6]←[(R) +4, (R) +6] + [(R), (R) +2], если результат $\geqslant 2^{-128}$, в противном случае [(R) +4, (R) +6]←0
Описание: Складываются аргументы A и B. Результат помещается в стек на место аргумента A. В качестве указателя стека используется регистр общего назначения R.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — очищается; *C* — очищается.

FSUB 07501R

ВЫЧИТАНИЕ С ПЛАВАЮЩЕЙ ЗАПЯТОЙ

0	1 1 1	1 0 1	0 0 0	0 0 1	R R R

Алгоритм: A←A—B или [(R) +4, (R) +6]←[(R) +4,(R) +6] — [(R), (R) +2], если результат $\geqslant 2^{-128}$, в противном случае [(R) +4, (R) +6]←0
Описание: Из аргумента A вычитается аргумент B; результат помещается в стек на место аргумента A.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — очищается; *C* — очищается.

FMUL 07502R

УМНОЖЕНИЕ С ПЛАВАЮЩЕЙ ЗАПЯТОЙ

0	1 1 1	1 0 1	0 0 0	0 1 0	R R R

Алгоритм: A←A×B или [(R) +4, (R) +6]←[(R) +4, (R) +6] × [(R), (R) +2], если результат $\geqslant 2^{-128}$, в противном случае [(R) +4, (R) +6]←0
Описание: Аргумент A умножается на аргумент B. Результат помещается в стек на место аргумента A.
Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — очищается; *C* — очищается.

FDIV 07503R

ДЕЛЕНИЕ С ПЛАВАЮЩЕЙ ЗАПЯТОЙ

0	1 1 1	1 0 1	0 0 0	0 1 1	R R R

Алгоритм: A←A/B или [(R)+4, (R)+6]←[(R)+4, (R)+6]/[(R), (R)+2], если результат $\geqslant 2^{-128}$, в противном случае [(R)+4, (R)+6]←0

Описание: Аргумент A делится на аргумент B. Результат помещается в стек на место аргумента A. Если делитель (аргумент B) равен нулю, результат в стек не записывается.

Признаки: *N* — устанавливается, если результат меньше нуля, в противном случае — очищается; *Z* — устанавливается, если результат равен нулю, в противном случае — очищается; *V* — очищается; *C* — очищается.

ГЛАВА 2

ЭКСПЛУАТАЦИЯ МИКРОЭВМ

1. Включение питания

Практически все составные части вычислительного комплекса, построенного на базе микроЭВМ «Электроника-60», имеют автономные блоки питания. В вычислительный комплекс входят: собственно микроЭВМ «Электроника-60М», дисплей 15ИЭ-00-13; накопитель на гибких магнитных дисках 7022; матричное печатающее устройство «Роботрон 1156» или DZM-180; фотосчитывающее устройство FS1501 или СП-3; перфоратор ленточный ПЛ-150М. Все они через общую распределительную колодку с фильтром помех подключаются к сети. Тумблеры включения блоков питания, расположенные на задних стенках устройств, практично перевести при монтаже вычислительного комплекса во включенное состояние, подавая на них питание одновременно от общего выключателя.

Все устройства ввода-вывода, имеющие легкодоступные выключатели, рекомендуется включать до подачи напряжения на микроЭВМ.

Перед пользованием дисплеем на нем необходимо проконтролировать нажатое состояние управляющих клавиш «ЛИН», «ДУП», «РЕД» и после его включения кнопкой на передней панели проконтролировать свечение индикатора «ЛАТ».

Перед включением микроЭВМ желательно переключатель ТАЙМЕР перевести в нижнее выключенное состояние. Если при включении микроЭВМ будет производиться загрузка с гибкого диска операционной системы, переключатель ПРОГРАММА/ПУЛЬТ должен быть установлен в верхнее положение ПРОГРАММА. Наоборот, если при включении необходим выход в режим связи с пультовым терминалом, переключатель ПРОГРАММА/ПУЛЬТ должен находиться в нижнем положении ПУЛЬТ.

После перевода в верхнее положение переключателя ПИТАНИЕ/ВКЛ, во-первых, засветится индикатор ПИТАНИЕ и, во-вторых, во время работы микропрограммы начального пуска будет высвечиваться индикатор РАБОТА. Кроме того, на дисплее в левом верхнем углу экрана (под служебной строкой) высветится стартовый адрес, например 173000, и в начале следующей строки — символ @, являющийся признаком выхода в пультовый режим.

2. Команды пультового терминала

ЭВМ не имеет специального пульта управления, при помощи которого оператор получает возможность выполнять различные операции управления (занесение адреса, считывание данных, запись данных и др.). Все эти функции выполняются устройством, способным передавать в ЦП и принимать из ЦП коды по ГОСТ 13052-74, соответствующие алфавитно-цифровым символам. Принимаемые из ЦП коды должны быть интерпретированы устройством таким образом, чтобы оператор мог контролировать работу процессора. Такое устройство принято называть пультовым терминалом.

В режим связи с пультовым терминалом ЦП может войти при включении питания или перейти в него из режима работы по программе в следующих случаях:

после выполнения команды HALT;

при двойной ошибке обращения к каналу;

при ошибке во время регенерации памяти;

при ошибке во время передачи вектора прерывания;

при установке активного снгнала К ОСТ Н (напрнмер, при переводе переключателя ПРОГРАММА/ПУЛЬТ в ннжнее положенне ПУЛЬТ).

Прн переходе из программного режнма работы в режим связн с пультовым терминалом на экраи днсплея выводнтся адрес следующей команды, которая должна быть нсполнена, н в начале следующей строкн отображается снмвол @ как признак готовности ЦП принять команду оператора.

В случае, если оператор вводнт неправильные команды, на терминал выводится знак ? и в следующей строке зиак @, т. е. команду необходимо ввести повторно.

Выводимые на терминал адреса и данные всегда имеют шесть восьмеричных разрядов. Если при вводе 6-разрядного восьмеричного кода в ЦП старшие разряды равны нулю, то для экономин времени требуемый код можно иачинать вводнть со старшего отлнчного от нуля разряда.

Ниже приводятся и описываются команды, подаваемые с пультового терминала.

1. Команда «/» (код 057) — «открыть ячейку».

По этой команде на термннал выводнтся содержимое ячейкн, адрес которой предварительно задан или последннм нспользовался при обработке.

Еслн возникает иеобходимость поменять содержимое ячейкн, тут же набирается ее новое значенне, после чего ячейка должна быть закрыта оннм из способов.

2. Команда ВК (код 015) — «Закрыть ячейку».

После того, как содержимое открытой ячейки просмотрено и при иеобходимости изменено, нажатием клавиши ВК ячейка закрывается, и микроЭВМ переходит вновь в режим связн с пультовым терминалом.

3. Команда ПС (код 012) — «Закрыть ячейку и открыть следующую».

После того, как ячейка открыта одним нз известных способов, нажатнем клавишн ПС эта ячейка закрывается н открывается следующая. Прнчем на термннал выводится и ее адрес, и ее содержнмое. Если команда «ПС» используется для просмотра РОН, то после просмотра R7 происходит открытне RO.

4. Команда «←» (код 136) — «Закрыть ячейку и открыть предыдущую». После того, как ячейка открыта одним нз способов и ее содержнмое при необходимостн изменено, нажатием клавиши «←» данная ячейка закрывается н открывается предыдущая. Причем на терминал выводится и ее адрес и ее содержнмое. Еслн эта команда используется для просмотра РОН, то после RO будет открыт R7.

5. Комаида «\» (код 177) — «Забой». Используется для исправлення последиего напечатаниого оператором знака. Каждая команда «\» стирает только один знак, и если будет выполнена шесть нлн более раз, то в ячейке будет код 000000.

6. Команда R (код 122) нлн «§» (код 044) — «Регистр».

Она используется для обращения к регистрам общего назначенння, поэтому после нее необходимо ввести одну нз цифр, соответствующую номеру РОН, 0—7, после чего командой «/» производнтся открытие соответствующего РОН.

7. Команда RS (код 122 н 123) — «Слово состояння процессора». Она нспользуется для обращения к РСП. Прн загрузке РСП новым содержанием следует помнить, что РСП 8-разрядный н помещается в младшем байте, а также то, что состояние *T*-разряда пультовой командой поменять нельзя.

8. Команда G (код 170) — «Пуск». Она осуществляет пуск программы со стартового адреса, который был введен до команды G. При этом переключатель ПРОГРАММА/ПУЛЬТ должен находиться в верхием положении ПРОГРАММА. Перед началом выполнения программы вырабатывается каиальный сигнал К СБРОС Н на 10 мкс. Если переключатель ПРОГРАММА/ПУЛЬТ будет находиться в нижием положении ПУЛЬТ, то после выработкн сигиала К СБРОС Н ЦП возвращается в режим связи с пультовым терминалом, выводя только что загруженный стартовый адрес.

9. Команда Р (код 120) — «Продолжение». Она обеспечивает продолженне выполнення остановлениой одним нз способов программы с адреса, определяемого текущим содержнмым счетчнка команд.

Если переключатель режимов работы находится в нижнем положении ПУЛЬТ, то выполняется одна комаида программы и ЦП возвращается в режим работы с пультом: при этом на терминал выводится содержимое счетчика команд. Такой режим используется для пошагового выполнения программы (выполнение программы с остановом после каждой команды).

10. Команда M (код 115) — «Отладка». Она используется для установления причины перехода ЦП из режима программной работы в режим связи с пультовым терминалом (в состояние «Останов»).

После вывода команды на терминал выводится шесть знаков, самый младший из которых содержит информацию о причине останова:

0 — выполнение программой команды HALT (ОСТАНОВ) или перевод переключателя режимов работы в нижиее положеиие ПУЛЬТ;

1 — ошибка обращения к каналу при вводе адреса вектора прерывания;

2 — ошибка обращения к каналу при регенерации памяти;

3 — двойная ошибка обращеиия к каналу (при ошибке обращения к каналу в указателе стека адрес несуществующей ячейки памяти);

4 — ошибка обращения по иесуществующему адресу микрокоманды (обращение к несуществующей странице МПЗУ);

11. Команда L (код 114) — «загрузка». Она используется для ввода программы «Абсолютный загрузчик». Перед тем, как подать команду L, необходимо ввести в ЦП адрес регистра состояния считывающего устройства. Ввод программы с помощью команды L будет происходить при любом положении переключателя режимов работы ПРОГРАММА/ПУЛЬТ.

12. Команда @ (код 100) — «открыть ячейку с абсолютным адресом».

Используется для обращеннн к ячейке, адресом которой является содержимое ранее открытой ячейки или РОН, после которой была введена комаида @. При этом раиее открытая ячейка закрывается. Если команда используется при открытом РСП, она закрывает его и открывает ячейку, адресом которой является содержимое раиее открываемого РОН.

13. Команда «—» (код 137) — «Открыть ячейку с относительным адресом». Она открывает ячейку с адресом, определяемым как сумма трех слагаемых: содержимого уже открытой ячейки, ее адреса и +2.

3. Загрузка операционной системы

Для загрузки микроЭВМ операциоиной системой (ОС) с гибких магнитных дисков необходимо вставить дискету с ОС в привод с номером «О» и перевести переключатель ПИТ паиели управлеиия в верхнее положение ВКЛ. Прн этом переключатель ПРОГРАММА/ПУЛЬТ должен иаходиться в верхнем положении ПРОГРАММА. Пуск загрузки можно также обеспечить с адреса 173000 пультовой командой G.

Для загрузки микроЭВМ ОС с дисковода с номером «1» необходимо в R2 заиести код 100267 и стартовать с адреса 173004.

Для загрузки микроЭВМ перфоленточной операционной системой (ПЛОС) вначале необходимо ввести программу «Абсолютный загрузчнк».

После заправки перфоленты с программой «Абсолютный загрузчик» в перфоленточное устройство ввода, совмещением пробивок кода 351 с фотоэлектрическим элементом включают питаиие этого устройства и, набрав адрес его регистра состояния, подают пультовую команду L.

Например: 177550L.

Лента начинает движение, информация поступает в память и по окончаиии загрузкн иа терминал выводится XX7500 — пусковой адрес программы «Абсолютный загрузчик». Значение XX в зависимости от объема подключенной памяти имеют следующие значения:

01	4К
03	8К
05	12К
07	16К
11	20К
13	24К
15	28К

Если по окончании загрузки программы «Абсолютный загрузчик» переключатель ПРОГРАММА/ПУЛЬТ находился в положении ПУЛЬТ, на терминал выводится сообщение XX7724. Для вывода пускового адреса «Абсолютного загрузчика» необходимо установить переключатель ПРОГРАММА/ПУЛЬТ в верхнее положение ПРОГРАММА и выполнить команду пультового терминала Р.

Программа «Абсолютный загрузчик» имеет следующие режимы загрузки: нормальный; перемещаемый; перемещаемый с продолжением.

Все перечисленные режимы загрузки задаются установкой разрядов переключателей режима — ячейки XX7516.

Нормальный режим — это режим загрузки программы в память ЭВМ с адреса, указанного на перфоленте. Этот режим определяется установкой разряда 0 переключателя режима в положение «0» перед началом загрузки.

Перемещаемый режим — это режим загрузки программы в выбранную область памяти ЭВМ. Он используется для загрузки независимых от местоположения в памяти программ и определяется следующей установкой разрядов переключателей режима: разряд 0 — в состоянии «1»; разряды 15—01 имеют содержимое, равное приращению адреса загрузки перед началом загрузки.

Перемещаемый режим с продолжением — это режим загрузки с адреса, следующего за конечным адресом последней загружаемой программы. Он используется, например, когда загружается программа, содержащаяся на нескольких лентах. Этот режим определяется установкой разряда 0 переключателя режима в положение «1» перед началом загрузки.

Для загрузки программ пользователя следует убедиться, что переключатель ПРОГРАММА/ПУЛЬТ в положении ПРОГРАММА, а затем начать режим считывания с заправленной перфоленты. Для этого:

в нормальном режиме набрать на терминале XX7500G или Р, если в счетчике команд R7 содержится этот адрес;

в перемещаемом режиме раскрыть ячейку XX7516

XX7516/УУУ УУУ ZZZ ZZZ

XX 7500G

где XX7516 — переключатель режима загрузки, ZZZ ZZZ — приращение адреса загрузки;.

в перемещаемом режиме с продолжением раскрыть ячейку XX7516 и ввести единицу

XX7516/УУУ УУУ 000001

начать считывание с адреса XX7500G или Р для продолжения загрузки последующих лент.

После загрузки программы пользователя на терминал выводится сообщение XX7712, если лента загружена правильно, или XX7612, если лента загружена неправильно, и загрузку следует повторить.

Для запуска загруженной программы необходимо знать ее стартовый адрес.

4. Проверка технического состояния

Проверка технического состояния вычислительного комплекса сводится к выполнению с помощью ТМОС 00011-01 следующих тест-программ:

основной тест команд	791401
тест арифметики	791402
тест команд с плавающей запятой	791403
тест прерываний	791404
тест устройства И2	791405
системиый тест	791407
тест памяти	791323
тест печатающего устройства	791325
тест команд накопителя иа магнитной ленте ИЗОТ 5003	001101
тест временных соотношений НМЛ ИЗОТ 5003	001102
тест обмена НМЛ ИЗОТ 5003	001103
тест устройства последовательного обмена	005101
тест дисплея	012101
тест матричного печатающего устройства	013101
тест интерфейса И4	014101
тест обмеиа с накопителем на гибких магнитных дисках ГМД 70	014102

Запуск тест-программ через команду монитора R, например R791401 (ВК), где (ВК) — клавиша возврат каретки на клавиатуре терминала, или со стартового адреса 200_8.

Ряд тест-программ можно объединить в так называемый цепочиый файл с любым количеством повторов каждого теста. Цепочиый файл создается в программе ХТЕСО — «Редактор текста ТМОС 00011-01 34».

Работоспособность всего комплекса как системы проверяет системиый тест 791407. Тест-программа состоит из 10 программ, пронумерованных от 0_8 до 11_8, и программ обслуживания.

Программа 0. Тест печатающего устройства (термииала). Обеспечивает проверку правильности прерывания от печатающего устройства и вывода строк со знаками ! " § ... 1,4 (выдаются знаки с кодами 40, 41, 42, ... 177).

Программа 1. Тест перфоленточного устройства ввода. Обеспечивает правильность прерывания от фотосчитывающего устройства и считывания кодов специального образца с перфолеиты.

Программа 2. Тест перфоратора. Обеспечивает проверку правильиости прерывания от перфоратора и перфорации последовательиости кодов 000, 001, 002, ..., 377, 000, 001, ... Правильность перфорации проверяется визуально или по программе 1.

Программа 3. Тест устройства параллельного обмеиа И2. Программа состоит из двух подпрограмм:

прерывание от устройства параллельного обмена И2 при установлениых разрядах 01 и 05 РС и сравнения данных регистров входного и выходного буферов; выполняется в начале прохода, затем блокируется;

прерываиие от устройства параллельного обмеиа И2 при установлениых разрядах 00 и 06 регистра состояния и сравнения данных регистров входного и выходного буферов.

Программа 4. Тест мозаичного печатающего устройства. Обеспечивает правильность прерывания от мозаичного печатающего устройства и вывода на устройство строк со знаками: ! " § .... (выдаются знаки с кодами: 40, 41, 42, ..., 136, 137, 40, 41, ...,). В каждой строке печатается 132 зиака.

Программа 5. Тест устройства управления гибкими дисками. Программа состоит из четырех подпрограмм:

прерывание от диска 0 и/или диска 1 и запись кодов 000, 001, ... 177 в буфер;

прерывание от гибких дисков и запись кодов из буфера в каждый третий сектор на первую и 114-ю дорожки диска 0 и/или диска 1;

прерываиие от дисков и считывание в буфер кодов, записаиных в каждом третьем секторе на первой и 114-й дорожках диска 0 и/или диска 1;

прерывание от диска 0 и/или 1 и проверка считывания в буфер кодов, записаиных в каждом третьем секторе на первой и 114-й дорожках диска 0 и/или диска 1.

Программа 6. Тест процессора, блока расширенной арифметики и плавающей запятой. Состоит из малых тестов, каждый из которых проверяет правильность выполнения команд процессора, блока РА и ПЗ.

Программа 7. Выборка и проверка банков памяти и перемещение тест-программы. Программа автоматически определяет емкость оперативной памяти и проверяет память выше 4К слов. Для этого в каждую ячейку записывается содержимое, равное ее адресу, затем, начиная со старшего адреса, проверяется содержимое ячеек. Программа перемещает тест-программу в каждый банк и формирует переходы из банка в банк.

Программа 10. Распечатка регистров. Обеспечивает распечатку содержимого регистров R0—R7, РСП. Используется для определения содержимого в случае останова по ошибке.

Программа 11. Перфорация кодов специального образца. Обеспечивает перфорацию на ленте кодов 000, 001, 002, 003, ... 377, 000, ... Участок перфоленты, склееиый в кольцо, представляет собой перфоленту специальиого образца.

Для установки режима работы тест-программы используются соответствующие разряды ячейки 176:

разряд 15 (100000) — останов по ошибке;
разряд 14 (040000) — зацикливание малого теста;
разряд 13 (020000) — запрещение сообщения об ошибке;
разряд 12 (010000) — запрещение установки разряда Т РСП;
разряд 11 (004000) — запрещение повторения малого теста;
разряд 10 (002000) — запрещение проверки команд процессора;
разряд 9 (001000) — запрещение перемещения тест-программы
разряд 08 (000400) — повторный запуск тест-программы по ошибке;
разряд 07 (000200) — запрещение сообщения о конце прохода;
разряд 05 (000040) — запрещение проверки матричного печатающего устройства;
разряд 04 (000020) — запрещение проверки устройства И2;
разряд 03 (000010) — запрещение проверки команд расширенной арифметики и плавающей запятой;
разряд 02 (000004) — запрещение теста печатающего устройства (терминала);
разряд 01 (000002) — запрещение проверки диска 1;
разряд 00 (000001) — запрещение проверки диска 0.

Для проверки перфоленточных устройств ввода и вывода устанавливаются соответствующие коды ячеек 544 и 546:

ячейка 544—000000/177777 разрешена/ запрещена проверка перфоленточного устройства ввода;

ячейка 546—000000/177777 разрешена/ запрещена проверка перфоратора.

Программа «Системный тест» загружается с гибкого диска и запускается командой монитора R 791407 (ВК) или загружается с перфолеиты индекса 8.842,006-06.

Пусковые адреса:

200 — выполнение тест-программы;
400 — выполнение программ перфорации кодов 000—377;
410 — выполнение программ вывода, содержимого R0—R7, РСП.

После запуска программы выводится сообщение

ПАМЯТЬ xxxxxx

где xxxxxx — верхний предел проверяемой памяти.

В конце прохода тест-программы выводится

ПРОХОД xxxxxx ОШИБОК yyyyyy Д Г ОШИБОК zzzzzz
ПРЕРЫВАНИЙ tttttt

где xxxxxx — номер прохода тест-программ; yyyyyy — число ошибок; zzzzzz — число ошибок, обнаруженных при проверке дисков; tttttt — число прерываний от таймера.

Сообщение об ошибке выводится в виде:

СК xxx xxx РКП yyy yyy цикл zzz zzz

где xxx xxx — счетчик команд в момент ошибки; yyy yyy — регистр состояния процессора в момент ошибки; zzz zzz — начальный адрес малого теста, который обнаружил ошибку.

5. Создание рабочей копии операционной системы ФОДОС

Для создания рабочей копии операционной системы ФОДОС необходимо выполнить следующие операции:

загрузку с дистрибутивного носителя;

копирование необходимых файлов на системный том.

Дистрибутивным носителем называется носитель, на котором находятся все компоненты операционной системы; с него генерируется каждая конкретная рабочая система.

Независимо от носителя, на котором находится операционная система ФОДОС, все двоичные наборы программного обеспечения содержат одни и те же компоненты системы. Дистрибутивный набор на гибких дисках расположен на двух дискетах.

Для загрузки системы с гибких дисков необходимо установить первый дистрибутивный том (дискету) на привод 0 и запустить программу «Аппаратный загрузчик» с адреса 173000, набрав на терминале

173000G

Система ответит:

ФОДОС ФВ 02.00

Установить на привод 1 дискету, предназначенную для создания рабочей системы. Инициализировать ее, проверяя на дефектные блоки, при этом набрать на терминале:

INITIALIZE/BADBLOCKS DX1 : (ВК)

Ответ: DX1 :/INIT ARE YOU SURE?
Ввод: У (ВК)
Ответ:

Далее копируются необходимые компоненты по команде:

COPY/SYSTEM/QUERY DX0 : *.* DX1 : *.* (ВК)

Ответ: FILES COPPIED

DXO : <имфайл. тйп> TO DX1: ⩽имфайл. тип⩾?

С терминала вводится:

У (ВК) — для включения файла в систему;

N (ВК) — для исключения файла из системы, где (имфайл. тип) файлы в соотв. с табл. 5.

Для исключения файла символ N можно не набирать.

После того, как все файлы данного тома будут перечислены, система напечатает точку.

Далее выполняется запись на диск программы «Начальный загрузчик»:

COPY/BOOT DX1:DXMH уу. SYS DX1: (ВК)

где уу — тип монитора (SJ, FB, XM).

Если нужно копировать на системный рабочий диск файлы с другого дистрибутивного тома, то следует выполнить следующие операции.

Таблица 5

Компоненты операционной системы

Имя файла	Размер в блоках	Описание
MS BOOT. BOT	3	Второй начальный загрузчик магнитной ленты
SWAP. SYS	24	Программа свопинга
RKMNFB. SYS	73	Монитор основного—фонового-задания для дисков
DXMNSJ. SYS	63	Монитор одного задания для гибких дисков RK
DXMNSJ. BL	59	Базовый монитор одного задания для гибкнх дисков
TT. SYS	2	Драйвер терминала
RK. SYS	2	Драйвер днсков RK
LP. SYS	2	Драйвер матричного печатающего устройства
MT. SYS	8	Файлово-ориентированный драйвер магнитной ленты
NL. SYS	2	Драйвер фнктивиого устройства
PIP. SAV	16	Программа обмена
DIR. SAV	17	Программа получения справочника
EDIT. SAV	19	Редактор текста
MACRO. SAL	45	Ассемблер
CREF. SAV	6	Программа перекрестных ссылок
LIBR. SAV	16	Библиотекарь
SRCCOM. SAV	11	Программа сравнения исходных файлов
PATCH. SAV	9	Программа модификацин файлов
MDUP. MT	48	Программа обслуживания магнитной ленты
MDUP. SAV	10	Программа обслуживания устройств для ЭВМ с памятью 8К слов
CONTEG. MAC	3	Исходный текст контрольной задачи № 2
RKMNSJ. SYS	62	Монитор одного задания для дисков RK
RKMNSJ. BL	59	Базовый монитор одного задания для дисков RK
DXMNFB. SYS	73	Моннтор основного фонового задання для гибкнх дисков
DX. SYS	2	Драйвер гибких дисков
MTHD. SYS	3	Аппаратный драйвер магнитной ленты
PC. SYS	2	Драйвер перфоленточного устройства ввода-вывода
BA. SYS	7	Драйвер программы пакетной обработки
DUP. SAV	21	Программа обслуживания устройств
SYSMAC. SML	37	Системная библиотека MACRO
MAC8K. SAV	58	Ассемблер для системы с малой конфнгурацией
LINK. SAV	29	Редактор связей
DUMP. SAV	7	Программа печати
PAT. SAV	7	Программа моднфикацин объектных модулей
BATCH. SAV	26	Программа пакетной обработки
ODT. OBJ	9	Отладчик
MBOOT. BOT	1	Первый начальный загрузчик магнитной ленты
CONTBG. MAC	2	Исходный текст контрольной задачи № 1
SYSMAC. MAC	36	Исходная библиотека MACRO
TT. MAC	10	Исходный драйвер терминала
PC. MAC	6	Исходный текст драйвера перфоленточного устройства ввода-вывода
RKMNXM. SYS	82	Монитор расширенной памятн для дисков RK
DXMNXM. SYS	83	Моннтор расширенной памяти для гибких дисков
DXX. SYS	3	Драйвер гибких дисков для моннтора XMX
RKX. SYS	2	Драйвер дисков RK для монитора XM
LPX. SYS	2	Драйвер матричного печатающего устройства для монитора XM
MTX. SYS	9	Файлово-ориентированный драйвер магнятной ленты для монитора XM
MTHDX. SYS	4	Аппаратный драйвер магнитной ленты для монитора XM
NLX. SYS	2	Драйвер фиктивного устройства для монитора XM

Имя файла	Размер в блоках	Описание	Имя файла	Размер в блоках	Описание
PCX. SYS	2	Драйвер перфоленточного устройства ввода-вывода для монитора ХМ	BAX. SYS	7	Драйвер программы пакетной обработки для монитора ХМ

Обратиться к программе PIP

R PIP (ВК)

Ответ: *

Снять первый дистрибутивный том с провода 0 и установить на него следующий дистрибутивный том. Копировать необходимые компоненты по команде

DX1:*.*=DX0:*.*/Y/Q(ВК)

Ответ: FILES COPIED

DX0 : <инфайл. тип> ТО DX1 : <ннфайл. тип> ?

Ввод Y (ВК) — для включения файла в систему;

(ВК) — для исключения файла из системы.

После того, как все файлы будут перечислены, система напечатает звездочку (*).

Установить в привод 0 первый дистрибутивиый том и подать команду СУ/С.

Ответ: ·

Для работы с созданной рабочей системой следует либо загрузить ее по команде: BOOT DX1 : (ВК), либо установить созданный том на привод 0 и перезагрузить систему.

6. Дополнительные устройства

Для расширения возможиостей микроЭВМ «Электроника-60М» разработаны и используются следующие модули и устройства.

Для подключения фотосчитывателя DAPO-1240 (ГДР) предусмотрен интерфейс И8, а для перфоленточной станции СМ 6204 — интерфейс И9. Устройство управления В1 предназиачено для подключения к каналу микроЭВМ электрофицированной пишущей машины (ЭПМ) «Консул 260» или «Консул 260.1» и фотосчитывателя FS 1501 (ЧССР).

Все перечисленные интерфейсные модули имеют программно-доступные регистры, адреса и форматы которых совпадают с адресами и форматами интерфейсиых модулей В21, В3. Для связи через модуль В1 с ЭПМ используются адреса пультового терминала.

Используемый в качестве терминала дисплей 15ИЭ-00-13 может быть также подключен к микроЭВМ через интерфейс И12, обеспечивающий ввод-вывод информации не только посылками типа «20 мА токовая петля», но и согласио стандарту обмена «ЄТЫК С2».

Устройство последовательного обмена СК 02 содержит приемник и передатчик, выполненные на одной БИС, и имеет расширенные функциональные возможности: изменение длины информационной н стоповой посылок, контроль четности и нечетности, обмен с более высокой скоростью (24 000 бит/с). Кроме того, модуль содержит ПЗУ, предназначенное для хранения программы начальной загрузки системы с накопителем на магиитном диске (НМД) СМ5400.

Устройство последовательного обмена СК 01 является полудуплексным и обеспечивает передачу и прием даиных в режиме ПДП.

Для подключения накопителя на гибких магнитных дисках (НГМД) PL×45D (ПНР) используется контроллер И 11, выполненный на базе МПК БИС К 1804.

Накопители на магнитной ленте (НМЛ) типа СМ 5300 подключаются к каналу микроЭВМ через контроллеры двух типов:

устройство управления 15 ВВМЛ — 10-001, представляющее собой автономный электронный блок, выполненный на БИС средней степени интеграции;

контроллер И17 («Электроника МС 2707»), представляющий собой одну печатную плату на базе МПК БИС.

В качестве устройств внешней памяти на магнитных дисках кассетного типа применяют накопители на сменных дисках (НМД) типа СМ 5400-01/12. Для подключения НМД к микроЭВМ используются два типа устройств:

контроллер, представляющий собой автономный блок, выполненный на БИС средней степени интеграции;

контроллер И15, И16 («Электроника МС 2701»), выполненный на МПК БИС и представляющий собой две печатные платы.

Для облегчения подключения к каналу микроЭВМ произвольных УВВ предусмотрен интерфейс пользователя И5. Около половины поверхности платы занимают собственно интерфейсная логика, включающая канальные приемопередатчики, компаратор адреса, логику управления и прерывания. Другая половина предназначена для установки микросхем и дискретных элементов, выполнения монтажа логических цепей, необходимых для работы устройства пользователя.

Если устройство пользователя предназначено для работы в режиме ПДП, то для подключения к каналу микроЭВМ можно использовать модуль прямого доступа к памяти И3.

Помимо рассмотренных модулей имеются устройства, подключаемые к каналу микроЭВМ типа «Электроника-60М» и обеспечивающие:

возможность работы с устройствами, имеющими интерфейс миниЭВМ и интерфейс «Общая шина» СМ ЭВМ («Адаптер интерфейса»);

преобразование аналоговой информации, представленной в форме напряжения постоянного тока в цифровой код (модуль АЦП);

преобразование цифровых данных, поступающих от микроЭВМ, в напряжение постоянного тока (модуль ЦАП) и т. д.

7. *Техническое обслуживание*

Для надежной работы микроЭВМ пользователь должен регулярно проводить регламентные работы (табл. 6).

Таблица 6

Перечень работ для различных видов обслуживания микроЭВМ «Электроника-60М»

Периодичность обслуживания	Содержание работ и метод их проведения	Технические требования	Приборы, инструменты и материалы, необходимые для проведения работ
Один раз в день	Удаление пыли с внешней поверхности вычислительного комплекса с помощью марли	Не должно быть пыли на внешней поверхности вычислительного комплекса	Марля хлопчатобумажная
То же	Проверка заземления вычислительного комплекса	Вычислительный комплекс должен быть заземлен	—
»	Проверка работоспособности вычислительного комплекса с помощью основного теста команд и теста памяти	Тесты должны выполняться не менее одного раза	Основной тест команд 2.791.001 П01; тест памяти 2.791.003 П023

Периодичность обслуживания	Содержание работ и метод их проведения	Технические требования	Приборы, инструменты и материалы, необходимые для проведения работ
Один раз в месяц	Проверка работоспособности вычислительного комплекса по тестам, указанным в тест-программе «Системный тест»	Каждый тест должен выполняться не менее одного раза	Системный тест 2.791.004.П07
Один раз в полгода	Удаление пыли с устройств и блоков вычислительного комплекса с помощью пылесоса	Не должно быть пыли на устройствах и блоках вычислительного комплекса	Пылесос
То же	Промывка спиртом печатных контактов устройств и розеток с помощью кисточки и протирка их марлей	Не должно быть загрязнений на контактах	Марля хлопчатобумажная, спирт этиловый, кисточка
»	Контроль сопротивления защитного заземления между болтом защитного заземления и незащищенными местами корпусов устройств ЭВМ	Сопротивление защитного заземления должно быть не более 0,1 Ом	Омметр М416
Один раз в полгода	Смазывание маслом подшипников вентиляторов с помощью маслёнки	Подшипники вентиляторов должны быть смазаны маслом	Масло ОКБ 122-3, маслёнка
То же	Проверка работоспособности вычислительного комплекса путем выполнения всех тест-программ, перечисленных в ТМОС.00011-01 31 01	Каждый тест должен выполняться не менее одного раза	Тесты, перечисленные в ТМОС 00011-01 34

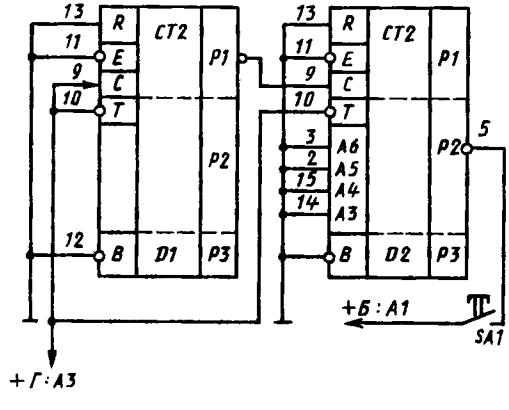


Рис. 12. Дополнительное устройство

Для выявления неисправностей в работе вычислительного комплекса необходимы осциллограф с частотой с полосой пропускания не менее 100 МГц и максимальной чувствительностью не менее 5 мВ (например, осциллограф С1-79) и ампервольтметр Ц4341 или аналогичные, класса точности, не более 2,5.

Для проведения ремонтных работ целесообразно изготовить дополнительное устройство, представляющее собой счетчик (рис. 12), на вход которого поступает сигнал от генераторов фаз, а на выходе вырабатывается сигнал низкого уровня с периодом 1...1,5 мс. Выход схемы подключается к контакту Б:А1 (К ПОСТ Н В), с которого и берется внешняя синхронизация осциллографа.

ГЛАВА 3

ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР М2

1. Структурная схема

Центральный процессор микроЭВМ «Электроника-60М» построен на базе микропроцессорного набора МДП БИС (сер. К 581), состоящего из БИС управления — БИС БМУ (К 581 ИК2), БИС регистрового арифметико-логического устройства — БИС РАЛУ (К 581 ИК1) и трех БИС ПЗУ микрокоманд (К 581 РУ1, К 581 РУ2, К 581 РУ3).

Микропроцессор (МП), состоящий из пяти перечисленных выше БИС, объединенных между собой 22 линиями связи — микроканалом (МК), осуществляет выполнение следующих операций:

выбор одного из четырех режимов пуска;

управление работой ЭВМ в одном из четырех режимов:
программном, в режиме ПДП, режиме прерывания, пультового терминала;

загрузку информации в память ЭВМ с перфолент;

обработку внешних и внутренних прерываний;

выполнение системных команд;

регенерацию динамической памяти.

Работа микропроцессора основана на микропрограммном принципе. Три идентичных по построению БИС МПЗУ (микропрограммное запоминающее устройство) хранят все микропрограммы для реализации функций микропроцессора. Выборка микропрограмм идет с помощью задания микроадресов, которые генерирует БИС управления. БИС управления определяет конкретную микропрограмму в зависимости от системной команды или внешних управляющих сигналов. На основании извлеченной по микроадресу микрокоманды БИС РАЛУ (регистровое арифметико-логическое устройство) выполняет необходимые преобразования над данными и осуществляет обмен информацией с системным каналом М ДА В. Такая организация микропроцессора позволяет БИС управления генерировать следующий адрес микропоследовательности одновременно с выполнением в РАЛУ текущей микрокоманды. При этом предполагается многократное эффективное применение ячеек МПЗУ, т. е. одни и те же ячейки МПЗУ могут использоваться различными микропрограммами. Необходимые для этого ветвления выполняет реализованная в БИС управления система генерации адресов переходов.

По системной магистрали М ДА 00 — 15 В (рис. 13) микропроцессор может обратиться через блок приемопередатчиков канала к ячейкам любого устройства, подключенного к каналу ЭВМ К ДА 00—15 Н, либо по магистрали ДА 00—15 В к блоку резидентной памяти. Считываемая микропроцессором информация поступает в магистраль М ДА 00—15 В через блок мультиплексоров канала либо из канала ЭВМ К ДА 00—15 Н через приемопередатчики и магистраль ДА 00—15 В, либо из блока резидентной памяти по магистрали Д 00—15 В. Емкость блока резидентной памяти 4К 16-разрядных слов. При помощи перемычек (табл. 7) блок резидентной памяти может быть подключен на место банка 0 или банка 1 памяти либо вообще отключен.

Связь БИС управления с сигналами канала ЭВМ выполняет блок управления каналом, он также обеспечивает необходимые временные характеристики этих сигналов.

Блок управления прерыванием обеспечивает прием и последующую передачу на соответствующие входы БИС управления канальных сигналов запроса прерывания,

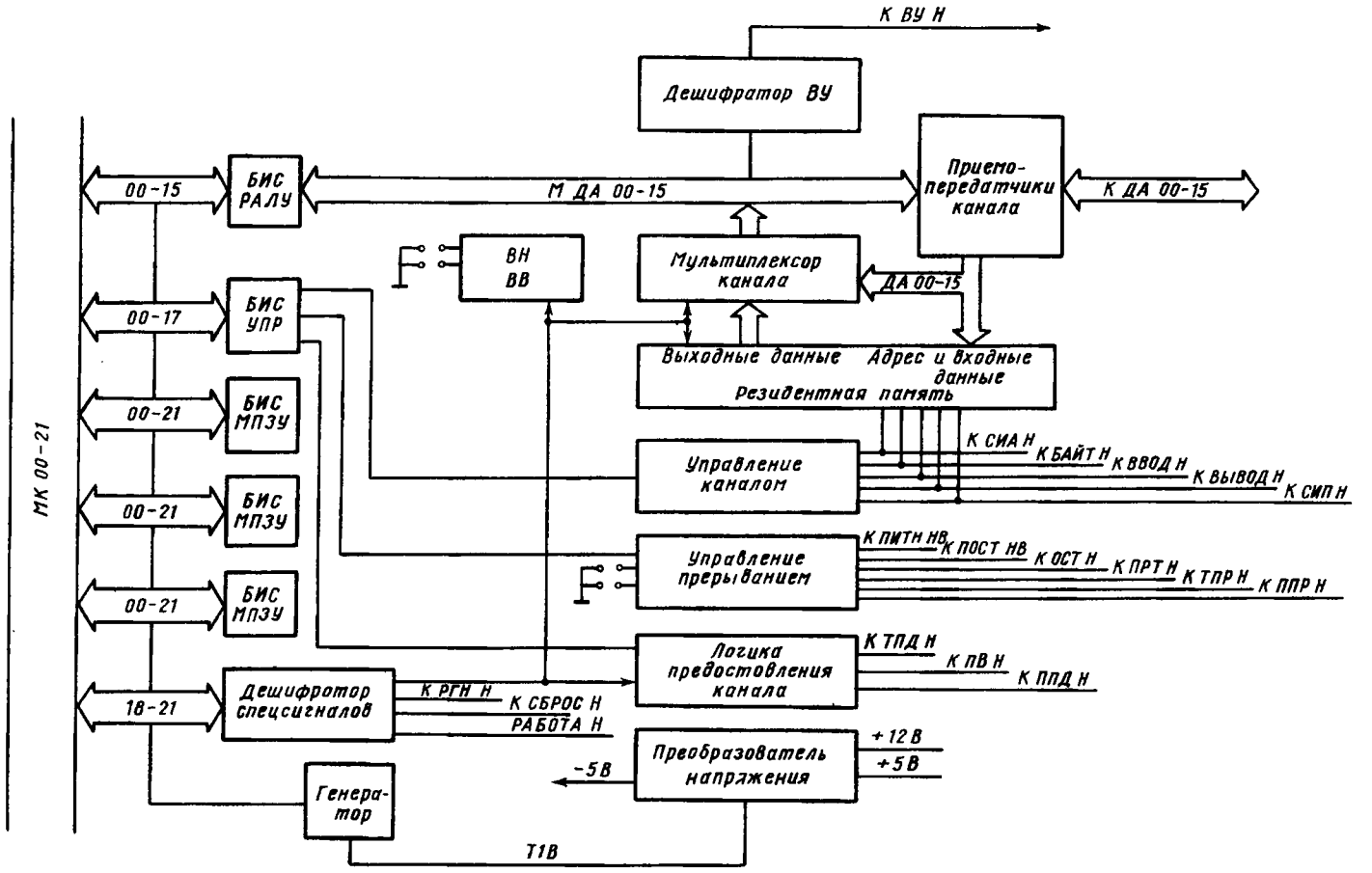


Рис. 13. Функциональная схема центральиого процессора

Таблица 7

Функции перемычек ЦП М2

Перемычка	Фуикция	Перемычка	Функция
Е1—Е4	Выбор напряжения источника отрицательного смещения для БИС	Е12	Выбор режима пуска
Е5	Управление формирователем тактовых импульсов	Е13(0/1)	Прерывание по таймеру разрешено/запрещено
Е6	Выбор режима пуска	Е14(1/0)	СИП от резидентной памяти при регенерации разрешен/запрещен
Е7	Управление формирователем тактовых импульсов	Е15, Е16 (0/1)	СИП от резидентной памяти разрешен/запрещен
Е8(0/1)	Резидентная память запрещена/разрешена	Е17, Е18	Выбор напряжения источника отрицательного смещения для БИС
Е9, Е10	Выбор номера блока резидентной памяти		

Примечание. 1 — перемычка установлена, 0 — перемычка удалена.

а также формирует необходимую последовательность выходных сигналов. Перемычки на входе блока (см. табл. 7) задают разрешение приема сигналов таймера и запуск режима регенерации ОЗУ.

Порядок процедуры захвата шин канала ЭВМ устройством ПДП осуществляет блок логики предоставления канала.

Четыре старших разряда микроканала МК 18—21Н поступают на блок дешифратора специальных управляющих сигналов. С помощью кодов, выставляемых на эти линии, микропроцессор формирует на выходе блока сигналы, управляющие работой логики ЦП, и формирует канальные сигналы (К РГН Н, К СБРОС Н).

Блок внутреннего ввода (ВН ВВ) функционирует только в микропрограмме начального пуска и выявляет причину выхода в эту микропрограмму для последующего ее ветвления. Перемычки на входе блока (см. табл. 2) задают режим пуска.

Для тактирования работы как МПК БИС, так и схем ЦП в целом на плате ЦП имеется генератор, формирующий четыре тактовые последовательности. Причем одна из них используется для функционирования преобразователя напряжения, вырабатывающего напряжение — 5 В для питания элементов МПК БИС и накопителей резидентного банка памяти. Частота тактового генератора определяет быстродействие ЦП.

2. *Характеристики МПК БИС К581*

БИС МПЗУ. Она представляет собой матрицу из четырех столбцов и 128 строк, на пересечении которых располагаются 512 22-разрядных ячеек. Рассматривая работу БИС МПЗУ в течение четырехфазного цикла, надо отметить, что адрес микроячейки выставляется на шины микроканала по сигналам Ф2, Ф3, а извлеченная информация (микрокоманда) — по сигналу Ф1. Таким образом обеспечивается двунаправленная работа микроканала. При этом логическому нулю соответствует заряженная до уровня +5 В шина, логической единице — шина, разряженная до 0 В. Поступая на вход МПЗУ, разряды адреса 00—01 принимаются дешифратором столбцов, 02—08 — дешифратором строк, 09—10 — схемой выработки сигнала ЗАПРЕТ КРИСТАЛЛА. В зависимости от состояния разрядов 09, 10 только одна из БИС МПЗУ не вырабатывает сигнал ЗАПРЕТ КРИСТАЛЛА, обнуляющий выбираемую из матрицы информацию.

Если вместе с адресом из микроканала пришел низкий уровень по разряду 16, то выбранная информация также обнуляется. В процессе выбора ячейки из матрицы заряженные первоначально шины строк и столбцов разряжаются за исключением тех,

на пересечении которых находится 22-разрядное слово микрокоманды. Информация здесь представлена в виде наличия (логическая единица) или отсутствия (логический ноль) транзисторов на пересечении шины строки и шин столбцов. Заряженные шины обеспечивают открытое состояние транзисторов.

По сигналу Ф1 часть линий микроканала разряжается через транзисторы и код микрокоманды оказывается выставленным в микроканал.

Содержимое БИС МПЗУ формируется на стадии их изготовления и распределяется по адресам следующим образом:

0—511 (0_8—777_8) — К 581 РУ2, содержащая микропрограммы реализации стандартного набора системы команд;

512—1023 (1000_8—1777_8) — К 581 РУ1, содержащая микропрограммы управления;

1024—1534 (2000_8—2777_8) — К 581 РУ3, содержащая микропрограммы расширения арифметических операций и реализации операций с плавающей запятой.

БИС управления. Эта схема осуществляет связь МП с линиями управляющих сигналов канала микроЭВМ, генерирует последовательность микроадресов, по которым производятся обращения к БИС МПЗУ за кодами микрокоманд. В состав БИС управления входят следующие функциональные блоки:

программируемая логическая матрица (ПЛМ);
регистр микрокоманд (РМК);
регистр системных комаид (РСК);
регистр возврата (РВ);
регистр состояния (РС);
регистр прерываний (РПР);
блок местного управления (БМУ);
блок управления системным каналом (БУСК);
дешифратор кода операции (ДКО);
счетчик микрокоманд (СМК).

ПЛМ предназиачена для реализации микропрограммного прииципа управления ЦП и формирует начальные адреса микропрограмм выполнения системных команд в соответствии с кодом этой команды, хранящимся в РСК. Кроме того, реализует микропрограммы обработки прерываний, а также осуществляет ветвление микропрограммы по состоянию РС.

Счетчик микрокоманд является главным звеном при выработке адресов микропоследовательностей. Новый адрес в СМК может быть загружен из микроканала при безусловном переходе или из РВ при возврате из подпрограммы, а также из ПЛМ при ветвлении по преобразованию.

При каждом обращении к МПЗУ СМК увеличивает свое содержимое на 1.

РМК предиазначен для хранения текущей микрокоманды и передает ее в ПЛМ и ДКО, сигналы которых управляют БУСК и БМУ.

БИС РАЛУ. Эта схема выполняет функции обмена информации с системным каналом, арифметико-логические преобразования над данными и формирует условия ветвления микропрограммы.

Для реализации этих функций БИС РАЛУ содержит: блок АЛУ; блок РОН; регистр условий результата операций; дешифратор РОН.

Синхронизация работы БИС РАЛУ обеспечивается тактовыми сигналами Ф1—Ф4.

По сигналу Ф1 микрокоманда, подлежащая исполиению, принимается в БИС РАЛУ. По сигналам Ф2, Ф3 обеспечивается ее выполнение. Так как АЛУ и РОН 8-разрядные, при обработке 16-разрядных данных используются двухцикловые микрокоманды, во втором цикле которых по сигналу Ф3 в разряде 16 микроканала формируется иизкий уровень, обеспечивающий сброс данных в МПЗУ. При выполнении условиых переходов по состоянию регистра кода условий признак ветвления формируется в разряде 15 микроканала. Так как обмен информацией в микроканале и в систем-

ном канале осуществляется в одних и тех же тактах, то это происходит в разных циклах. При выборке информации из системного канала БИС РАЛУ переходит в режим ожидания, принимая соответствующий внешний сигнал.

Микроканал. Микроканал включает в себя параллельные шины, что соответствует разрядам 00—21 слова микрокоманды. Каждая шина микроканала соединяет между собой затворы входных транзисторов кристаллов микропроцессора. Информация на линии микроканала выставляется путем заряда или разряда соответствующих шин, при этом движение информации будет двунаправленным, т. е. один и тот же вывод БИС используется и для приема и передачи информации. Исключение составляют линии разрядов 18—21, совместимые с элементами ТТЛ и связывающие МПЗУ со схемой дешифратора специальных кодов. МПЗУ по сигналу Ф4 заряжает шины разрядов 00—14, подключая их к источнику +5 В, шина разряда 15 заряжается по сигналу Ф3, шина разряда 16 — по сигналам Ф2 и Ф4.

В конце каждого цикла все шины микроканала заряжены, и по сигналу Ф1 нового цикла МПЗУ выставляет код микрокоманды, разряжая определенные шины микроканала. По сигналам Ф2, Ф3 на те же линии БИС управления выставляет код очередного микроадреса, при этом часть линий БИС управления подключается к напряжению +5 В, а остальные — на корпус в соответствии с кодом. По сигналу Ф4 микроканал заряжается вновь.

В этом смысле исключение составляет линия разряда 15, которая заряжается по сигналу Ф3, а по сигналу Ф4 передает из РАЛУ в БИС управления признак ветвления для микрокоманд условного ветвления. Для передачи микрокоманды используются 16 разрядов (разряды 0—15). Остальные разряды микрослова, начиная с разряда 16, имеют специальное назначение.

Линии микроканала подразделяются следующим образом.

Линии разрядов 00—10 — двунаправленные, на них по сигналу Ф1 информация выдается МПЗУ, по сигналам Ф2, Ф3 — из БИС управления в МПЗУ.

Линии разрядов 11—14 по сигналам Ф2, Ф3 не подключаются к источникам +5 В, остаются неизменными и работают только по сигналу Ф1.

В линии разряда 15 по сигналу Ф3 повышается потенциал до +5 В, а при выполнении микрокоманд условного ветвления по сигналу Ф4 БИС РАЛУ передает признак для ветвления. Так как микрокоманды ветвления выполняются за два цикла, по сигналу Ф4 второго цикла линия заряжена вновь.

Линия разряда 16 по сигналу Ф1 МПЗУ выдает признак начала выполнения микроподпрограммы, по этому признаку содержимое счетчика микрокоманд заносится в регистр возврата БИС управления с тем, чтобы в дальнейшем возвратиться к выполнению основной микропрограммы. По сигналу Ф3 БИС управления при выполнении двухцикловых микрокоманд по линии разряда 16 выдает сигнал «Сброс данных» МПЗУ. Этот сигнал сопровождает микроадрес, запрещает извлечение из него микрокоманды, в результате — предыдущая микрокоманда выполняется в течение еще одного цикла. В линии разряда 16 потенциал восстанавливается дважды: по сигналам Ф2 и Ф4.

По линии разряда 17 из МПЗУ в БИС управления выдается признак конца выполнения системной команды. После появления по сигналу Ф1 активного сигнала разряда 17 по следующему сигналу Ф1 выставляется еще одна микрокоманда, и следует переход микропроцессора на опрос сигналов требований прерываний и выборку следующей системной команды.

Линии разрядов 18—21 связывают МП с внешними схемами ЦП. С помощью кодов, выставляемых на эти линии, микропроцессор формирует специальные управляющие сигналы и управляет работой логических схем процессора и формированием канальных сигналов. Сигналы по этим линиям действуют в течение одного микроцикла. Специальные коды формируются разрядами 18—20, разряд 21 при этом активен — разрешает работу дешифратора специальных кодов.

3. Элементы функциональной схемы ЦП

Электрические схемы ЦП, интерфейсов и блока питания представлены в прил. 1—17. Цифра в скобках после номера приложения указывает номер листа схемы данного приложения.

На схемах в обозначениях элементов после номера элемента за косой чертой указан номер вывода (контакта) соответствующей микросхемы.

Тактовая система ЦП. После включения питания начинает работать генератор, построенный на основе триггера Шмитта [элемент *D57/8*, см. рис. П.1(7)], формирующий импульсы с частотой порядка 10...12 МГц. Эти импульсы затем подаются на синхровходы триггеров *D53*, выполняющих роль счетчика делителя на 4, и с их выходов поступают на схему дешифратора *D39, D36/8*.

Запрет работы дешифратора, необходимый для разделения по времени тактовых импульсов, осуществляется с выхода *D27/8* импульсами низкого уровня с длительностью порядка 10 нс, с момента формирования на *D27/6* логической единицы и на время зарядки конденсатора С24.

Таким образом, сигналы с выходов дешифратора представляют собой импульсы длительностью около 100 нс и периодом следования 400...600 нс.

Затем формируемые на выходах дешифратора сигналы Ф1 В — Ф4 В и получаемые с выходов элементов *D22* инверсные по отношению к ним сигналы Ф1 Н — Ф4 Н обеспечивают тактирование работы схем ЦП. Кроме того, сигналы Ф1 Н — Ф4 Н поступают на формирователи *D21, D20, D37, D23*, на выходах которых вырабатываются импульсы М Ф1 В — М Ф4 В с амплитудой 10 ... 12 В, необходимые для тактирования элементов МПК БИС К581.

Преобразователь постоянного напряжения питания. На плате ЦП М2 для питания МПК БИС К581 и БИС накопителей ОЗУ К565РУ1 выполнена схема, формирующая отрицательный потенциал —5 В.

Импульсы Т1 В, снимаемые с выхода триггера *D53/8* [см. рис. П.1(7)], поступая на инверторы *D25*, преобразуются в парафазный код, который затем подается на формирователи *D24*. Импульсы с выходов формирователей поступают на схему двухполупериодного выпрямителя с удвоением напряжения.

Когда на входе *D24/7* — высокий потенциал, обеспечивается зарядка конденсатора *C31*. В следующий полупериод напряжение на конденсаторе *C31* складывается с напряжением заряженного конденсатора *C25* и на обкладках конденсатора *C29* формируется удвоенное напряжение, которое затем подается на делители *R5, R9, R10* и *R6, VD1*. Потенциал, снимаемый с резистора *R6*, равен —5 В, он используется затем для питания накопителей ОЗУ. МПК БИС К581 для работы требуется отрицательное смещение —1,5 ... —6 В, поэтому при заводской настройке уровень потенциала на шинах *CM1, CM2* либо подбирается переменным резистором *R9*, либо также снимается с резистора *R6*. Выбор источника питания осуществляется установкой перемычек *E1—E4*.

Дешифратор специальных управляющих сигналов (ДШ). Сигналы четырех старших разрядов микроканала МК 21 Н — МК 18 Н с выходов БИС МПЗУ — элементы *D9 — D11* [рис. П.1(2)], проходя через инверторы *D78* [см. рис. П.1(6)], преобразуются в сигналы Б КОД ОВ — Б КОД 3В, которые затем поступают на выходные разъемы платы, а также на дешифратор управляющих сигналов *D67*. Сигнал разрешения работы дешифратора (логический нуль на выходе *D26/11*) формируется при наличии сигнала Б КОД 3В (старший разряд микроканала) на время тактового сигнала Ф3 В. Ниже приведено краткое описание функций специальных управляющих сигналов:

РАБОТА Н (код 11_8) — этот сигнал вырабатывается элементом *D67/10* для очистки триггера *D66/5* [см. рис. П.1(6)] и для индикации программного режима работы ЭВМ, высвечиванием светодиода на передней панели;

ОЧ ОШ Н (код 12_8) — очистка ошибки, вырабатывается элементом *D67/11* в микропрограмме обработки прерывания по ошибке обращения к каналу для нормализации

счетчика *D55* [см рис. П.1(5)] и по окончании микропрограммы регенерации для сброса триггера регенерации *D66/5* [см. рис. П.1(6)];

УСТ РГН Н (код 13_8) вырабатывается элементом *D67/12* в начале микропрограммы регенерации ОЗУ, для установки триггера регенерации *D66/5* и сброса триггеров запроса регенерации *D40/5*, *D42/5*;

НАЧ УСТ Н — (код 14_8) — вырабатывается элементом *D67/7* в микропрограммах начальной установки, реализации команды RESET и выполнения команды пультового терминала G, обеспечивая установку триггера СБРОС (*D66/8*) и выработку сигнала К СБРОС Н;

УСТ ВН ВВ Н (код 15_8) — вырабатывается элементом *D67/6* в мнкропрограмме начального пуска, обработки прерывания по сбою питания и микропрограмме обработки прерывания по ошибке обращения к каналу, обеспечивая установку триггера режима «Внутренний ввод» *D40/9* для выявления причины прерывания или режима пуска.

ОЧ ПИТ Н (код 16_8) — вырабатывается элементом *D67/5* в микропрограмме обработки прерывания сбоя по питанию и обеспечивают сброс триггера питания (элемент *D56/8*);

ОЧ ТМ Н (код 17_8) — вырабатывается элементом *D67/4* в микропрограмме обработки прерывания по сигналу таймера и микропрограмме начального пуска, обеспечивая сброс триггера прерывания таймера (*D56/5*).

4. *Реализация основных циклов обращения к каналу*

Цикл ВВОД по отношению к банку резидентной памяти. Адрес ячейки внешней памяти формируется на выводах БИС РАЛУ [*D7* на рис. П.1(2)] с приходом сигнала М Ф2 В и по шинам системной магистрали М ДА В поступает на приемопередатчики — элементы *D47*, *D49*, *D59*, *D61* [см. рис. П.1(3)]. Для исключения искажения информации системной магистрали выводы подключенных к ней коммутаторов (элементы *D33*, *D34*, *D13*, *D6*, *D19*) должны быть в отключенном состоянии. Это условие будет выполняться при отсутствии сигналов ВН ВВ [1] Н и ВВОД П Н

Для трансляции сигналов кода адреса через приемопередатчики необходимо наличие сигнала РДА Н, который формируется на элементе *D73/13* [см. рис. П.1(5)] при наличии логической «1» на выходе *D73/10* и отсутствии сигналов ЦПД В и М ВВОД В. С выходов приемопередатчиков (элементы *D47*, *D59*, *D61*, *D49*) код адреса поступает, во-первых, в канал ЭВМ К ДА Н и, во-вторых, по шинам магистрали ДА В на вход БУРА резидентной памяти — элементы *D48*, *D60*, *D62*, *D50* [см. рис. П.1(8)]. При отсутствии сигнала СИА П В БУРА находится в режиме трансляции, что сразу обеспечивает формирование сигналов адреса РА 01 [1] В — РА 12 [1]В, поступающих затем непосредственно на адресные входы элементов накопителей ОЗУ [рис. П.1(9), (10)]. При обращении к резидентной памяти в элементе *D64/10* формируется «1», поступающая затем на вход сборки *D51/12*. Перемычками *E9* или *E10*, коммутирующими сигнал разряда 13 кода адреса на входе элемента *D51/13*, определяется положение блока резидентной памяти в зоне банка 0 или банка 1. Тогда логический «0» на элементе *D51/11* при наличии перемычки *E8* обеспечивает выработку элементом *D51/8* сигнала ВБР В. Сигнал ВБР В формирует на элементе *D5/2* сигнал ВБР Н, поступающий на входы CS всех элементов накопителей ОЗУ.

Кроме того, в отсутствии сигнала СИА П В на входе элемента *D35/1* обеспечивается установка триггера (*D74/8*) в состояние «1».

Выработка сигнала СИА П В обеспечивает фиксирование состояния БУРА и запуск цикла обращения к ОЗУ. Это происходит следующим образом.

БИС управления [элемент *D8/22* на рис. П.1(2)] вырабатывает сигнал М СИА В одновременно с формированием кода адреса, который затем через инвертор [элемент *D76* на рис. П.1(5)] поступает на информационный вход триггера *D74/2* и по

окончании тактового сигнала ФЗ Н обеспечивает с выхода триггера *D74/5* выработку сигнала СИА [1] В.

Этот сигнал, поступая на вход приемопередатчика *D72/2* [см. рис. П.1(4)], в отсутствии сигнала СБРОС [1] В обеспечивает выработку, во-первых, канального сигнала К СИА Н и, во-вторых, сигнала СИА П В. Сигнал СИА П В, нивертируясь на элементвх *D64/1, D73/4*[см. рис. П.1(8)], обеспечивает фиксирование состояния БУРА (элементы *D48, D60, D62, D50).*

Затем БИС РАЛУ снимает с шин магистрали М ДА В код адреса и переходит в состояние ожидания, принимая по сигналам М Ф4, М Ф1 В сигнал М ОЖД В с выхода БИС управления *D7/14* [см. рис. П.1(2)].

Кроме того, сигнал СИА П В, поступая иа элемеит *D35/2* [см. рис. П.1(8)], обеспечивает выработку на выходе формирователя *D38/7* сигнала ТС В с амплитудой около 11 В. Сигнал ТС В, поступая на входы СЕ элементов накопителя [см. рис. П.1(9), (10)], обеспечивает начало их рабочего цикла. Поскольку в данном параграфе рассматривается процессорный цикл ВВОД, сигиал ВЫВОД П В на входах сборок *D63* отсутствует, обеспечивая пассивный уровень сигналов ЗАП О Н, ЗАП 1 Н и задавая цикл считывания с накопителей ОЗУ.

Считанная с выходов накопителей ОЗУ [см. рис. П.1(9) (10)] 16-разрядная информация поступает на входы каналов *А* коммутаторов *D34, D19, D13, D6* [рис. П.1(3)], управление которыми обеспечнвается сигналами РЗП Н и ВВОД П Н, инициированных процессорным сигналом М ВВОД В. Сигнал М ВВОД В формируется на выходе БИС управления *D8/23* по сигналу М Ф2 В [см. рис. П.1(2)] и затем с выхода инвертора *D76/4* [см. рис. П.1(5)], преобразуясь в сигнал ВВОД В, поступает иа приемопередатчик *D72* (см. рис. П.1(4)], где, во-первых, формируется каиальный сигиал К ВВОД Н (*D72/4*) и во-вторых, сигнал ВВОД П В (на *D7/6*). Сигнал ВВОД П В, поступая на сборку *D26/2* [см. рис. П.1(6)] при отсутствии сигнала ВН ВВ [0] Н, инвертируется в сигнал ВВОД П Н, выводящий выходы коммутаторов [элементы *D34, D19. D13, D6* на рис. П.1(3)] из высокоимпедансного состояния. Кроме того, сигиал ВВОД П Н с выхода *D72/6* [см. рис. П.1(4)] поступает на вход *D63/2* [см. рис. П.1(8)] и при наличии сигналов СИА П В и ВБР В (перемычки *E14* и *E15* заводом-изготовителем удалены, а *E16* установлена) на выходе *D63/12* формнруется сигнал РЗП Н, обеспечивающий включение каналов *А* коммутаторов [элемеиты *D34, D19, D13, D6* на рис. П.1(3)] для прохождения считанной из ОЗУ информации в системную магистраль М ДА В и далее на выходы БИС РАЛУ элемент *D7* [см. рис. П.1(2)]. Для оповещения мнкропроцессора о том, что информация иаходится в системном канале М ДА В, от сигналв РЗП Н на выходе *D75/8* [см. рис. П.1(8)] вырабатывается сигнал СИП В, который затем через приемопередатчик *D69/3* [см. рис. П.1(4)] в виде сигнала СИП П В поступает на информационный вход триггера *D68/2* [см. рис. П.1(5)]. Установка выхода триггера *D68/5* в состояние «1» происходит по сигналу Ф1 В. Тогда при наличии сигнала В/В В, сформированного из сигнала микропроцессора М ВВОД В на *D76/1*, на выходе *D65/6* формируется сигнал М СИП В, поступающий на вход БИС управления *D8/13* [см. рис. П.1(2)]. Приняв сигнал М СИП В, БИС управления снимает сигналы М ОЖД В, М СИА В и М ВВОД В.

Снятие сигнала М СИА В означает, что МП цикл обмена закончил. Однако начало выполнения следующего цикла обращения МП к системиому каналу запрещается сигналом КЗ В, поступающим на вход БИС управления *D7/9.* Сигиал КЗ В формируется на *D26/8* [см. рис. П.1(6)] от сигнала СИП [1] Н с выхода триггера *D68/6* [см. рис. П.1(5)].

Сигнал СИП [1] В с прямого выхода триггера *D68/5*, поступая на *D79/5* и собираясь с сигналом СИА [1] В обеспечивает асинхроиное удержание выхода триггера *D74/5* в состоянии «1».

Таким образом, сигнал К СИА Н продолжает присутствовать в канале ЭВМ в условиях снятия сигнала М СИА В.

Снятие сигнала М ВВОД В приводит к снятию со входа *D73/2* [см. рис. П.1(8)] сигнала ВВОД П В, что обеспечивает установку выхода триггера *D74/8* в состоянии «0» и снятие сигнала ТС В, прекращающего цикл обращения к элементам накопителя ОЗУ.

Кроме того, снятие сигнала ВВОД П В со входа *D63/2* обеспечивает снятие сигнала СИП В, что в свою очередь приводит к переводу по сигналу Ф1 В выхода триггера *D68/8* в состояние «0» [см. рис. П.1(5)]. Тогда по сигналу ФЗ Н выход триггера *D74/5* также установится в состояние «0», снимая сигнал К СИА Н в канале микроЭВМ и сигиал СИА П В. Снятие сигнала СИА П В со входа *D35/4* [см. рис. П.1(8)] обеспечит установку выхода триггера *D74/8* в состояние «1», разрешая начало следующего обращения к резидентной памяти.

Особенности выполнения цикла ВВОД по отношенню к ячейкам, расположенным в модулях, подключеиных к каналу ЭВМ. При формировании адреса ячейки, расположенной вне резидентиой памяти, сигнал ВБР В с *D51/8* [см. рис. П.1(8)] не формируется, предотвращая выработку сигнала РЗП Н на выходе *D63/12*. Код данных, считываемый из адресуемой ячейки по шинам К ДА Н канала микроЭВМ, поступает на входы приемопередатчиков *D47, D59, D61, D49* [см. рис. П.1(3)], инвертируется и сигналами ДА 00 В — ДА 15 В поступает на входы каналов *В* коммутаторов *D34, D19, D13, D6*. Выбор каналов *В* коммутаторов определяется пассивиым уровнем сигнала РЗП Н; после поступлеиия сигиала ВВОД П Н, формируемого обычным порядком, код данных поступает в системный канал М ДА В.

Сигиал сопровождения К СИП Н приходит иа вход приемника *D69/1* [см. рис. П.1(4)] и в виде сигиала СИП П В с его выхода поступает на вход триггера *D68/2* [см. рис. П.1(2)].

При обращении к регистрам УВВ в адресиой части цикла на *D36/6* [рис. П.1(3)] формируется сигнал ВУ В, обеспечивающий выработку на *D58/12* [см. рис. П.1(4)] сигиала К ВУ Н.

Цикл ВВОД по отиошенню к банку резидентной памяти. Код адреса ячейки, формируясь на выходах БИС РАЛУ *D7* [см. рис. П.1(2)], с выходов приемопередатчиков *D47, D59, D61, D49* [см. рис. П.1(3)] поступает сигиалами К ДА 00 — К ДА 15 Н в канал ЭВМ, а сигналами ДА 00 В — ДА 15 В на входы БУРА резидентной памяти *D48, D60, D62, D50* [см. рис. П.1(8)]. В отсутствии сигнала СИА П В разряды адреса 01—12 транслируются через БУРА и сигналами РА 01[1] В — РА 12[1] В поступают на адресные входы элементов накопителя [см. рис. П.1(9), (10)]. Младший разряд кода адреса 00 поступает на вход БУРА *D50/2* [см. рис. П.1(8)] и формирует на выходах парафазный код, используемый при выполнении байтовых операций. Три старших разряда адреса 13—15 формируют на *D5/2* сигиал ВБР Н, обеспечивающий обращение к элементам накопителя.

По приходу сигнала СИА П В код адреса фиксируется в БУРА и на выходе формирователя *D38/7* будет сигнал ТС В, обеспечивающий перевод элементов накопителя в активный режим. Условия распространеиия кода адреса и выработки перечисленных сигналов аналогичны условиям, подробно рассмотренным при описании цикла ВВОД. Затем по сигиалу М Ф2 Н на выходах БИС РАЛУ код адреса заменяется кодом данных, а с выходов БИС управления *D8/15* начинает поступать сигнал М ВЫВОД В. Кроме того, по сигналу М Ф4 В на БИС управления *D8/14* вырабатывается сигнал М ОЖД В.

Код даиных по шинам системного канала М ДА В поступает на вход приемопередатчнков *D47, D59, D61, D49* [см. рис. П.1(3)] и транслируется через них по условиям, сохраняющимся со времени адресной фазы. С инверсных выходов приемопередатчиков код данных поступает на шины канала ЭВМ К ДА Н, а с прямых выходов — по шинам магистрали ДА 00 В — ДА 15 В на входы инверторов *D18, D12, D5* [см. рис. П.1(8)]. С выходов инверторов код данных сигналами ДА 00 Н — ДА 15 Н поступает на информационные входы элементов накопителя [см. рис. П.1(9), (10)].

Сигнал М ВЫВОД В с выхода БИС управления *D8/15* [см. рис. П.1(2)] поступает на вентиль *D79/13* [см. рис. П.1(5)] и при условии исходного состояния «1» выхода триггера *D68/6* формирует «0» на входе триггера *D68/12*. По сигналам Ф3 В с выхода триггера *D68/8* приходит сигнал ВЫВОД [1] В, поступающий затем на вход приемопередатчика *D72/11*, формируя на его выходе сигналы К ВЫВОД Н и ВЫВОД П В.

Сигнал ВЫВОД П В, поступая на вентили *D63* [см. рис. П.1(8)], обеспечивает начало выработки сигналов управления режимом записи элементов накопителя. Существенную роль в формировании сигналов управления записью играет сигнал М БАЙТ В, вырабатывающийся с выхода БИС управления *D8/16* [см. рис. П.1(2)] одновременно с кодом адреса. Затем сигнал М БАЙТ В поступает на вход приемопередатчика *D72/14* [см. рис. П.1(4)], формируя на его выходах сигналы К БАЙТ Н и БАЙТ П В. Сигнал БАЙТ П В поступает на вход вентилей *D51* [см. рис. П.1(8)], управляет трансляцией через них парафазного кода младшего разряда кода адреса.

При выводе полного 16-разрядного слова сигнал М БАЙТ В снимается с выхода БИС управления одновременно с кодом адреса. Тогда к моменту прихода сигнала ВЫВОД П В на обоих выходах вентилей *D51* будут логические «1», обеспечивающие выработку с *D63* одновременно обоих сигналов управления записью ЗАП 0 Н, ЗАП 1 Н.

При байтовых операциях сигнал М БАЙТ В снимается одновременно с сигналом М ВЫВОД В, создавая условия для выработки только одного сигнала управления записью.

Если адрес четный, вырабатывается только сигнал ЗАП 0 Н с *D63/6*, если адрес нечетный — только сигнал ЗАП 1 Н с *D63/8*. При этом следует учитывать, что при байтовых операциях восемь элементов накопителя, в которые запись не производится, находятся в режиме воспроизведения. Однако считанная с них информация не проникает в системный канал М ДА 00 В — М ДА 15 В, так как выходы коммутаторов *D34, D19, D13, D6* [см. рис. П.1(3)] находятся в высокоимпедансном состоянии под действием пассивного уровня сигнала ВВОД П В.

Одновременно сигнал ВЫВОД П В, поступая на *D75/12* [см. рис. П.1(8)], обеспечивает начало выработки сигнала СИП В с выхода *D75/8*. Сигнал СИП В, поступая затем на информационный выход триггера *D68/2* [см. рис. П.1(5)], формирует по сигналу Ф1 В с его выходов сигналы СИП [1] В и СИП [1] Н.

Сигнал СИП [1] Н закрывает вентиль *D79/12*, обеспечивая условия сброса по сигналу Ф3 В триггера *D68/8* в состояние «0». Здесь следует учесть, что сигнал ВЫВОД [1] Н, формирующийся на выходе триггера *D68/9*, по сигналу Ф2 В будет зафиксирован на выходе триггера *D42/9* [см. рис. П. 1(6)], образуя сигнал ВЫВОД Д [1] Н. Сигнал ВЫВОД Д [1] Н формирует на выходе *D79/3* [см. рис. П. 1(5)] сигнал В/В В, обеспечивая выработку на выходе вентиля *D65/6* сигнала М СИП В.

Процедура окончания цикла обращения к каналу аналогична описанной в цикле ВВОД.

В связи с задержкой выработки сигнала В/В В на *D79/3* выработка сигнала М СИП В происходит позже, чем в цикле ВВОД, поэтому по сигналу М Ф4 В вырабатывается еще один импульс М ОЖД В.

Снятие сигнала ТС В с *D38/7* [см. рис. П.1(8)] происходит по срезу сигнала ВЫВОД П В, формирующему сигнал «1» на выходе *D73/1*.

Особенности выполнения цикла ВВОД — ПАУЗА — ВЫВОД. При выполнении циклов обращения к каналу ВВОД или ВЫВОД снятие сигнала ТС В, обеспечивающего активный режим элементов накопителя, происходит по сбросу в нуль триггера *D74/8* [рис. П.1(8)]. Сброс триггера происходит по срезу сигналов ВВОД П В или ВЫВОД П В, формирующих фронт сигнала «1» на выходе элемента *D73/1*.

Установка выхода триггера *D74/8* в состояние «1», разрешающее цикл обращения к элементам накопителя, происходит по окончании текущего цикла обращения к каналу пассивным уровнем сигнала СИА П В на входе *D35/6*.

По окончании фазы ВВОД цикла ВВОД — ПАУЗА — ВЫВОД выход триггера *D74/8* будет установлен в состояние «0», сигнал СИА П В продолжает быть активным, а нормализация триггера происходит следующим образом.

В отсутствие сигнала ВЫВОД П В на входе *D75/1* заряжается конденсатор *C112*. Тогда при поступлении сигнала ВЫВОД П В за время разрядки конденсатора *C112* на выходе *D75/6* формируется сигнал «0», который через *D35/5* асинхронно устанавливает выход триггера *D74/8* в состояние «1», обеспечивая начало выработки сигнала ТС В.

5. *Реализация системы прерывания*

Прерывание по регенерации динамической памяти. Для отсчета времени начала циклов регенерации памяти динамического типа на основе триггера Шмитта *D57/6* [см. рис. П.1(7)] собран генератор импульсов СИ РГН В. Импульсы СИ РГН В, следующие с периодом около 1,8 мс, поступая на синхровход триггера *D40/3* [см. рис. П.1(6)], обеспечивают установку его выхода *D40/5* в состояние «1» при условии отсутствия перемычки *E11*. Тогда по сигналу Ф3 В на выходе триггера *D42/5* формируется сигнал ТП РГН [1] В, поступающий затем на вход БИС управления *D8/7* [см. рис. П.1(2)].

Считывание сигнала запроса прерывания происходит по окончании выполнения текущей команды. В начале микропрограммы проведения регенерации МП выставляет на шины микроканала МК 18 Н — МК 21 Н код 13_8, формируя на выходе дешифратора *D67/12* сигнал УСТ РГН Н.

Сигнал УСТ РГН Н, во-первых, обеспечивает установку в состояние «1» выхода триггера *D66/5*, вырабатывая сигнал РГН [1] В и, во-вторых, сброс в состояние «0» выхода триггера *D40/5*. Сброс в «0» выхода триггера *D40/5* обеспечивает сброс в «0» по сигналу Ф2 В выхода триггера *D42/5* и снятие сигнала ТП РГН [1] В.

Сигнал РГН [1] В с выхода триггера *D66/5*, поступая на приемопередатчик *D58/2* [см. рис. П.1(4)], формирует на его выходах сигналы К РГН Н и РГН П В. Сигнал РГН П В, поступая на вход БУРА *D50/7* [см. рис. П.1(8)] резидентной памяти, в отсутствии сигнала СИА П В обеспечивает выработку на *D51/8* сигнала ВБР В независимо от выставленного адреса.

Аналогичную функцию выполняет и сигнал К РГН Н, поступающий во все модули ОЗУ, подключенные к каналу ЭВМ.

Далее ЦП проводит 64 цикла ВВОД с перебором всех комбинаций по разрядам адреса 01—06.

По окончании микропрограммы проведения регенерации МП выставляет на шины микроканала МК 18 Н — МК 21 Н код 12_8 и сигналом ОЧ ОШ Н с выхода дешифратора *D67/11* [см. рис. П.1(6)] обеспечивает сброс в нуль выхода триггера *D66/5*.

Выполнение микропрограммы проведения регенерации занимает около 150 мкс.

Прерывание по ошибке обращения к каналу. Для обеспечения условия замкнутости связей через канал активное устройство (МП) контролирует время прихода ответного сигнала пассивного устройства.

В любом цикле обращения к каналу от сигналов М ВВОД В или М ВЫВОД В на *D76/6* [см. рис. П.1(5)] формируется сигнал «0», разрешающий работу счетчика *D55*. На синхровход счетчика *D55/9* поступают тактовые импульсы Ф3 В, простробированные пассивным уровнем сигнала СИП [1] В с выхода триггера *D68/5*. При своевременном поступлении сигнала СИП [1] В подсчет импульсов прекращается до формирования на выходе счетчика *D55/5* сигнала ОШ Н, а затем при снятии сигнала М ВВОД В или М ВЫВОД В содержимое счетчика сбрасывается.

Если сигнал СИП [1] В не вырабатывается за время прохождения 32 тактовых импульсов Ф3 В, на выходе счетчика *D55/5* формируется сигнал ОШ Н.

Сигнал ОШ Н, во-первых, обеспечивает формирование сигнала ОШ[1]В на выходе триггера *D55/6*, собранного по схеме запоминающего контура на элементе *D54/12* и внутреннем вентиле выхода счетчика *D55/6*. Во-вторых, сигнал ОШ Н, поступая на вход буферного регистра требования прерывания, формирует по сигналу Ф2 В с его выхода *D52/15* [см. рис. П.1(6)] сигнал СБРОС МК[1]Н. Сигнал СБРОС МК[1]Н, поступая на вход БИС управления *D8/11* [см. рис. П.1(2)], вызывает старт микропрограммы начального пуска.

В начале микропрограммы МП выставляет на шины микроканала МК 18 Н — МК 21 Н код 15_8, формируя на выходе дешифратора *D67/6* сигнал ВН ВВ Н.

Сигнал ВН ВВ Н обеспечивает выработку на выходе триггера *D40/8* сигнала ВН ВВ[1]Н, который закрывает вентиль *D26/1* и запрещает выработку сигнала ВВОД П Н, удерживая таким образом выходы коммутаторов *D34*, *D19*, *D13*, *D6* [см. рис. П.1(3)] в высокоимпедансном состоянии.

Кроме того, сигнал ВН ВВ[1]Н, поступая на вход коммутатора *D33/15*, подключает его выходы к шинам канала М ДА В.

Сигнал ОШ[1]В на входе коммутатора *D33/11* формирует сигнал «1» по шине М ДА 02 В.

Затем МП проводит цикл ВВОД, считывая состояние системного канала М ДА В, определяя по наличию единицы в разряде 02, что возникла ошибка обращения к каналу, а не нарушение питания. Микропрограмма ветвится для выполнения процедуры выхода на программу обработки прерывания по вектору 4_8.

Для очистки триггера ошибки по шинам микроканала МК 18 Н — МК 21 Н выдается код 12_8, формирующий на выходе дешифратора *D67/11* [рис. П.1(6)] сигнал ОЧ ОШ Н. Сигнал ОЧ ОШ Н поступает на *D54/2* [см. рис. П.1(5)], обеспечивая снятие сигнала ОШ[1]В с выхода *Д55/6*.

Прерывание по сигналу таймера. При поступлении на ЦП сигнала К ПРТ Н, сформированного либо от импульсов таймера, расположенного в блоке питания, либо от любого другого устройства, подключенного к этой шине, на *D71/4* [см. рис. П.1(4)] формируется сигнал ПРТ В. Сигнал ПРТ В при отсутствии перемычки *E13* обеспечивает установку в состояние «1» триггера *D56/5* [см. рис. П.1(6)], что приводит к выработке по сигналу Ф2 В сигнала ТП ТМ[1]В на выходе буферного регистра прерываний *D52/7*.

Сигнал ТП ТМ[1]В поступает затем на вход БИС управления *D8/5* [см. рис. П.1(2)] и обеспечивает по окончании выполнения текущей команды старт микропрограммы выхода на программу обслуживания прерывания по вектору 100_8. Установка на выходе триггера *D56/5* логического нуля обеспечивается сигналом ОЧ ТМ Н, формирующимся на выходе дешифратора *D67/4*, при наличии на шинах микроканала МК 18 Н — МК 21 Н кода 17_8.

Прерывание по ошибке питания. При понижении уровня сетевого напряжения соответствующая схема блока питания снимает сигнал К ПИТ Н В. Это вызывает формирование на *D70/3* [см. рис. П.1(4)] сигнала ПИТ МН В, который, поступая на синхровход триггера, формирует с его выхода *D56/8* [см. рис. П.1(6)] сигнал ПИТ МН[1]Н. Сигнал ПИТ МН[1]Н, инвертируясь на *D26/6*, поступает на регистр прерывания и формирует по сигналу Ф2 В на выходе *D52/10* сигнал ТП ПИТ [1] В. Этот сигнал, поступая на вход БИС управления *D8/6* [см. рис. П.1(2)], прекращает выполнение текущей программы, начинается выполнение микропрограммы обработки прерывания. МП инициирует на шинах микроканала МК 18 Н — МК 21 Н код 15_8 и выполняет цикл внутреннего ВВОДА, считывая с шин системного канала М ДА В код причины прерывания.

В рассматриваемом случае сигнал «1» формируется на шине М ДА 03 В от сигнала ПИТ МН[1]Н на входе *D54/10* [см. рис. П.1(3)], информируя МП, что прерывание вызвано нарушением питания, а не требованием останова. Затем МП переходит к процедуре выхода на программу обработки прерывания по вектору 24_8.

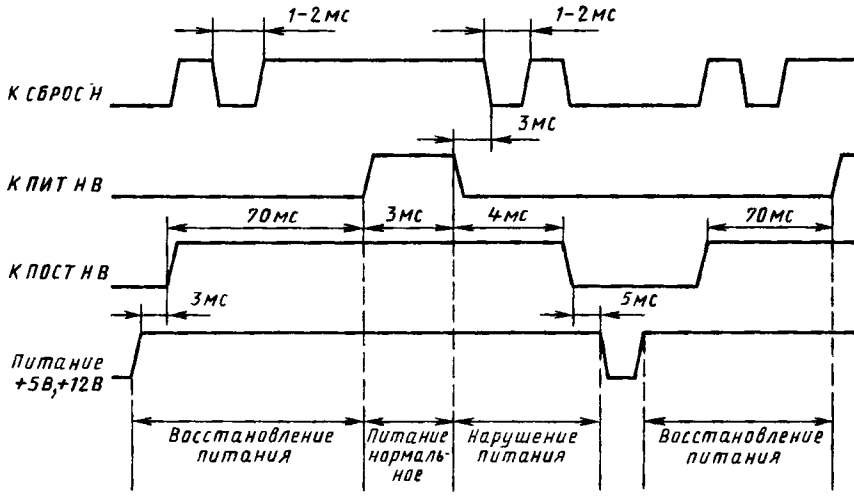


Рис. 14. Временная диаграмма сигналов при нарушеиии и восстаиовлении питания

На выполненне программы отводится около 3 мс, после чего МП выставляет на шины микроканала МК 18 Н — МК 21 Н код 14_8 и формирует на дешифраторе *D67/7* [см. рис. П.1(6)] сигиал НАЧ. УСТ Н. Сигнал НАЧ. УСТ Н обеспечивает формирование на выходе триггера *D66/8* сигналв СБРОС[1]В, который, поступая на приемопередатчик *D69/5* [см. рис. П.1(4)], вырабатывает сигнал К СБРОС Н (рис. 14).

Снятие сигнала К СБРОС Н обеспечивается сигналом РАБОТА Н на выходе дешифратора *D67/10*. Этот сигиал устанавливает выход триггера *D68/8* в нуль. Сигнал РАБОТА Н инициируется кодом 11_8 на шинах микроканала МК 18 Н — МК 21 Н.

Если сетевое питание ие восстановилось, то через 4 мс от момента снятия сигнала К ПИТ НВ блок питания обеспечивает снятие сигнала К ПИТ Н В. Тогдв с выхода приемника *D70/4* [рис. П.1(4)] формируется сигнал ПОСТ МН В. Этот сигнал, проинвертировавшись на *D64/4* [см. рис. П.1(6)] в сигнал ПОСТ МН Н, обеспечивает:

запрет проведения регенерации, устанавливая в нуль выходы триггеров *D42/5*, *D66/5*;

установку через *D65/11* выхода триггера *D56/8* в единицу;

формирование сигнала ВЫВОД Д[1]Н с выхода триггера *D42/9* [см. рис. П.1(6)], что не должно вызвать выработку сигнала ОШ[1]В на *D55/6* [см. рис. П.1(5)];

выработку сигиала СБРОС [1]Н на выходе триггера *D66/9*, сбрасывающего в нуль выходы триггеров *D55/6* [см. рис. П.1(5)] и *D68/5;*

сброс в нуль выходов буферного регистра прерывания *D52* [рис. П.1(6)] и формирование сигнала СБРОС МК[1]Н.

Сигнал СБРОС МК[1]Н, поступая на вход БИС управления *D8/11* [см. рис. П.1(2)], обеспечивает сброс в нем счетчика микрокоманд, переводя МП в состояние «Нет операции».

При восстановлении питания сигнал ПОСТ МН Н становится пассивным, что по сигналу Ф2 В обеспечивает снятие сигнала СБРОС МК[1]Н и ВВОД Д[1]Н. Тогда МП начинает выполнение стартовой микропрограммы, специфический набор сигналов которой представлен на рис. 15. В циклах внутренний ВВОД МП считывает код режима пуска, заданный перемычками *E6, E12* на входе коммутатора *D33* [см. рис. П.1(3)], контролирует снятие сигнала ПИТ МН Н с *D54/9* при нормализацин сетевого питания.

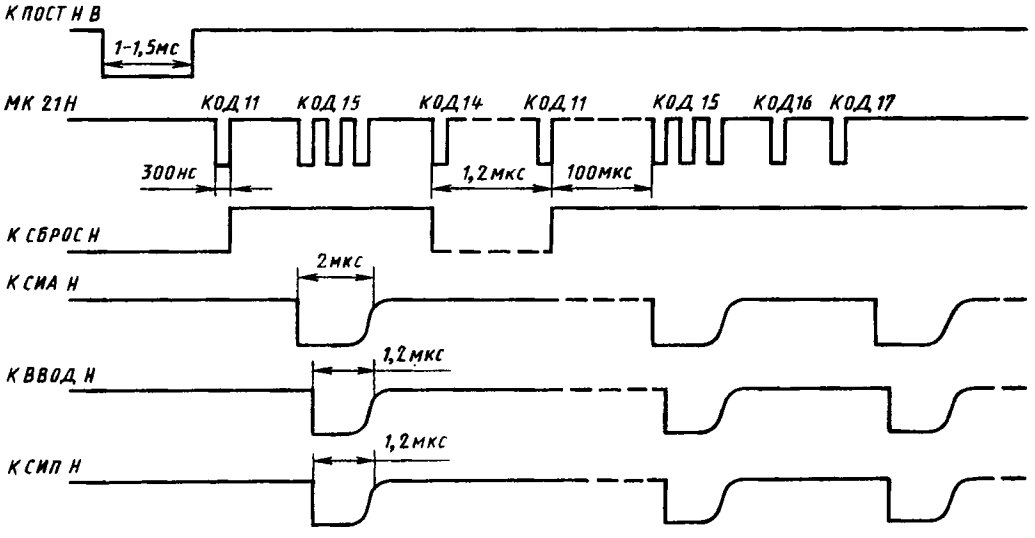


Рис. 15. Временные диаграммы работы ЦП при выполнении стартовой последовательности микрокоманд

Прерывание по сигналу К ОСТ Н. При переключении тумблера ПРОГРАММА/ /ПУЛЬТ на передней панели микроЭВМ на вход приемника *D70/9* [см. рис. П.1(4)] поступает сигнал К ОСТ Н. Выходной сигнал ОСТ В инвертируется на элементе *D78/12* [см. рис. П.1(6)] и формирует по приходу Ф2 В сигнал ТП ПИТ [1] В на выходе регистра *D52/10*.

Сигнал ТП ПИТ [1] В, поступая на вход БИС управления *D8/6* [см. рис. П. 1(2)], обеспечивает по окончании выполнения текущей команды запуск микропрограммы обработки прерывания. В начале микропрограммы реализацией цикла внутренний ВВОД с выходов коммутатора *D33* [см. рис. П.1(3)] считывается код пассивного состояния сигналов ПИТ МН Н, ПИТ МН[1]Н. После этого микропрограмма ветвится и переходит на связь с пультовым терминалом, считывая состояние ячейки 177560_8.

Прерывание по запросам внешних устройств. При наличии сигнала готовности УВВ к обмену и установлением в единицу бите «Разрешение прерывания» РС соответствующего интерфейсного модуля с выхода этого модуля в канал ЭВМ поступает сигнал К ТПР Н.

Сигнал К ТПР Н, поступая на модуль ЦП, обеспечивает формирование на выходе приемника *D71/3* [см. рис. П.1(4)] сигнала ТПР В, который по сигналу Ф2 В формирует на выходе регистра *D52/2* [см. рис. П.1(6)] сигнал ТП ВУ [1] В. Сигнал ТП ВУ[1]В, поступая на вход БИС управления *D8/4* [см. рис. П.1 (2)], вызывает по окончании выполнения текущей команды микропрограмму приема кода вектора прерывания.

После вывода по адресу, содержащемуся в РОН 6 текущего состояния РСП и СК БИС управления по сигналу М Ф2 Н вырабатывает сигнал М ВВОД В с выхода *D8/23* [см. рис. П.1(2)] и сигнал М ППР В с выхода *D8/17*.

Сигнал М ВВОД В с *D76/4* [см. рис. П.1(5)] обеспечивает формирование сигнала ВВОД В, который, во-первых, снимает асинхронный запрет работы со входа триггера *D28/4*, и, во-вторых, поступая на *D75/5* [см. рис. П.1(4)], формирует сигнал К ВВОД Н. Сигнал К ВВОД Н, поступая на интерфейсные модули, подготавливает их схемы к приему сигнала К ППР Н.

Сигнал К ППР Н устанавливает на *D64/13* [см. рис. П.1(5)] сигнал «0», который, поступая на вход триггера *D74/1*, обеспечивает запрет выработки им сигнала СИА[1]В. Кроме того, сигнал «0» с *D64/13* обеспечивает выработку по окончании Ф1 Н сигнала ППР[1]В на выходе триггера *D28/6*. Сигнал ППР[1]В устанавливает на выходе приемопередатчика *D58/4* [рис. П.1(4)] сигнал К ППР Н.

Сигнал К ППР Н, распространяясь по приоритетной цепочке и достигая модуля, формирующего сигнал К ТПР Н, обеспечивает снятие им сигнала К ТПР Н и выдачу на шины К ДА Н кода вектора прерывания в сопровождении сигнала К СИП Н.

Код вектора прерывания, инвертируясь на приемопередатчиках *D47, D59, D61, D49* [см. рис. П.1(3)], поступает в виде сигналов ДА 00 В — ДА 15 В на вход каналов *В* коммутаторов *D34, D19, D13, D6*. Разрешение работы коммутаторов обеспечивается сигналом ВВОД П Н, выбор каналов *В* осуществляется пассивным уровнем сигнала РЗП Н. Пассивный уровень сигнала РЗП Н бывает на *D63/12* [см. рис. П.1(8)], если отсутствует сигнал ВБР В на входе *D41/2*.

При приеме вектора прерывания запускается схема контроля поступления сигнала К СИП Н [элемент *D55* см. рис. П.1(5)]. Если сигнал К СИП Н отсутствует, происходит переход в пультовой режим.

6. Реализация режима прямого доступа к памяти

Процедура захвата шин устройством ПДП. Устройством ПДП при необходимости захвата шин ЭВМ выдает в канал ЭВМ сигнал К ТПД Н, который, проинвертировавшись на *D69/15* [см. рис. П.1(4)], в виде сигнала ТПД В поступает на вход вентиля *D65/9* [см. рис. П.1(6)]. Тогда при наличии пассивного уровня сигнала Ц РГН[1]Н на входе *D65/10* по сигналу Ф1 В на выходе триггера *D77/8* формируется сигнал «0», обеспечивающий выработку на *D26/8* сигнала КЗ В. Сигнал КЗ В, поступая на вход БИС управления *D8/9* [см. рис. П.1(2)], запрещает МП проводить цикл обращения к каналу. Кроме того, сигнал «1» с выхода триггера *D77/9* разрешает установку триггера *D80/9* в состояние «1» по сигналу Ф4 В. Тогда по окончании сигнала СИА Н и по сигналу Ф4 В на выходе триггера *D80/5* формируется сигнал ПДП[1]В, обеспечивающий выработку на *D69/12* [см. рис. П.1(4)] сигнала К ППД Н.

Сигнал К ППД Н, распространяясь по приоритетной цепочке и достигая интерфейсного модуля, формирующего сигнал К ТПД Н, обеспечивает снятие им сигнала К ТПД Н и формирование сигнала К ПВ Н.

Сигнал К ПВ Н поступает на приемник *D70/13* [см. рис. П.1(4)] и обеспечивает формирование на *D76/12* [см. рис. П. 1(5)] сигнала ПВ П Н.

Сигнал ПВ П Н, поступая на вход триггера *D80/12*, обеспечивает двумя последовательными тактовыми импульсами *Ф4В* снятие с выхода триггера *D80/5* сигнала ППД[1] В. Кроме того, сигнал ПВ П Н, поступая на вход триггера *D77/10*, обеспечивает удержание на его выходе *D77/8* сигнала «0», обеспечивающего выработку сигнала КЗ В.

По окончании цикла ПДП сигнал К ПВ Н снимается, что приводит к снятию по сигналу Ф1 В сигнала КЗ В.

Обращение в режиме ПДП к банку резидентной памяти. При обращении устройства ПДП к ячейкам банка резидентной памяти код адреса из канала микроЭВМ через приемопередатчики *D47, D59, D49, D61* [см. рис. П.1(3)] поступает на шины ДА 00 В — ДА 15 В и далее на входе БУРА *D48, D60, D62, D50* [рис. П.1(8)].

Сигналы К СИА Н, К ВВОД Н, К ВЫВОД Н, К БАЙТ Н поступают на вход приемопередатчика *D72* [см. рис. П.1(4)], соответствующие сигналы с выходов которого обеспечивают выполнение циклов обращения к резидентному банку памяти.

Отличительной особенностью реализации цикла «Ввод» является формирование сигнала РДА Н на *D73/13* [см. рис. П.1(5)] от сигнала «1» на *D36/12*, вырабатываемого при наличии сигнала ЦПД В.

Сигнал ЦПД В формируется на *D19/8* сначала от сигнала ППД [1] Н, а затем от сигнала ПВ П Н. Сигнал ЦПД В, кроме того, обеспечивает запрет передачи в канал ЭВМ сигналов через приемопередатчик *D58* [см. рис. П.1 (4)].

Выполнение одиократных циклов ПДП, совпадающих с циклами регенерации, проводимой под управлением ЦП. При совпадении во времени передачи одиократными циклами ПДП достаточно большого массива данных с циклами регенерации динамической памяти, для избежания потери информации схемно обеспечивается перемежение циклов ПДП с циклами регенерации.

Соответствующая схема функционирует следующим образом.

При запросе режима регенерации или при его реализации на выходе *D54/6* [рис. П.1 (5)] формируется логическая «1», которая обеспечивает по окончании цикла ПДП срезом сигнала ПВ П Н формирование на выходе триггера *D77/6* сигнала Ц РГН [1] Н.

Сигнал Ц РГН [1] Н закрывает вентиль *D65/10* [рис. П.1 (6)] для прохождения сигнала ТПД В, разрешая МП проведение цикла обращения к каналу. В начале такого цикла сигналом СИА Н, поступающим на установочный вход триггера *D77/1* [рис. П.1 (5)], сигнал РГН [1] Н будет снят, обеспечивая разрешение захвата шин и т. д.

7. *Методы дефектации и настройки модуля ЦП М2*

При дефектации неисправного модуля ЦП М2 прежде всего необходимо провести его внешний осмотр на наличие внешних дефектов, таких, как:

царапины, нарушающие токоведущие цепи;

замыкания между выводами соседних конденсаторов или их контактов с печатными проводниками плат;

замыкания металлизированных дорожек или выводов между собой посторонними токоведущими материалами.

Затем задать режим начального пуска с выходом в пультовый режим (перемычкой *E12*), установить плату ЦП в каркас в позицию А1 : Г1.

В следующую позицию каркаса вставить плату модуля УПО (устройство последовательного обмена) и, подсоединив к ней дисплей 15 ИЭ-00-13, проконтролировать выход собранного комплекса в пультовый режим.

Если нет выхода комплекса в пультовый режим необходимо последовательно проконтролировать наличие следующих характерных дефектов ЦП:

отсутствие или нарушение подачи отрицательного смещения СМ1, СМ2 [см. рис. П.1 (2)];

отсутствие питающих напряжений +5В, +12В;

отсутствие или искажение тактирующих сигналов микропроцессора М Ф1 В — М Ф4 В;

отсутствие нужной последовательности управляющих сигналов микропроцессора.

Контроль напряжения смещения — 5 В контролируется на 48-м выводе всех БИС микропроцессорного набора. Его значение должно находиться в пределах —1,5 В... —5,5 В. Если оно отсутствует, необходимо проверить работу автономного источника отрицательного напряжения, находящегося на плате ЦП. При этом надо учитывать, что длительное отсутствие данного напряжения может привести к выходу из строя всех элементов микропроцессорного набора и БИС памяти. Причиной отсутствия данного напряжения может быть также выход из строя БИС микропроцессорного набора или БИС памяти. Поэтому, если источник отрицательного смещения функционирует нормально, следует изолировать от печати последовательно 48-й вывод каждой БИС до появления отрицательного смещения нужного значения. В процессе анализа данного дефекта следует периодически снимать питание, подаваемое на ЭВМ.

При отсутствии питающих напряжений +5 В, +12 В гасит индикатор «Питание» на панели ЭВМ. Питание отсутствует чаще всего вследствие замыкания элементов на плате ЦП и реже — выхода из строя элемента или микросхемы.

Наличие тактирующих сигналов М Ф1 В — М Ф4 В контролируется на соответствующих выводах БИС микропроцессора, амплитуда этих сигналов должна быть 11...12 В. Если хотя бы один из этих сигналов отсутствует или его амплитуда отличается от указанной выше, необходимо проверить цепь формирования данного сигнала. Необходимо также обратить внимание на форму сигналов и перекрытие фронтов импульсов М Ф1 В — М Ф4 В.

Засинхронизировав осциллограф от внешнего сигнала с контакта Г:А3 панели ЭВМ, с той позиции, где стоит плата ЦП, проверить отсутствие перекрытия фронта сигнала М Ф3 В со срезом импульса М Ф2 В. В противном случае увеличить номинальную емкость конденсатора *С24* до устранения перекрытия. Период следования сигналов М Ф1 В — М Ф4 В должен быть 400...600 нс (регулируется подстройкой переменного резистора *R26*).

Следующим этапом проверки является контроль функционирования БИС микропроцессорного набора, для чего проверяется наличие на выводах БИС управления постоянных активных уровней сигналов КЗ В; М СИП В, СБРОС МК[1]Н.П ри их наличии выясняют причину и устраняют дефект, если он вызван неисправной работой логических схем.

Далее проверяется правильность выполнения стартовой микропрограммы, для чего на контакт Б : А1 по шине К ПОСТ НВ подается внешняя частота, которая обеспечивает и синхронизацию осциллографа. Полученную осциллограмму сравнивают с эталонной, снятой для исправной платы ЦП. Локализацию зоны расхождения целесообразно начинать со старших разрядов микроканала.

Для выявления неисправной БИС по фронту импульса Ф3 в микроканале считывается микроадрес, в разрядах МК 00 Н — МК 10 Н, а по фронту сигнала Ф1 следующего цикла в шинах микроканала МК 00 Н — МК 21 Н считывается микрокомандное слово, выставляемое соответствующим БИС МПЗУ.

Причиной искажения микропрограммы, выполняемой дефектуемым процессором, могут быть нарушения в линиях связи микроканала. Поэтому при обнаружении искаженного участка необходимо считывать микроадрес, формируемый БИС управления, непосредственно с выводов БИС МПЗУ, к которой происходит обращение, а выбранное микрокомандное слово считывать с выводов БИС управления и БИС РАЛУ, чтобы убедиться в достоверном поступлении информации.

После выхода ЦП на связь с пультовым терминалом необходимо проконтролировать вывод на монитор с клавиатуры символов без искажения. Наиболее вероятными причинами искажения могут быть схемы коммутаторов, стоящих в цепи ввода информации с системного канала (микросхемы *D34, D19, D47, D59, D13, D6, D61, D49*) [см. рис. П.1(3)].

Затем проверяется логика регенерации. Период регенерации длится 1,5...1,8 мс. Необходимо занести в любую ячейку памяти информацию и проверить ее наличие через 1—2 мин. Если с течением времени информация меняется или теряется совсем, проверить наличие и форму сигнала ТС В, стробирующего адрес БИС динамической памяти, сравнив его с сигналом на заведомо исправной плате ЦП. При отсутствии сигнала ТС В или искаженной его форме необходимо проверить цепи его формирования, наличие и форму сигнала ВБР В и устранить неисправности.

Если сигнал ТС В присутствует и имеет нужную форму, но информация заносится неправильно, надо проверить работу резидентного банка ОЗУ, пользуясь методами настройки ОЗУ. При этом банку резидентной памяти присваивается первый номер (снимается перемычка *Е10* и устанавливается перемычка *Е9*). В каркас необходимо поставить модуль дополнительного запоминающего устройства с номером банка 0. Если и в таком случае будет отсутствовать обращение к ячейке ОЗУ, необходимо отключить микропроцессор проверяемой платы от управления каналом и, используя исправную вторую плату ЦП, обратиться к ячейкам резидентной памяти проверяемого блока.

Для имитации режима прямого доступа необходимо закоротить на корпус контакт А:А12, придав активный уровень сигиалу К ТПД Н. При этом иа выводе 09 БИС управления должеи появиться активный уровень сигнала КЗ В. Если это требование выполняется, то на контакте А:Б15 должен быть активный сигнал К ППД Н. Если закоротить коитакт Б:А12 (К ПВ Н) на корпус, сигиал К ППД Н должеи стать пассивным, а сигнал КЗ В — оставаться по-прежнему активным. Проводя затем циклы обращения к ячейкам резидентного ОЗУ дефектуемой платы, необходимо проконтролировать цепи управляющих и информационных сигналов и выявить дефект.

При достижении устойчивой работы в пультовом режиме проводится проверка работоспособности ЦП по тест-программам, содержащимся в ТМОС:

791 401 — тест команд;

791 402 — тест арифметики;

791 403 — тест плавающей запятой;

791 404 — тест прерываний.

Если не выполняется один или несколько тестов, т. е. на терминал не выводится сообщение К ПРОХОД, необходимо произвести регулировку режима работы микропроцессора изменением времени рабочего цикла, уменьшая или увеличивая его в пределах 400...600 нс с помощью подстройки переменного резистора *R26* и изменения отрицательного смещения СМ1, подаваемого на БИС РАЛУ и БИС управления, для чего подбирается тип стабилитрона *VD2* (КС 141А, КС 133А, КС 139А, КС 168А). Дополнительная плавная регулировка производится подстройкой переменного резистора *R9*.

Через установленную перемычку *E2* напряжение подается иа БИС управления и БИС РАЛУ. Регулируемое напряжение равно —1,5...5,5 В. Одновременно регулируя время рабочего цикла и отрицательное смещение, необходимо добиться правильного выполнеиия теста. Если такая регулировка не помогает, следует просмотреть выполняемую программу данного теста в пошаговом режиме. Поскольку каждый тест состоит из ряда малых тестов, то при его сбое и выходе микроЭВМ в пультовой режим достаточио обратиться к ячейке 404 и выявить иомер малого теста. Затем клавишу ПРОГРАММА/ПУЛЬТ панели микроЭВМ перевести вниз в положение ПУЛЬТ и запустить выполнение малого теста с его стартового адреса. Последовательно нажимая на клавишу «Р» проверить последовательность команд теста до выявления сбойной команды.

Если выполнение команд, на которых выявлен дефект ЦП, можно зациклить с помощью команд ветвления или перехода, то определить неисправную БИС можно, сравнивая временные диаграммы микроканалов исправного и неисправного ЦП.

Если коитролируемую команду не представляется возможным зациклить программными методами, рекомендуется следующий подход:

с помощью перемычек *E6, E12* установить режим 0 пуска;

установить в микроЭВМ модуль запоминающего устройства с размещенным на нем банком памяти 0, резидентный банк должен иметь адреса 20000—37776;

записать в ячейку 24 стартовый адрес и в следующую ячейку 26 занести нуль;

в ячейку, определяемую стартовым адресом, записать контролнруемую команду;

подать иа контакт: Б:А1 (К ПОСТ Н В) частоту;

установить клавишу ПРОГРАММА/ПУЛЬТ в верхнее положение ПРОГРАММА и включить питание.

После окончаиия стартовой микропрограммы процессор перейдет в программный режим и будет выполнять контролируемую команду. Сравнивая временные диаграммы микроканалов исправного и неисправного процессоров, выявить дефект.

ГЛАВА 4

ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Модуль ОЗУ микроЭВМ «Электроника-60М» представляется в виде трех конструктивов:

банка резидентной памяти, расположенного на процессорной плате М2 емкостью 4К 16-разрядных слов;

запоминающего устройства П2 емкостью 4К 16-разрядных слов;

запоминающего устройства П3 емкостью 16К 16-разрядных слов.

Как известно, все поле адресов микроЭВМ условно разбито на восемь банков памяти емкостью 4К 16-разрядных слов каждое.

Соответствующими перемычками блок резидентной памяти может адресоваться как банк 0 или банк 1 или вообще может быть исключен из адресного поля микроЭВМ.

Запоминающее устройство П2 также может быть адресовано к любому банку памяти с помощью соответствующих перемычек.

Запоминающее устройство П3 по емкости равно четырем банкам памяти, каждому из которых соответствующими переключателями может быть присвоен номер любого банка. При этом следует учесть, что одновременно не могут быть разомкнуты более четырех движков, иначе может возникнуть ситуация, когда одна ячейка будет соответствовать двум банкам памяти.

При адресации банков запоминающих устройств следует также учитывать, что старший банк 7 отводится под регистры внешних устройств, и модули ОЗУ к нему практически не подключаются.

Все перечисленные модули ОЗУ собраны на накопителях динамического типа и требуют проведения операции регенерации. Если регенерация ОЗУ выполняется под управлением ЦП, то через каждые 2 мс проводится выполнение подряд 64 циклов ВВОД с перебором всех адресов строк внутренней матрицы накопителей. Этот процесс занимает около 150 мкс.

Если регенерация проводится устройством И4, то она заключается в проведении единичных циклов ВВОД через каждые 30 мкс также с последовательным перебором адресов.

1. Модуль памяти П2

Выполнение цикла ВВОД. Код адреса ячейки из канала ЭВМ поступает на входы приемопередатчиков *D25—D28* [см. рис. П.2(2)], инвертируется и затем сигналы разрядов 12—01 поступают на входы БУРА *D30—D32*. В отсутствие сигнала К СИА Н с *D6/4* сигнал «1» обеспечивает трансляцию кода адреса ячейки через БУРА на адресные входы элементов накопителей [см. рис. П.2 (3)].

Три старших разряда адреса 15—13 прямым и инверсным кодами с выходов приемопередатчика *D28* [см. рис. П.2(2)] и инверторов *D16, D19* поступают на переключатель *SA1*, положения движков которого задают номер банка памяти, размещенного в данном блоке (табл. 8).

При обращении к данному банку памяти с *D22/8* вырабатывается сигнал «0», который формирует на выходе БУРА *D37/16* сигнал ВБ Н, обеспечивающий открытие вентилей *D29* для прохождения через них сигналов управления. Сигнал «1», формируемый на *D37/1*, создает условия для открытия вентиля *D35/2*.

Таблица 8

Коммутация движков переключателя SA1 при выборе номера банка памяти

Номер банка	0	1	2	3	4	5	6
Комбинация замыкаемых движков	2—3—5	1—3—5	2—4—5	1—4—5	2—3—6	1—3—6	2—4—6

В отсутствие сигнала К СИА Н на *D38/11* вырабатывается сигнал «0», который через *D35/6* устанавливает на входе триггера *D36/6* сигнал «1», также создавая условия для открытия вентиля *D35/2*.

По приходу сигнала К СИА Н с выходов *D6/4* и *D35/8* вырабатываются сигналы «0», обеспечивающие фиксирование состояния выходов БУРА *D30—D32, D37*. Кроме того, сигнал «1» с *D38/11*, поступая на вентиль *D35/2*, обеспечивает выработку на выходе формирователя *D10/5* сигиала ТС В амплитудой около +12 В. Сигнал ТС В, поступая на элементы накопителя, обеспечивает перевод их в активиый режим в соответствии с сигналом на их входах $\overline{WE}$. В рассматриваемом цикле ВВОД начинается считывание информации с элементов накопителя, обусловленное пассивным уровнем сигналов ЗАП 1 Н, ЗАП 2 Н на выходах элемента *D34* в отсутствие сигнала К ВЫВОД Н на *D29/9*. Считываемая с выходов накопителей информация в виде сигиалов Д 15 В — Д 00 В поступает на приемопередатчики *D25—D28* и затем транслируется в каиал микроЭВМ при наличии логического «0» на *D9/6*. Сигнал «0» на *D9/6* формируется при поступлении на *D29/14* сигнала К ВВОД Н.

Кроме того, от сигнала «0» на *D9/6* вырабатывается сигнал «1» на *D34/10*, который формирует выходной сигнал К СИП Н на *D34/9* при наличии сигнала «1» на *D38/11*, установленного сигналом К СИА Н.

При снятии сигнала К ВВОД Н фронтом сигнала «1» с *D29/3* выход триггера *D36/6* сбрасывается в нуль, прекращается выработка сигиала ТС В и завершается цикл обращения к элементам накопителя.

Выполнение цикла ВЫВОД. Адресная фаза цикла ВЫВОД совпадает с адресиой фазой цикла ВВОД. При этом следует учесть, что самый младший разряд адреса с выхода приемопередатчика *D25/3* поступает на вход БУРА *D37/6* и фиксируется на нем, образуя на выходе парафазиый код. При выполнении байтовой операции сигнал «1» с *D38/4* по сигналу К БАЙТ Н открывает вентили *D33*, пропуская через них парафазный код младшего разряда адреса на входы вентиля *D34*. Вентили *D34* открываются сигиалом «1» с *D29/11* при поступлении сигиала К ВЫВОД Н и формируют на выходе сигналы управления записью ЗАП 1 Н и ЗАП 2 Н.

16 элементов накопителя ОЗУ [см. рис. П.2(3)] объединены по восемь штук по входам управления режимом WE. Шиной ЗАП 1 Н объединены восемь элементов, к которым подключены магистрали младшего байта канала ЭВМ, шиной ЗАП 2 Н — восемь элемеитов, подключеиных к магистралям старшего байта.

Если код адреса четный, вырабатывается только сигнал ЗАП 1 Н и производится запись младшего байта, если код адреса иечетный, сигналом ЗАП 2 Н производится запись только старшего байта. Следует помнить, что при записи байта остальные восемь элементов иакопителя находятся в режиме считывания. Однако считанная информация ие проникает в канал микроЭВМ, так как в отсутствие сигиала К ВВОД Н с *D9/6* вырабатывается сигнал «1», закрывающий приемопередатчики *D25—D28* для трансляции сигналов Д 15 В—Д 00 В.

В отсутствие сигнала К БАЙТ Н совместно с сигиалом К ВЫВОД Н вырабатываются оба сигнала управления записью одиовременно.

Информация, подлежащая записи, с выходов приемопередатчиков *D25—D28* после инверсии на элементах *D13, D16, D19* в виде сигналов ДА 15 Н — ДА 00 Н поступает на информационные входы элементов накопителя.

При поступлении сигнала К ВЫВОД Н на *D19/8* формируется сигнал «0», обеспечивающий выработку сигнала К СИП Н на *D34/11*. По окончании сигнала К ВЫВОД Н перепад уровня напряжения в нуль на *D29/1* обеспечивает сброс выхода триггера *D36/6* в состояние «0» и прекращается выработка сигнала ТС В на *D10/5*.

Особенности выполнения цикла ВВОД — ПАУЗА — ВЫВОД. После завершения фазы ВВОД цикла ВВОД — ПАУЗА — ВЫВОД фронтом сигнала «1» с *D29/3* [см. рис. П.2(2)] выход триггера *D36/6* будет установлен в состояние «0», запрещая дальнейшую выработку сигнала ТС В. Повторная установка триггера будет производиться по приходу сигнала К ВЫВОД Н, когда сигнал «1» с *D29/11* будет совпадать с сигналом «1», сформированным на заряженном конденсаторе *C57*, формируя на выходе *D33/6* сигнал «0», который через *D35/6* поступает на вход асинхронной установки R триггера и вновь устанавливает триггер *D36/6* в состояние «1».

Работа устройства П2 в режиме регенерации. В начале режима регенерации в канал микроЭВМ поступает сигнал К РГН Н, который формирует сигнал «1» на *D38/12*, фиксирующийся затем на выходе БУРА *D37/15*. Сигнал «1» с выхода БУРА *D37/15* обеспечивает выработку на *D22/6* сигнала «0», который формирует на *D37/16* сигнал ВБ Н вне зависимости от выставленного в канале микроЭВМ адреса. Затем реализуется штатный цикл ВВОД. Однако считанная с накопителей информация не проникает в канал микроЭВМ, так как приемопередатчики *D25—D28* закрыты сигналом «1» с *D9/6* от сигнала «0» с выхода БУРА *D37/14*. Кроме того, сигнал «1» с *D9/6*, поступая на *D33/12*, препятствует выработке сигнала К СИП Н.

Схема преобразователя напряжения. Для питания БИС накопителей ОЗУ на плате устройства П2 имеется источник отрицательного напряжения —5 В. Принцип работы его схемы состоит в следующем. На основе триггера Шмитта *D9* построен генератор с частотой импульсов около 3 МГц. За счет инверторов *D16* импульсы генератора преобразуются в парафазный код, который затем через формирователь *D1* подается на схему двухполупериодного выпрямителя с удвоением напряжения. Формирователь *D1* подключен к источнику питания +12 В.

2. Модуль памяти П3

Выполнение цикла ВВОД. 16-разрядный код адреса ячейки в виде сигналов К ДА 15 Н — К ДА 00 Н по каналу микроЭВМ поступает на входы приемопередатчиков *D6, D26, D7, D27* [см. рис. П.3(2)]. Коды старших трех разрядов адреса поступают на управляющие входы коммутатора *D31* и определяют выбор одного из его входов. Если на этом входе движок разомкнут, то сигнал «1» с выхода коммутатора поступает на сборку *D34/11*, на другие входы которой сигналы приходят со схемы расширителя адреса. Таким образом, положение движков переключателя SA3 определяет выбор банков памяти, к которым подключаются ячейки устройства (табл. 9). Естественно, что разомкнутыми могут быть не более четырех движков.

При обращении к одному из банков памяти, размещенному на данном устройстве, на *D34/8* формируется сигнал «0», управляющий выработкой на выходе БУРА *D21/10* сигнала ВБ В.

Четырнадцать разрядов адреса, использующихся для выбора ячейки внутри банка памяти, с выходов приемопередатчиков в виде сигналов ДА 14 В — ДА 01 В поступают на БУРА (элементы *D12, D20, D13, D21*) и при отсутствии сигнала К СИА Н транслируются через эти элементы на входы коммутаторов *D16, D17*. Причем младшие семь разрядов, определяющие адрес строки внутренней матрицы накопителей, поступают на входы каналов *A*, а старшие семь разрядов, определяющие адрес столбца, на входы каналов *B*. Выходы коммутаторов *D16*,

Таблица 9

Положение движков переключателя SA3 при выборе номера банка памяти

Номер банка	0	1	2	3	4	5	6	7
Разомкнутый движок	1	2	3	4	5	6	7	8

D17 включены вследствие заземления их выводов *15* и определяются состоянием входов каналов *А*. Выбор каналов *А* коммутаторов определяется сигналом «0» на *D30/10*, формирующимся при отсутствии сигнала К СИА Н.

Таким образом, на адресных входах элементов накопителей [см. рис. П.3(3)] с помощью сигналов А 07 В — А 01 В формируется код первой адресной посылки, т. е. адреса строки. Здесь следует учесть, что старший разряд первой адресной посылки на входе коммутатора *D17/11* формируется на выходе вентиля *D35/6*, открытого сигналом АДР В. Сигнал АДР В формируется на выходе триггера *D36/8* в отсутствие режима регенерации от сигнала «0» с *D38/3*, поступающего на вход асинхронной установки триггера.

По приходу сигнала К СИА Н на *D 30/13* формируется сигнал СИА Н, который, поступая на синхровходы БУРА, обеспечивает фиксирование его состояния. Кроме того, при поступлении сигнала К СИА Н сигнал «1» с *D33/12*, приходя на *D34/5* и собираясь с сигналом ВБ В и сигналом «1» с выхода незапущенного одновибратора *D28/12*, формирует на *D34/6* сигнал СТР Н. Этот сигнал поступает на входы RAS элементов накопителей и фиксирует в них первую адресную посылку.

По сигналу К СИА Н, приходящему на *D30/13*, также формируется сигнал «1» на *D35/3*, который, во-первых, поступает на вход канала *А* коммутатора *D17/13* и, во-вторых, с задержкой около 50 нс формирует сигнал «0» на *D38/4*. В отсутствии сигнала К РГН Н от сигнала «0», приходящего с *D38/4*, на выходе *D30/10* формируется сигнал «1», обеспечивающий переключение на выходы коммутаторов *D16, D17* сигналов соответствующих входов каналов *В*. Таким образом, на выходах коммутаторов формируется код второй адресной посылки, т. е. адрес столбцов внутренней матрицы накопителей. Сигнал «1», транслируемый на выход коммутатора *D17/12* с задержкой примерно 10 нс, которая определяется параметрами цепи *R19, C60*, обеспечивает в отсутствие режима регенерации сигнал СТБ Н с *D34/12*. Кроме того, сигнал «0» с *D38/4* открывает вентиль *D33* для прохождения управляющих сигналов К ВВОД Н или К ВЫВОД Н.

Сигнал СТБ Н обеспечивает загрузку в элементы накопителей второй адресной посылки и запускает элементы накопителей на выполнение функции, определяемой состоянием их входов $\overline{WE}$, на которые поступает сигнал ЗАП 1 Н или ЗАП 2 Н.

В отсутствие сигнала К ВЫВОД Н оба сигнала управления записью ЗАП 1 Н и ЗАП 2 Н имеют пассивный высокий уровень, определяющий режим считывания накопителей. Считанная с выходов накопителей информация в виде сигналов Д 15 В — Д 00 В поступает на входы приемопередатчиков *D6, D26, D7, D27* и передается в канал микроЭВМ при наличии сигнала ВВОД Н. Кроме того, условием передачи данных в канал микроЭВМ является пассивный уровень сигнала РГН Н с выхода триггера *D40/6*. Сигнал ВВОД Н формируется на *D39/2* по приходу канального сигнала К ВВОД Н и помимо разрешения передачи данных в канал обеспечивает выработку сигнала К СИП Н на *D32/3* при условии разомкнутого переключателя SA1.2.

Выполнение цикла ВЫВОД. Адресная фаза практически совпадает с адресной фазой цикла ВВОД. Код данных, принимаемых из канала микроЭВМ с выходов приемопередатчиков *D6, D26, D7, D27*, в виде сигналов ДА 15 В — ДА 00 В поступает на информационные входы элементов накопителей. Режим записи задается сигналами ЗАП 1 Н и ЗАП 2 Н, каждый из которых, поступая на входы WE элементов накопителя, объединяет их в группы по восемь штук. К одной группе подключены разряды младшего байта магистрали данных, ко второй группе — разряды старшего байта.

При выполнении байтовых операций по сигналу К БАЙТ Н сигнал «1» с *D33/3* открывает вентиль *D29* для прохождения через него парафазного кода младшего разряда кода адреса, поступающего с выходов БУРА *D12*. Сигналы управления записи ЗАП 1 Н, ЗАП 2 Н формируются на выходах *D29/11, D29/8*, соответственно, при поступлении на *D33/5* сигнала К ВЫВОД Н. Если код адреса четный, то вырабатывается только сигнал ЗАП 1 Н, если нечетный, то только сигнал ЗАП 2 Н. При

записи байта данных остальные элементы накопителя находятся в режиме воспроизведения, однако считанная с них информация не проникает в канал микроЭВМ, так как выходные приемопередатчики *D6, D26, D7, D27* закрыты сигналом «1» с *D39/2* в отсутствие сигнала К ВВОД Н.

При выводе полного 16-разрядного слова сигналы ЗАП 1 Н, ЗАП 2 Н вырабатываются одновременно.

Сигнал К СИП Н формируется по сигналу «0» на входе *D32/4* с приходом сигнала К ВЫВОД Н и при условии разомкнутого состояния переключателя SA1.2.

Выполнение режима регенерации. Для проведения регенерации информации в элементах накопителя, собранного на микросхемах серии К581РУ4, достаточно передать на эти элементы только адрес строки. В старшем разряде кода адреса должен быть нуль. Так как за один цикл регенерируют сразу две строки, весь объем памяти регенерирует за 64 цикла.

В отсутствие режима регенерации сигнал «0» с *D38/3* разрешает формирование на *D39/6* сигнала «1», обеспечивающего зарядку конденсатора *C63*. Кроме того, сигнал «0» с *D38/3* обеспечивает асинхронную установку выхода триггера *D36/8* в состояние «1», поступая на его вход асинхронного сброса.

Перед началом цикла ВВОД режима регенерации на *D38/1* поступает сигнал К РГН Н; тогда в отсутствие сигнала СИА Н на *D35/12* во время разряда конденсатора С63 на *D32/12* вырабатывается сигнал «0», переключающий выходы триггеров *D36/6* и *D36/8* в состояние «0».

Сигнал «0» с *D36/8* закрывает вентиль *D35/5* для прохождения через него старшего разряда кода первой адресной посылки. Таким образом, когда код адреса регенерации передается в канал микроЭВМ, на выходах коммутаторов *D16, D17* формируется код регенерируемой строки накопителей логическим нулем в старшем разряде.

Безусловный выбор всех банков памяти вне зависимости от выставленного адреса формируется при поступлении сигнала К РГН Н, обеспечивающем выработку сигнала «0» с *D39/8*.

При поступлении сигнала К СИА Н, во-первых, обеспечится выработка сигнала сопровождения первой адресной посылки СТР Н на *D34/6*. Во-вторых, фронтом сигнала «1» с *D33/12* выход триггера *D40/5* установится в состояние «0» и закроет вентиль *D34/13*, что запретит выработку сигнала СТБ Н. Кроме того, этот сигнал «0», поступая на переключатель SA1.1, запретит выработку сигнала К СИП Н, если переключатель будет замкнут. Сигнал РГН В, вырабатывающийся на выходе триггера *D40/6*, поступая на управляющие входы приемопередатчиков *D6, D26, D7, D27*, запретит передачу через них в канал микроЭВМ кодов данных Д 15 В — Д 00 В.

В-третьих, фронт сигнала «1» с *D33/12* запускает на 200 нс одновибратор *D28/4*. По окончании работы одновибратора срез сигнала «0», во-первых, запустит на 200 нс одновибратор *D28* и, во-вторых, переключит выход триггера *D36/8* в состояние «1». Сигнал «1» с выхода триггера *D36/8* поступает на переключатель *SA1.3* и, если он замкнут, обеспечит условие для выработки сигнала К СИП Н с гарантированной задержкой относительно появления сигнала К СИА Н на 200 нс.

По окончании работы одновибратор *D28/12* срезом сигнала «0» установит выход триггера *D36/6* в состояние «1». Сигнал «1» с выхода триггера *D36/6* поступает на переключатель *SA1.4* и, если он замкнут (при условии разомкнутого переключателя *SA1.3*), обеспечит условие для выработки сигнала К СИП Н, задерживая его относительно появления сигнала К СИА Н на 400 нс.

Установка выхода триггера РГН *D40/5* в «1» обеспечивается сигналом «0» на *D39/8* при снятии сигнала К РГН Н.

Принцип работы схемы расширителя адреса. При необходимости увеличить емкость памяти, подключаемой к каналу микроЭВМ «Электроника-60М», до 128К 16-разрядных слов, к каналу подключается модуль регистра-расширителя адреса, способный формировать в канале микроЭВМ сигналы К РАД 17 Н, К РАД 16 Н. Тогда перед

обращением к любой ячейке памяти в цикле ВЫВОД в регистре-расширителе формируется код номера одной из четырех пар плат устройства ПЗ, одновременно подключенных к каналу микроЭВМ. Затем проводится обычный цикл обращения к ячейке. Код номера пары плат задается движками переключателя *SA2*.

При обращении к выбранному устройству ПЗ на входах сборки *D34* собираются сигналы «1».

Если в системе используется только одна плата ПЗ, должны быть разомкнуты все движки переключателя *SA2* или замкнуты движки *SA2.2* и *SA2.4*.

Схема преобразования напряжения. Для питания БИС накопителей ОЗУ на плате устройства ПЗ имеется источник отрицательного напряжения —5 В. Принцип его работы состоит в следующем. На основе триггера Шмитта *D37* построен генератор с частотой импульсов около 7 МГц. Импульсы с выхода генератора поступают на триггер *D40*, работающий в счетном режиме. С этого триггера импульсы поступают на формирователь *D3*, к выходам которого подключен двухполупериодный выпрямитель с удвоением напряжения. Напряжение питания формирователя *D3* +12 В.

3. Методика поиска неисправностей модулей памяти и их устранение

Перед установкой платы модуля памяти в каркас микроЭВМ необходимо проверить отсутствие таких внешних дефектов, как:

царапины, нарушающие токоведущие цепи;

замыкание металлизированных дорожек или выводов интегральных микросхем посторонними токопроводящими материалами;

ошибочно установленные перемычки или неправильное переключение движков модульных выключателей.

После установки платы модуля памяти в каркас и включения питания следует проверить правильность подачи питающих напряжений +5 В, +12 В и, в первую очередь, на элементах полупроводниковой памяти.

Затем проверяется наличие отрицательного смещения —5 В, так как его отсутствие может привести к отказу БИС элементов памяти. Для выявления причины отсутствия отрицательного смещения путем пореза печатного проводника на выходе формирователя необходимо убедиться в исправности микросхем К170 АП3. В случае исправности схемы источника отрицательного смещения, последовательно отключая БИС памяти от напряжения —5 В, определяют вышедшую из строя схему.

Во время проверки для устранения возможности выхода из строя БИС первый вывод следует соединить с общей шиной и произвести кратковременное (1...2 с) включение питания.

Если после подключения платы модуля памяти микроЭВМ не выходит в пультовый режим, необходимо проконтролировать уровни канальных сигналов К СИА Н, К ВВОД Н, К ВЫВОД Н, К БАЙТ Н, К СИП Н, К РГН Н и затем сигналов К ДА 00 Н — К ДА 15 Н.

Уровень сигналов на указанных выше линиях не должен иметь постоянно низкий уровень. Та линия, на которой обнаружен постоянно низкий уровень, подлежит тщательной проверке. Для этого может быть использована внешняя синхронизация по сигналу К ПОСТ НВ на контакт Б : А1, запускающая микропрограмму по восстановлению питания.

При нарушениях в системном канале ЦП переходит в режим прерывания по вектору 4 (ошибка обращения к каналу), т. е. на всех линиях К ДА 00 Н — К ДА 15 Н, кроме К ДА 02 Н, должны быть высокие уровни. Для удобства просмотра допускается запретить ЦП выполнение циклов регенерации. По фронту первого импульса сигнала К СИА Н считывается адрес, выставленный ЦП.

Если адрес в системном канале не соответствует коду, сформированному на внутренних магистралях ЦП, то просматривается линия искаженного разряда и устраняются замыкания или заменяются отказавшие элементы.

Если ЭВМ при наличии платы модуля памяти выходит в пультовый режим, но при попытке обращения к ячейке, принадлежащей заранее подключенному банку, не происходит раскрытия ячейки и на терминал выводится, например, сообщение 20000/? (ВК, ПС), то возможны следующие причины:

не проходит сигнал К ВВОД Н по внутренним логическим схемам платы модуля памяти;

не формируется внутренний сигнал выбора ВБ Н;

не вырабатывается сигнал К СИП Н.

Для зацикливания обращения к ячейке можно воспользоваться следующей программой:

10/11100 12/776 4/200 6/0 200/2 R1/20000 R6/30.

В записи данной программы перед косой чертой (командой пультового терминала «Открыть ячейку») указан адрес ячейки или РОН, а после косой черты — содержимое соответственно ячейки или РОН.

В данной программе должны выполняться пересылка содержимого ячейки 20000 (косвенный метод адресации через РОН1) в РОН0 и затем безусловный переход в начало программы (в данном случае в ячейку 10). В отсутствие сигнала К СИП Н при обращении к ячейке 20000 возникает внутреннее требование прерывания по ошибке обращения к каналу, содержимое счетчика команд РОН7 и регистра состояния процессора РСП последовательно загружается в зону стековой памяти по состоянию РОН6 (в конкретном случае за начало зоны стековой памяти принимается ячейка 30), затем в счетчик команд РОН7 загружается содержимое ячейки с адресом, равным коду вектора прерывания 4. Из ячейки с адресом 4 выбирается адрес начала программы обработки прерывания (в данном случае 200). Эта программа состоит из одной команды «Возврат из прерывания» (код 2). МикроЭВМ переводится в программный режим работы и осуществляется запуск программы командой пультового терминала 10G.

Внешняя синхронизация осциллографа выполняется канальным сигналом К ВВОД Н (контакт А : Б7).

Если после обращения к ячейке ее содержимое не изменяется при попытке записи в нее информации или при закрытии ячейки возникает сбой по ошибке обращения к каналу, возможны следующие причины:

отсутствие питающих напряжений +5 В, +12 В или напряжения смещения —5 В на элементах накопителя;

отсутствие сигналов управления записью;

отсутствие сигнала К СИП Н.

Для зацикливания режима записи в ячейку можно использовать следующую программу:

10/10011 12/776 4/200 6/0 200/2 R1/20000 R6/30

Программа запускается командой пультового терминала 10G; синхронизация осциллографа осуществляется от сигнала К ВЫВОД Н (контакт *А*:*Б5*).

Затем проводится проверка записи/считывания во все разряды ячейки логических «1» (или логических «0») с использованием следующей программы:

10/10011 12/11102 14/775 R0/177777 (для записи/считывания «1») R0/0 (для записи/считывания «0») R1/адрес проверяемой ячейки

Особое внимание при проверке следует обратить на амплитуду и крутизну фронта сигнала ТС В на контактах всех элементов накопителей модуля памяти П2, сравнивая его с параметрами сигнала обращения к исправным ячейкам. В модуле памяти П3 контролируется наличие сигналов СТР Н, сопровождающих адрес строк (разряды 01—07 адресного слова), и сигналов СТБ Н, сопровождающих адрес столбца (разряды 08—14

адресного слова). Для упрощения контроля правильности формирования адресов режим регенерации на ЦП может быть отключен.

Проверка байтовых операций обращения к ячейке проводится, например, с использованием программы:

```
10/110011       R0/177777
12/11102        R1/20000 (при проверке сигнала ЗАП 1 Н)
14/775          R1/20001 (при проверке сигнала ЗАП 2 Н)
```

Содержимое ячейки 20000 предварительно обнуляется. При засылке в младший байт в ней формируется код 377, при засылке в старший байт — код 177400.

При искажении с течением времени информации, занесенной в ячейку, необходимо проверить выполнение режима регенерации. При дефектации режима регенерации модуля устройства П3 следует проконтролировать выработку сигнала СТР Н, наличие логического «0» в старшем разряде адресной посылки А 07 В и отсутствие сигнала СТБ Н. Необходимо обратить внимание на работу схемы задержки сигнала К СИП Н.

Циклическим выполнением программы

```
10/61011        R0 — адрес ячейки источника
12/776          R1 — адрес ячейки приемника
```

можно проверить реализацию цикла ВВОД — ПАУЗА — ВЫВОД банком резидентной памяти ОЗУ и платой модуля памяти П2. При этом контролируется формирование двух сигналов ТС В во время выработки сигнала К СИА Н.

Комплексная проверка ОЗУ осуществляется с помощью тест-программы 2.791.003 ПО23.

Программа «Тест памяти» предназначена для проверки полупроводниковой и ферритовой памяти емкостью от 8К до 248К байт и состоит из 12 тестов, пронумерованных в восьмеричной системе от 0_8 до 13_8.

ГЛАВА 5

ИНТЕРФЕЙСЫ

1. Интерфейс И2

Интерфейс И2 предназначен для подсоединения к каналу микроЭВМ «Электроника-60» устройств ввода-вывода, обменивающихся с микроЭВМ даннымн в 16-разрядном параллельном коде. Интерфейс И2 содержит три адресуемых регистра: регистр состояния (РС); регистр данных передатчика (РД ПРД); регистр данных приемника (РД ПРМ).

Адресация регистров интерфейса И2 производится переключателями *SA1*, *SA3*, *SA4* (табл. 10).

На заводе-изготовителе движками переключателей устанавливаются следующие адреса: РС — 167770; РД ПРД — 167772; РД ПРМ — 167774.

Связь интерфейса И2 с УВВ осуществляется через кабель связи, подсоединяемый к разъему ХС (табл. 11).

При обращении ЦП к регистрам интерфейса И2 он помещает в канал микроЭВМ 16-разрядный адрес совместно с сигналом К ВУ Н. Старший байт кода адреса поступает на приемопередатчики *D28*, *D29* [см. рис. П.4(3)], младший байт — на приемопередатчики *D32*, *D33* [см. рис. П.4(2)]. После инверсии адрес в виде сигналов ДА 12 В — ДА 03 В поступает на адресный компаратор, выполиеиный на элементах *D10*, *D13*, *D12*, *D14* и переключателях *SA1*, *SA3*, *SA4* [см. рис. П.4(4)].

При обращении к одному из регистров интерфейса И2 на *D8/4* вырабатывается сигнал «1», который при отсутствии сигиала К СИА Н формирует на выходе БУРА *D11/1* сигнал ВБ Н.

Разряды кода адреса ДА 02 В — ДА 00 В, обеспечивающие выбор одного из регистров иитерфейса, также поступают на входы БУРА *D11* и фиксируются в нем по приходу сигнала К СИА Н на приемник *D26/5*.

Выходные сигналы БУРА *D11* поступают на ДУС *D16*, выполненный на элементе ПЗУ К155РЕ3. Разрешение работы ДУС вырабатывается с элемента *D27/9* при налнчии сигналов ВБ Н и одного из сигналов управления К ВВОД Н или К ВЫВОД Н (табл. 12). На набор сигналов дешифратора, кроме того, влияет и состояние сигиала К БАЙТ Н.

При наборе входных сигналов, отлнчающихся от табличных, происходит обращение к резервным ячейкам ПЗУ, и выходные сигиалы ДУС будут отсутствовать.

Таблица 10

Адресация регистров интерфейса И2

Разряд адреса	Номер переключателя, замыкаемого для установки в разряде логической «1»	Номер переключателя, замыкаемого для устаиовки в разряде логического «0»	Разряд адреса	Номер переключателя, замыкаемого для установки в разряде логической «1»	Номер переключателя, замыкаемого для установки в разряде логического «0»
03	SA3.7	SA3.8	08	SA1.6	SA1.5
04	SA3.5	SA3.6	09	SA1.4	SA1.3
05	SA3.3	SA3.4	10	SA1.2	SA1.1
06	SA3.1	SA3.2	11	SA4.3	SA4.4
07	SA1.7	SA1.8	12	SA4.2	SA4.1

Таблица 11

Сигналы на разъеме связи с УВВ интерфейса И2

Номер контакта	Сигнал	Пояснение	Номер контакта	Сигнал	Пояснение
47	ВВ 00 В	Разряд кода данных,	14	ВД 06 В	Разряд кода данных,
45	ВВ 01 В	принимаемых с УВВ			передаваемых на
27	ВВ 02 В	То же			УВВ
31	ВВ 03 В	»	10	ВД 07 В	То же
4	ВВ 04 В	»	56	ВД 08 В	»
6	ВВ 05 В	»	46	ВД 09 В	»
16	ВВ 06 В	»	52	ВД 10 В	»
12	ВВ 07 В	»	19	ВД 11 В	»
58	ВВ 08 В	»	43	ВД 12 В	»
59	ВВ 09 В	»	54	ВД 13 В	»
55	ВВ 10 В	»	35	ВД 14 В	»
57	ВВ 11 В	»	48	ВД 15 В	»
39	ВВ 12 В	»	3	ВЫВОД	Сигнал устройства
37	ВВ 13 В	»		ДАННЫХ В	И2, стробирующий
50	ВВ 14 В	»			передачу данных на
41	ВВ 15 В	»			УВВ
8	ТРЕБОВА-	Сигнал УВВ о его го-	15	ВВОД	Сигнал устройства
	НИЕ АВ	товности к обмену		ДАННЫХ В	И2, стробирующий
21	ТРЕБОВА-	То же			прием данных с УВВ
	НИЕ БВ		53	РС 00 В	Разряд кода РС
49	ВД 00 В	Разряд кода данных,			устройства И2
		передаваемых на	60	РС 01 В	То же
		УВВ	11	А СБРОС В	Сигнал устройства И2,
51	ВД 01 В	То же			нормализующий схе-
29	ВД 02 В	»			мы УВВ
33	ВД 03 В	»	57	Б СБРОС В	То же
2	ВД 04 В	»	18	ОБЩИЙ	—
1	ВД 05 В	»	20, 22, 24	»	—

Таблица 12

Сигналы ДУС интерфейса И2

Программная операция	Восьмеричный код в разрядах 00–02	Управляющие сигналы канала			Управляющие сигналы дешифратора
		К БАЙТ Н	К ВВОД Н	К ВЫВОД Н	
Запись в РС	0	—	—	+	ВЫВОД 0 МБ Н
Запись в РС	0	+	—	—	ВЫВОД 0 МБ Н
Считывание РС	0	—	+	—	ВВОД 0 Н
Запись в РД ПРД	2	—	—	+	ВЫВОД 2 МБ Н
	2	—	—	+	ВЫВОД 2 СБ Н
Запись в РД ПРД (младший байт)	2	+	—	+	ВЫВОД 2 МБ Н
Запись в РД ПРД (старший байт)	3	+	—	+	ВЫВОД 2 СБ Н
Считывание РД ПРД	2	—	+	—	ВВОД 2 Н
Считывание РД ПРМ	4	—	+	—	ВВОД 4 Н

При разрешенном наборе входных сигналов на выходе ДУС *D16/9* формируется сигнал СИП Н, обеспечивающий выработку выходного сигнала К СИП Н на *D27/12*. При необходимости можно задержать выработку сигнала К СИП Н, подключив конденсатор к резистору *R2*.

Регистр состояния. Регистр состояния интерфейса И2 – 6-разрядный (рис. 16).

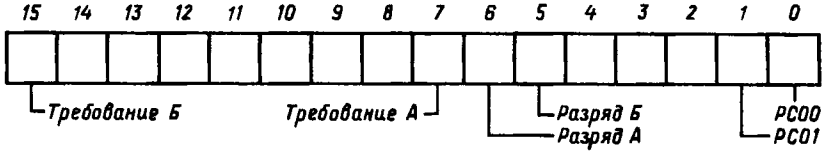


Рис. 16. Формат регистра состояния интерфейса И2

Разряды 00 и 01 доступны ЦП по записи и чтению и могут быть использованы для передачи на УВВ двухразрядного кода команды или приема кода его состояния. При тестировании интерфейса с использованием сервисной розетки (рис. 17) состояние этих разрядов имитирует выработку сигналов ТРЕБОВАНИЕ АВ и ТРЕБОВАНИЕ БВ соответственно. Содержимое разрядов обнуляется сигналом К СБРОС Н.

Разряды 06, 05 — РАЗРЕШЕНИЕ А, РАЗРЕШЕНИЕ Б соответственно. Установка разрядов в состояние «1» разрешает работу одной из схем обработки прерываний. Состоянием разрядов управляет ЦП и они доступны ЦП по записи и чтению. Сигналом К СБРОС Н содержимое разрядов обнуляется.

Разряды 15,07 — ТРЕБОВАНИЕ БВ, ТРЕБОВАНИЕ АВ — формируются сигналами УВВ при его готовности к обмену данными и доступны ЦП только по чтению.

Вывод данных на внешнее устройство. Вывод данных на УВВ реализуется циклом ВЫВОД обращения к каналу по адресу 167772_8. При этом в зависимости от наличия сигнала К БАЙТ Н в информационной части цикла, а также от четности кода адреса с ДУС *D16* [см. рис. П.4(4)] будут вырабатываться сигналы либо ВЫВОД 2 МБ Н с *D16/4*, либо ВЫВОД 1 СБ Н с *D16/5*. В отсутствие сигнала К БАЙТ Н будут вырабатываться оба сигнала одновременно. После инверсии на элементах *D15* эти сигналы поступают на синхровходы элементов РД ПРД. Старший байт данных из канала микроЭВМ после инверсии на элементах *D28*, *D29* [см. рис. П.4(3)] записывается по сигналу ВЫВОД 2 СБ В в РД ПРД (*D18*, *D19*).

Младший байт данных из канала микроЭВМ, инвертируясь на элементах *D32*, *D33* [см. рис. П.4(2)], поступает на элементы РД ПРД *D9*, *D17* и заносится в них по сигналу ВЫВОД 2 МБ В. С выходов РД ПРД информация в виде сигналов ВД 00 В — ВД 15 В поступает через разъем на УВВ. Для сопровождения данных с *D5/2* [см. рис. П.4(2)] вырабатывается сигнал ВЫВОД ДАН В, который формируется при наличии любого из сигналов ВЫВОД 2 МБ В или ВЫВОД 2 СБ В на входах элемента *D8*.

Режим считывания данных из РД ПРМ. Он реализуется циклом ВВОД по адресу 167774_8. С ДУС *D16/6* [см. рис. П.4(4)] вырабатывается сигнал ВВОД 4 Н, который, поступая на приемопередатчики *D29*, *D28* [см. рис. П.4(3)], обеспечивает передачу в канал микроЭВМ сигналов ВВ 15 В — ВВ 08 В, формируемых УВВ. Младший байт данных УВВ в виде сигналов ВВ 07 В — ВВ 00 В поступает на каналы *2* коммутаторов *D1*, *D3*, *D4*, *D7* [см. рис. П.4(2)] и с их выходов поступает в канал микроЭВМ через приемопередатчики *D32*, *D33*, открываемые при поступлении на *D12/4* сигнала ВВОД 4 Н с ДУС.

Конт.	Цепь
47	ВВ 00
49	ВО 00
45	ВВ 01
51	ВО 01
27	ВВ 02
29	ВО 02
31	ВВ 03
36	ВО 03
4	ВВ 04
2	ВО 04
6	ВВ 05
1	ВО 05
16	ВВ 06
14	ВО 06
12	ВВ 07
10	ВО 07
58	ВВ 08
56	ВО 08
59	ВВ 09
46	ВО 09
55	ВВ 10
52	ВО 10
57	ВВ 11
19	ВО 11
39	ВВ 12
43	ВО 12
37	ВВ 13
54	ВО 13
50	ВВ 14
35	ВО 14
41	ВВ 15
48	ВО 15
8	ТРА
53	РС 00
21	ТРБ
60	РС 01

Рис. 17. Сервисная розетка интерфейса И2

Выбор канала коммутатора производится сигналами с выходов *D6* при отсутствии на их входах сигнала ВЕК Н и определяется состоянием сигналов АДР 02 Н, АДР 01 Н. Эти сигналы формируются БУРА и соответствуют состоянию разрядов кода адреса выбираемого регистра устройства.

Для информирования УВВ о том, что выставленный им код считан, на *D27/3* [см. рис. П.4(3)] по сигналу ВВОД 4 Н формируется сигнал ВВОД ДАН В.

Режим считывания РД ПРД (контроль). Контроль содержимого РД ПРД можно провести циклом ВВОД по адресу 167772_8. Тогда сигналом ВВОД 2 Н с ДУС *D16/3* [см. рис. П.4(4)] разрешается передача в канал микроЭВМ через вентили *D20*, *D21* [см. рис. П.4(3)] содержимого старшего байта РД ПРД *D18*, *D19*.

Выходы младшего байта РД ПРД *D9*, *D17* [см. рис. П.4(2)] подключены к каналам *1* коммутаторов *D1*, *D3*, *D4*, *D7*. Эти каналы выбираются кодом *10*, образуемым сигналами АДР 01 Н, АДР 02 Н, с выхода БУРА *D11*. С выходов коммутаторов младший байт контролируемых данных передается в канал микроЭВМ через приемопередатчики *D32*, *D33*, открываемые сигналом ВВОД 2 Н, поступающим на *D12/2*.

Режим записи в РС. Как известно, только четыре разряда РС доступны ЦП по записи, причем все они располагаются в зоне младшего байта. Для формирования состояния разрядов РС реализуется цикл ВЫВОД по адресу 167770_8. При этом на ДУС *D16/2* [см. рис. П.4(4)] формируется сигнал ВЫВОД 0 МБ Н, который, проинвертировавшись на *D15/6*, поступает на синхровход РС *D2/9* [см. рис. П.4(2)] и обеспечивает запись в соответствующие разряды сигналов канала микроЭВМ, передаваемых через приемопередатчики *D32*, *D33*.

Младшие разряды РС 00—01 поступают затем на УВВ в виде сигналов РС 00 В — РС 01 В через разъем ХТ. Разряды 05, 06 используются для управления работой устройства в режиме прерывания.

Режим считывания РС. Считывание РС реализуется циклом ВВОД по адресу 167770_8, при этом на выходе ДУС *D16/1* [см. рис. П.4(4)] формируется управляющий сигнал ВВОД 0 Н. Сигнал ВВОД 0 Н, поступая на *D12/1* [см. рис. П.4(2)], обеспечивает трансляцию в канал микроЭВМ через приемопередатчики *D32*, *D33* сигналов с выходов коммутаторов *D1*, *D3*, *D4*. К каналам *0* этих коммутаторов, которые выбраны кодом 11, образуемым сигналами АДР 02 Н, АДР 01 Н, подключены выходы РС (*D2*) и сигнал ТРЕБОВАНИЕ АВ. Сигнал ТРЕБОВАНИЕ БВ транслируется в канал микроЭВМ с выхода вентиля *D27/6* [см. рис. П.4(3)], открытого формируемым ДУС сигналом ВВОД 0 В.

Работа в режиме прерывания. Разрешение работы в режиме прерывания интерфейсу И2 будет дано, если в разрядах 05 или 06 РС будет установлена логическая «1». Для примера рассмотрим наличие сигнала РАЗРЕШЕНИЕ АВ (разряд 06 РС), который, приходя на вход триггера *D24/1* [см. рис. П.4(5)], снимает сигнал его асинхронной установки. По приходу сигнала ТРЕБОВАНИЕ АВ с УВВ в состояние «1» будет установлен триггер *D25/5*. Тогда сигнал «1» с *D22/6*, во-первых, обеспечит выработку сигнала К ТПР Н на *D31/6* и, во-вторых, поступит на информационный выход триггера *D24/2*.

Сигнал К ТПР Н, достигая ЦП, обеспечивает выработку им последовательно двух сигналов: К ВВОД Н и К ППР Н.

Сигнал К ВВОД Н, приходя на *D30/5* [см. рис. П.4(4)] после инверсии в виде сигнала ВВОД В, обеспечивает установку в состояние «1» выхода триггера *D24/5*. При этом сигнал «0» с инверсного выхода закрывает вентиль *D22/2* для распространения сигнала ППР. По приходу сигнала К ППР Н на *D30/13* [см. рис. П.4(5)] сигнал «0» с *D23/3*, во-первых, сбросит в нуль выход триггера *D25/5*, что приведет к снятию сигнала К ТПР Н, и, во-вторых, сформирует сигнал «1» на *D23/8*, обеспечивая выработку сигнала К СИП Н на *D31/12* и сигнала ВЕК Н на *D23/11*. Сигнал ВЕК Н, поступая на *D6* [см. рис. П.4(2)], формирует на его выходах код 11 (число 3), что обеспечивает открытие соответствующих каналов коммутаторов *D1*, *D3*, *D7*, *D4*, на которых с

помощью движков переключателей *SA2* (табл. 13) формируется код вектора прерывания (в нашем случае 300_8). С выходов коммутаторов код вектора транслируется в канал микроЭВМ через приемопередатчики *D32*, *D33* при наличии сигнала ВЕК Н на входе *D12/5*.

Для модификации кода вектора прерывания по сигналу ТРЕБОВАНИЕ БВ по сигналу «0», приходящему с *D23/6* [см. рис. П.4(5)], и вызывающему выдачу кода вектора в канал, на *D15/12* формируется сигнал ВЕК Б В. Он поступает на вход коммутатора *D7/3* [см. рис. П.4(2)] и затем в шину сигнала К ДА 02 Н и таким образом модифицирует код вектора 300_8, заданный переключателями, в код 304_8.

Таблица 13

Формирование кода вектора прерывании интерфейса И2

Разряд кода вектора	Движок переключателя, замыкаемого для установки в разряде логического «0»
03	SA2.5
04	SA2.4
05	SA2.3
06	SA2.2
07	SA2.6

Снятие сигнала К СИП Н и прекращение выдачи в канал вектора происходит по снятию входного сигнала К ППР Н. Сброс триггера *D4* [см. рис. П.4(5)] в исходное нулевое состояние происходит в начале любого последующего цикла ВВОД.

Выполнение команды СБРОС. При поступлении сигнала К СБРОС Н на *D26/9* [см. рис. П.4(5)] с *D5/8* приходит сигнал СБРОС Б Н, обеспечивающий нормализацию триггеров требования прерывания *D25*. Сигнал СБРОС А Н с элемента *D5/5* обеспечивает нормализацию РД ПРД *D9, D7* [см. рис. П.4(2)], *D18, D19* [см. рис. П.4(3)]. Кроме того, на *D5/12*, *D5/10* вырабатываются сигналы А СБРОС В, Б СБРОС В, передаваемые через разъем ХТ на УВВ.

2. Интерфейс И7

Интерфейс И7 предназначен для подключения к каналу микроЭВМ «Электроника-60» УВВ, обменивающихся с ней данными в 8-разрядном параллельном коде.

Интерфейс И7 содержит четыре адресуемых регистра:

регистр состояния приемника РС ПРМ;
регистр данных приемника РД ПРМ;
регистр состояния передатчика РС ПРД;
регистр данных передатчика РД ПРД.

Адресация регистров интерфейса И7 производится движками переключателей *SA1*, *SA2* (табл. 14).

На заводе-изготовителе движками устанавливаются следующие адреса регистров интерфейса И7:

РС ПРМ — 177510_8;
РД ПРМ — 177512_8;
РС ПРД — 177514_8;
РС ПРД — 177516_8.

Таблица 14

Адресация регистров интерфейса И7

Разряд адреса	Движок переключателя, замыкаемого для устаиовки в разряде логической «1»	Движок переключателя, замыкаемого для установки в разряде логического «0»	Разряд адреса	Движок переключателя, замыкаемого для установки в разряде логической «1»	Движок переключателя, замыкаемого для установки в разряде логического «0»
08	SA2.2	SA2.1	05	SA1.2	SA1.1
07	SA2.4	SA2.3	04	SA1.4	SA1.3
06	SA2.6	SA2.5	03	SA1.6	SA1.5

Таблица 15

Сигналы на разъеме связи с УВВ интерфейса И7

Номер контакта	Сигнал	Пояснение
53	Д0 — ИН	Разряд данных, принимаемых от УВВ (источника)
55	Д1 — ИН	То же
57	Д2 - ИН	»
56	Д3 — ИН	»
58	Д4 — ИН	»
60	Д5 — ИН	»
18	Д6 — ИН	»
16	Д7 — ИН	»
15	СТР — ИН	Сигнал УВВ (источника), стробирующий передаваемые данные
27	ЗП — ИН	Сигнал ЗАПРОС, вырабатываемый УВВ (источником)
37	ГИ - ИН	Сигнал ГОТОВ, вырабатываемый УВВ (источником)
50	А ВЕК 2	Разряд кода вектора прерывания, формируемый УВВ
48	А ВЕК 3	То же
54	А ВЕК 4	»
52	А ВЕК 5	»
46	А ВЕК 6	»
44	А ВЕК 7	»
19	+3,4 В	Логическая «1»
23	+3,4 В	»
29	+3,4 В	»
11	СБРОС ВУ Н	Сигнал интерфейса И7, нормализующий схемы УВВ
39	ВВОД ДАННЫХ Н	Сигнал интерфейса И7 при выполнении канального цикла ВВОД
59	+5 В	Питание
4	ВХОД ИНВ	Вход инвертора
41	Д0 — ПН	Разряд данных, передаваемых на УВВ (приемник)
45	Д1 - ПН	То же
43	Д2 — ПН	
47	Д3— ПН	»
25	Д4— ИН	»
5	Д5— ПН	»
3	Д6— ПН	»
9	Д7— ПН	»
31	СТР ПН	Сигнал СТРОБ вырабатывается интерфейсом И7 для сопровождения передаваемых на УВВ данных
14	ЗН ПН	Сигнал ЗАПРОС, формируемый УВВ (приемником)
12	ЗП ПН	Сигнал интерфейса И7, являющийся инверсией от сигнала ЗП — ПН
51	ЗП ПВ	Сигнал ЗАПРОС, формируемый УВВ (приемником)
13	ГП ПН	Сигнал ГОТОВНОСТЬ, формируемый УВВ (приемником)
2	ГП ПВ	То же
1	СП ПВ	Сигнал СОСТОЯНИЕ, формируемый УВВ (приемником)
35	ОШИБКА В	Сигнал, формируемый УВВ
8	ГП ПВ	Сигнал, формируемый интерфейсом И7 при наличии на его входе сигналов ГП — ПВ и СП — ПВ
7	ТРЕБОВАНИЕ ПЕРЕДАЧИ В	Сигнал, формируемый УВВ
10	ФЛАГ В	Сигнал, формируемый интерфейсом И7 в ответ на сигнал ЗП — ПВ, если оно готово к передаче
33	ТРЕБОВАНИЕ В	Сигнал, формируемый УВВ
17	ЗАВЕРШЕНО В	Сигнал, формируемый УВВ
49	ВЫВОД ДАННЫХ Н	Сигнал, формируемый интерфейсом И7 при выполнении цикла ВЫВОД по адресу РГД ПРД
6	ВЫХОД ИНВ	Инверсия от сигнала ВХОД ИНВ.
21, 22, 24, 26, 28, 30, 32, 34, 36, 38, 40	ОБЩИЙ	—

Практически интерфейс И7 используется для подключения к каналу микроЭВМ печатающих устройств типа DZM-180 и «Роботрон 1156».

Связь интерфейса И7 с УВВ осуществляется через кабель, подключаемый к разъему ХР (табл. 15).

При обращении к интерфейсу И7 ЦП выставляет в канал микроЭВМ 16-разрядный адрес в сопровождении сигнала К ВУ Н.

Младший байт адреса поступает на приемопередатчики *D24*, *D25* [см. рис. П.5(3)], инвертируется и в виде сигналов ДА 03 В — ДА 07 В передается на схему адресного компаратора *D19*, *D14* [см. рис. П.5(2)], где переключателями *SA2*, *SA1* задаются адреса регистров интерфейса И7.

Старший байт адреса в виде сигналов К ДА 08 Н — К ДА 12 Н совместно с сигналом К ВУ Н поступает на приемник *D26* и с выходов также передается на компаратор *D14*, *D20*. При обращении к одному из регистров интерфейса на выходе сборки *D14/8* вырабатывается сигнал «0», транслирующийся через БУРА *D8/1*, который открыт, когда нет сигнала К СИА Н. Затем сигнал с БУРА, проходя через вентиль *D11/8*, формирует сигнал УВ Н на *D1/12*, разрешающий работу ДУС *D13*.

Коды адреса ДА 01 В — ДА 02 В, транслируясь через БУРА *D8*, также поступают на ДУС *D13*, обеспечивая формирование набора управляющих сигналов (табл. 16) в зависимости от вызываемого регистра и канального цикла.

Фиксирование состояния БУРА *D8* происходит по приходу сигнала К СИА Н на вход приемника *D22/1*.

Как сказано выше, интерфейс обычно используется для связи с печатающими устройствами, т. е. как передатчик, поэтому, если перемычка *E4* будет удалена, то при обращении к любому РС интерфейса И7 принудительно обращение будет происходить по адресу РС ПРД 177514_8.

Если необходимо обеспечить защиту от обращения к регистрам приемника, запаивается перемычка *E3*, тогда при обращении к регистрам приемника сигнал «0» с выхода БУРА *D8/10* будет запрещать формирование сигналов УВ Н и К СИП Н, вызывая режим ошибки обращения к каналу.

Регистр состояния передатчика. РС передатчика — пятиразрядный (рис. 18).

Разряд 05 — ЗАВЕРШЕНО — формируется УВВ при завершении какой-либо операции, например при окончании печати. Доступен ЦП только при считывании.

Разряд 06 — РАЗРЕШЕНИЕ — формируется ЦП и доступен ему при записи и считывании. Управляет разрешением работы устройства в режиме прерывания. Сбрасывается в ноль командой СБРОС ВУ и сигналом К СБРОС Н.

Таблица 16

Сигналы ДУС интерфейса И7

Программная операция	Восьмеричный код в разрядах 00—02	Управляющие сигналы канала		Управляющие сигналы дешифратора
		К ВВОД Н	К ВЫВОД Н	
Считывание РС ПРМ	0	+	—	ВВОД 0 Н
Считывание РД ПРМ	2	+	—	ВВОД 2 Н
Запись РД ПРД	4	—	+	ВЫВОД 4 Н
Считывание РС ПРД	4	+	—	ВВОД 4 Н
Запись РД ПРД	6	—	+	ВЫВОД 6 Н

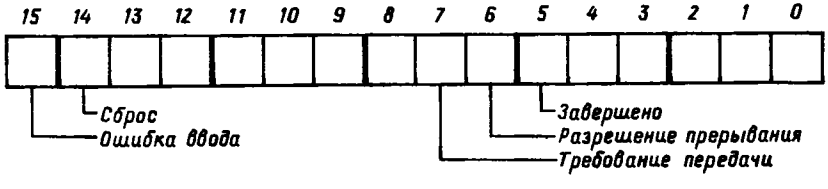


Рис. 18. Формат регистра состояния передатчика интерфейса И7

Разряд 07 — ТРЕБОВАНИЕ ПЕРЕДАЧИ — формируется УВВ при его готовности к обмену, доступен ЦП только при считывании.

Разряд 14 — СБРОС ВУ — формируется ЦП для установки цепей УВВ в исходное состояние, доступен ЦП только при записи.

Разряд 15 — ОШИБКА — формируется УВВ при возникновении в нем сбойной ситуации, доступен ЦП при считывании.

Вывод данных на УВВ. Он обеспечивается циклом ВЫВОД по адресу 177516_8. Тогда на ДУС *D13/12* [см. рис. П.5(2)] формируется сигнал ВЫВОД 6 Н, поступающий на *D20/2* [см. рис. П.5(4)], и сигналом «1» с *D1/10* обеспечивает запись в РД ПРД (*D9*, *D7*) содержимого младшего байта передаваемых данных.

С выходов РД ПРД информация через элементы *D2*, *D3* поступает на УВВ. Кроме того, сигнал ВЫВОД 6 Н устанавливает выход триггера *D6/9* в состояние «1» и формирует на выходе *D3/10* сигнал сопровождения СТР ПН (строб приемника). Приняв код данных, ПУ (печатающее устройство) «Роботрон 1156» снимает сигнал ЗП-ПН (запрос приемника) на входном разъеме XP1.14. После инверсии на *D1/6* сигнал ЗП-ПН переключается на контакт разъема XP1.51 (рис. 19) и при наличии сигнала ГП-ПН на контакте XP1.13 сигнал «1» с *D12/11* устанавливает выход триггера *D6/9* в нуль, тогда выходной сигнал СТР ПН снимается, что в свою очередь вновь приводит к формированию ПУ сигнала ЗП ПН на контакте XP1.14.

Режим записи РС ПРД. ЦП доступны по записи только два разряда РС ПРД 06 и 14. Для обращения к ним реализуется цикл ВЫВОД по адресу 177514_8. При этом с ДУС *D13/11* [см. рис. П.5(2)] формируется управляющий сигнал ВЫВОД 4 Н, который, поступая на *D21/1* [см. рис. П.5(4)], обеспечивает установку выхода триггера *D15/5* в зависимости от состояния разряда ДА 06 В.

Кроме того, сигнал ВЫВОД 4Н поступает на элемент *D12/1* [см. рис. П.5(2)], обеспечивая формирование выходного сигнала СБРОС ВУ Н с *D2/10*, при наличии эффективного уровня в магистрали К ДА 14 Н канала ЭВМ.

Режим считывания РС ПРД. Для считывания доступны четыре разряда РС ПРД: 05, 06, 07, 15. Соответствующие сигналы собираются на каналах *В* коммутатора *D17* [см. рис. П.5(3)]. При обращении к РС ПРД реализуется цикл ВВОД по адресу 177514_8, при этом на ДУС *D13/5* [см. рис. П.5(2)] формируется сигнал ВВОД 4 Н.

В отсутствие сигнала ВВОД ОН на управляющем входе коммутатора *D17/1* будет сигнал «1» и содержимое каналов *В* поступает на входы приемопередатчиков *D18*, которые открываются сигналом «0» с *D20/11* при наличии на его входе сигнала ВВОД 4 Н.

Сигнал ТРЕБОВАНИЕ ПЕРЕДАЧИ (разряд 07 РС) формируется от сигнала ФЛАГ В с *D11/6* [см. рис. П.5(4)], который подключается внешней перемычкой на контакт XP1.33 (см. рис. 19). Сигнал ФЛАГ В формируется при поступлении от ПУ «Роботрон 1156» сигнала ЗП ПВ и исходном единичном состоянии выхода триггера *D6/8*.

Сигнал РАЗРЕШЕНИЕ В (разряд 06 РС) определяется состоянием выхода триггера разрешения прерывания *D15/5* [см. рис. П.5(4)]. Разряд 05 РС ЗАВЕРШЕНО В при работе с ПУ «Роботрон 1156» не используется (см. рис. 19).

Работа передатчика интерфейса И7 в режиме прерывания. В отсутствие цикла печати или по его окончании выход триггера *D6/9* [см. рис. П.5(4)] находится в состоянии «0». Тогда при наличии сигнала ЗП ПН от ПУ «Роботрон 1156» (разъем XPC.14) на *D11/6* вырабатывается сигнал ФЛАГ В, который внешним монтажом (см. рис. 19) коммутируется на контакт разъема XP1.7 и сигналом «0» с выхода *D16/4* открывает вентили *D16/8* и *D16/11* для прохождения импульсов.

Если к рассматриваемому моменту выход триггера *D15/5* находился в состоянии «1», на *D16/10* формируется сигнал «1», вызывающий переключение выхода триггера *D6/5* в состояние «0». Тогда сигнал «1» с *D16/13* поступает на информационный вход триггера управления прерыванием *D15/12* и формирует на *D23/12* сигнал К ТПР Н, транслирующийся по каналу микроЭВМ в модуль ЦП.

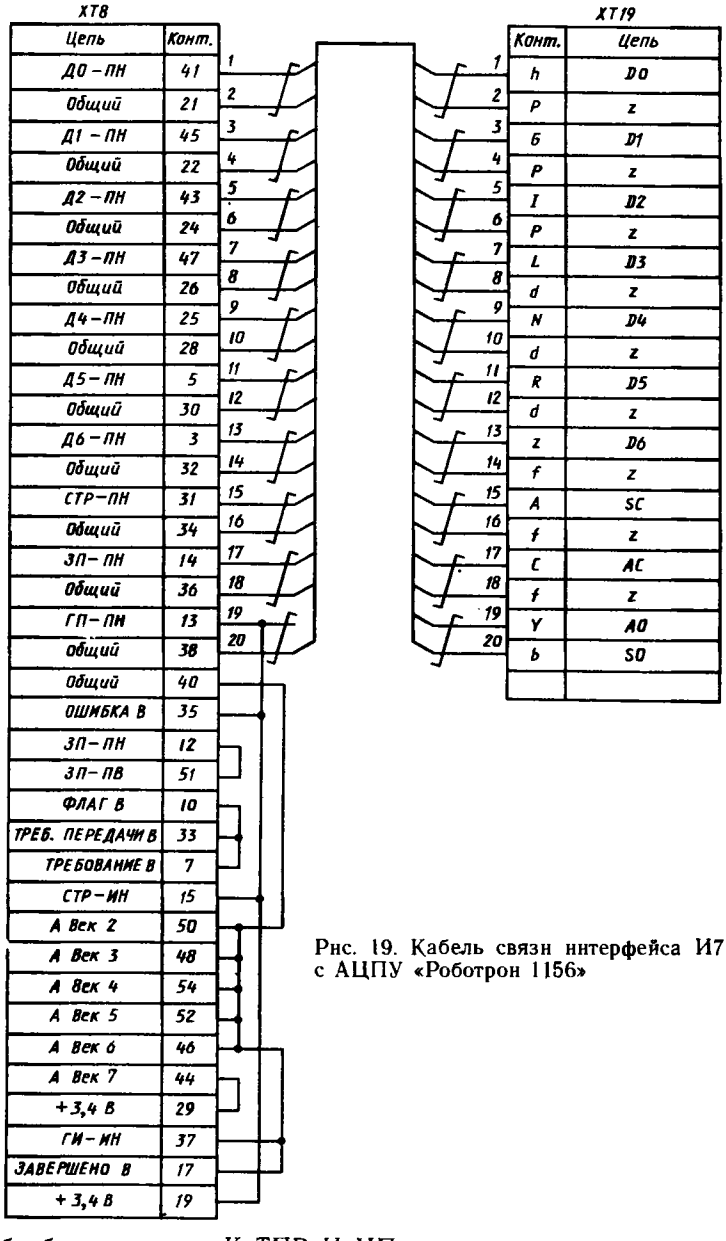


Рис. 19. Кабель связи интерфейса И7 с АЦПУ «Роботрон 1156»

После обработки сигнала К ТПР Н ЦП последовательно выдает в канал ЭВМ сигиалы К ВВОД Н и затем К ППР Н.

Сигнал К ВВОД Н, приходя на *D22/5* [см. рис. П.5(2)], формирует сигнал ВВОД В, устанавливающий выход триггера *D15/8* [см. рис. П.5(4)] в состояние «0», которое запрещает прохождение сигнала К ППР Н, приходящего на *D12/5*, за пределы интерфейса И7. Сигнал «1» с *D11/3* обеспечивает выработку сигнала ВЕК Н на *D21/12*. Сигнал ВЕК Н осуществляет установку выхода триггера *D6/5* в состояние «1» и снятие выходного сигнала К ТПР Н.

Кроме того, сигнал ВЕК Н, поступая на управляющие входы коммутаторов *D5*, *D10* [см. рис. П.5(3)], обеспечивает трансляцию через каналы *А* кода состояния внеш-

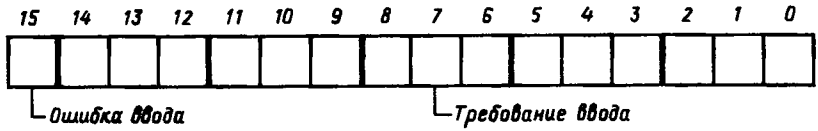


Рис. 20. Формат регистра состояния приемника интерфейса И7

них сигналов А ВЕК 2 — А ВЕК 7. С выходов коммутаторов код вектора прерывания транслируется в канал микроЭВМ через приемопередатчики *D24*, *D25*, которые открываются при наличии сигнала ВЕК Н на *D20/9*. Распайкой на внешней колодке (см. рис. 19) задается адрес вектора прерывания печатающего устройства 200_8. Сигнал К СИП Н формируется на *D23/6* [см. рис. П.5(4)] также от сигнала «1» с *D11/3*. Выход триггера *D15/9* сбрасывается в исходное нулевое состояние в любом последующем цикле ВВОД.

РС ПРМ. Оба разряда РС ПРМ (рис. 20) формируются УВВ и доступны ЦП только по считыванию. Считывание РС ПРМ осуществляется циклом ВВОД по адресу 177510_8. При этом на ДУС *D13/7* [см. рис. П.5(2)] формируется сигнал ВВОД О Н, обеспечивающий выбор каналов *А* коммутатора *D17* [см. рис. П.5(3)] и включение приемопередатчика *D18* для трансляции состояния выходов *D17* в канал микроЭВМ.

Режим считывания РД ПРМ. Информация внешнего устройства в виде сигналов Д7-ИН — Д0-ИН поступает на *D4*, *D1* [см. рис. П.5(3)], инвентируется и приходит на каналы *В* коммутаторов *D5*, *D10*, которые постоянно выбраны, если отсутствует сигнал ВЕК Н. Передача данных в канал микроЭВМ осуществляется при выполнении цикла ВВОД по адресу 177512_8. Тогда на ДУС *D13/6* [см. рис. П.5(2)] формируется сигнал ВВОД 2 Н, поступающий на элемент *D20/10* [см. рис. П.5(3)], что обеспечивает открытие приемопередатчиков *D25*, *D24*.

О выставленной информации УВВ должно проинформировать ЦП установкой разряда 07 РС ПРМ в состояние «1». При выполнении цикла считывания РД ПРМ на УВВ должен выдаваться сигнал, обеспечивающий сброс выставленных данных.

Выполнение команды СБРОС ВУ. Сигнал СБРОС ВУ формируется на *D2/10* [см. рис. П.5(2)] при засылке сигнала «1» в разряд 14 РС ПРД или на *D2/12* при поступлении сигнала управления каналом К СБРОС Н на *D22/13*. Кроме того, от сигнала К СБРОС Н на *D21/8* вырабатывается сигнал СБРОС Н, обеспечивающий установку в состояние «0» выходов РД ПРД *D9*, *D7* [см. рис. П.5(4)] и триггеров *D6/9*, *D15/9*, *D15/5*.

3. Интерфейс устройства последовательного обмена

Устройство последовательного обмена (УПО) предназначено для подсоединения к каналу микроЭВМ «Электроника-60» УВВ, обменивающихся с микроЭВМ данными в последовательном коде.

Устройство содержит четыре адресуемых регистра:

регистр состояния приемника РС ПРМ;

регистр данных приемника РД ПРМ;

регистр состояния передатчика РС ПРД;

регистр данных передатчика РД ПРД.

Адресация регистров устройства задается с помощью перемычек *Е3 — Е12* (табл. 17). Перемычка, установленная в положение «*а*», соответствует логической «1», в положение «*б*» — логическому «0» в выбранном разряде адреса.

Перемычки, установленные на предприятии-изготовителе, определяют следующие адреса регистров:

РС ПРМ — 177560_8;

РД ПРМ — 177562_8;

РС ПРД — 177564_8;
РД ПРД — 177566_8.

Связь устройства с УВВ осуществляется через кабель, подсоединяемый к разъему XT1 (табл. 18).

Режим работы устройства с УВВ задается в соответствии с табл. 19.

В основе устройства лежит принцип преобразования параллельного кода, принятого из микроЭВМ, в последовательный и передача его по двухпроводиой линии к удаленному устройству пользователя.

Кроме того, устройство способио к обратному преобразованию принятого из линии последовательного кода в параллельный и передача последнего в микроЭВМ.

Для связи устройства с удалеиным внешним абонентом используется стартстопный метод передачи, в котором восьмибитные знаки передаются как отдельные элементы-посылки, которые могут разделяться произвольными времеиными интервалами. В начале каждой посылки вводится пауза — «старт-бит», ее значение равно иулю, чтобы обеспечить переход от предыдущего знака к последующему, в конце посылки передается «стоп-бит», его значение равно едииице.

Для обеспечеиия синхронизации и восстановления знаков состояние «стоп-бит» может иметь переменную длину. В даином устройстве приията следующая структура передаваемой посылки: «старт-бит + 8 бит информации + 2 стоп-бита» (рис. 21).

Когда приемник обнаружит переход от стопового к стартовому биту, запускается местiный синхрогенератор и линия связи стробируется в соответствии с частотой местного синхрогенератора.

Прежде чем рассинхронизация местного синхрогенератора и синхрогенератора передатчика увеличится настолько, что это явится причиной ошибки, поступает сто-

Таблица 17

Адресация регистров интерфейса УПО

Разряд адреса	Перемычка, замыкаемая для установки в разряде логической «1»	Перемычка, замыкаемая для установки в разряде логического «0»	Разряд адреса	Перемычка, замыкаемая для установки в разряде логической «1»	Перемычка, замыкаемая для установки в разряде логического «0»
03	E3.а	E3.б	08	E8.а	E8.б
04	E4.а	E4.б	09	E9.а	E9.б
05	E5.а	E5.б	10	E10.а	E10.б
06	E6.а	E6.б	11	E10.а	E10.б
07	E7.а	E7.б	12	E12.а	E12.б

Таблица 18

Сигиалы на разъеме связи с УВВ интерфейса УПО

Номер контакта	Сигиал	Примечание
1	20 мА вх. пер.	—
2	20 мА. вых. пер.	—
3	Вх. разр. пер.	Сигнал разрешения работы передатчика
4	20 мА. вых. пр.	
5	Входные данные	Стык С2
6	20 мА. вх. пр.	—
7	— 12 В	—
8	Общий	—

Таблица 19

Выбор режима работы интерфейса УПО

Режим работы	Устанавливаемые перемычки	Примечание
Активный	*E1* и *E19*	Ток для линии связи, равиый 20 мА, вырабатывает УПО
Пассивиый		Ток для линии связи, равиый 20 мА, вырабатывает УВВ
Управлеиие печатающим устройством ИЗОТ-0232	*E2, E18, E19*	—

Рис. 21. Формат восьмибитной посылки

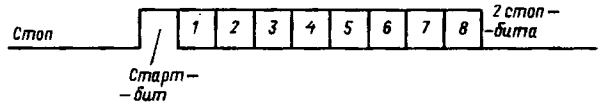
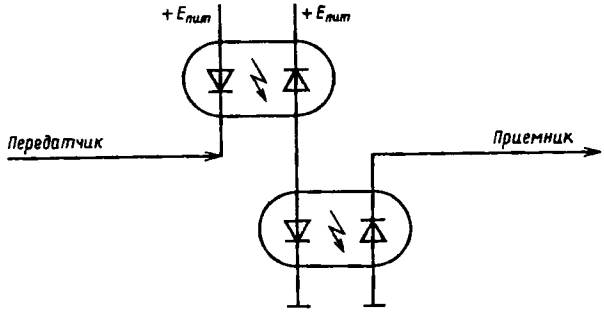


Рис. 22. Гальваническая развязка линии УПО — микроЭВМ



повый бит, означающий конец знака, синхрогенератор ПРМ отключается, переходя в режим ожидания «старт-бита».

Передача информации происходит через гальванически развязаниую цепь (рис 22).

При обращении к устройству ЦП передает в канал микроЭВМ 16-разрядный адрес в сопровождении сигнала К ВУ Н.

Сигиалы адреса разрядов 03—12 совместно с сигиалом К ВУ Н через приемники *D31*, *D41*, *D51* [см. рис. П.6(2)] поступают на схему адресного компаратора (*D24*, *D25*, *D26*, *D36*, *D50*). При обращении к регистрам устройства на *D50/4* формируется сигнал «1», обеспечивающий выработку с БУРА *D55/1* сигнала ВБ Н. Сигнал ВБ Н фиксируется в БУРА по приходу сигнала К СИА Н и разрешает работу ДУС *D54*.

Коды адреса К ДА 01 Н — К ДА 02 Н, инвертируясь на приемнике *D46* [см. рис. П.6(2)], по сигналу К СИА Н фиксируются в БУРА *D55* и с его выходов поступают на ДУС *D54*, обеспечивая обращение к одному из четырех регистров устройства

По приходе сигнала управления К ВВОД Н на *D50/13* или К ВЫВОД Н на *D50/9* с одного из выходов ДУС *D54* вырабатывается управляющий сигнал (табл. 20), который помимо прочих действий, поступая на сборку *D53*, формирует на *D52/9* сигнал К СИП Н.

После включения питания на основе кварцевого резонатора ВР1 [см. рис. П.6(3)] начинает работать синхрогенератор, формирующий на *D12/6* импульсы с частотой 4, 608 МГц. Далее, эта частота поступает на делители *D7*, *D6*, *D1*, *D3*, выходы которых

Таблица 20

Сигналы ДУС интерфейса УПО

Программная операция	Восьмеричный код в разрядах 00—02	Управляющие сигналы канала		Управляющие сигналы дешифратора
		К ВВОД Н	К ВЫВОД Н	
Запись РС ПРМ	0	—	+	ВЫВОД 0 Н
Считывание РС ПРМ	0	+	—	ВВОД 0 Н
Считывание РД ПРМ	2	+	—	ВВОД 2 Н
Запись РС ПРД	4	—	+	ВЫВОД 4 Н
Считывание РС ПРД	4	+	—	ВВОД 4 Н
Запись РД ПРД	6	—	+	ВЫВОД 6 Н
Считывание вектора прерывания	6	+	—	ВВОД 6 Н

Таблица 21

Задание скорости обмена

Скорость обмена, бит/с	Устанавливаемые перемычки			Скорость обмена, бит/с	Устанавливаемые перемычки		
	E23	E22	E21		E23	E22	E21
75	—	—	—	1200	+	—	—
150	—	—	+	2400	+	—	+
300	—	+	—	4800	+	+	—
600	—	+	+	9600	+	+	+

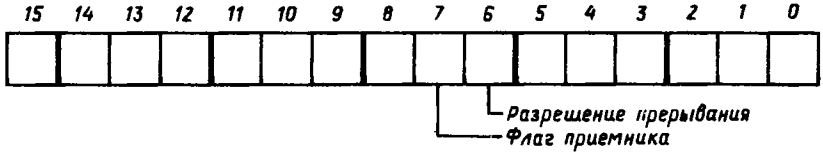


Рис. 23. Формат регистра состояния приемника УПО

подключены к коммутатору *D2*. Выбор канала коммутатора задается перемычками *E21—K23*. Частота импульсов с выхода коммутатора *D2/5* определяет скорость обмена между устройствами (табл. 21).

РС ПРМ. Содержит два разряда (рис. 23).

Разряд 07 — ФЛАГ ПРИЕМНИКА — устанавливается схемой УПО в состояние «1», если прием информации из линии закончен и РД ПРМ заполнен. Доступен ЦП только по чтению. Обнуление разряда производится также сигналом К СБРОС Н или после считывания РД ПРМ.

Разряд 06 — РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — состояние разряда устанавливается ЦП для управления работой модуля УПО в режиме прерывания по готовности ПРМ. Доступен ЦП по записи и чтению. Содержимое разряда обнуляется по сигналу К СБРОС Н.

РС ПРД. Содержит четыре разряда (рис. 24).

Разряд 07 — ФЛАГ ПЕРЕДАТЧИКА — устанавливается схемой УПО в состояние «1», если РД ПРД свободен от информации. Сбрасывается в нуль после загрузки РД ПРД и вновь устанавливается сразу после начала передачи; доступен ЦП только по считыванию. Содержимое разряда устанавливается также сигналом К СБРОС Н.

Разряд 06 — РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — установкой этого разряда управляет ЦП, разрешая или запрещая работу ПРД УПО в режиме прерывания по его готовности. Доступен ЦП по записи и считыванию. Обнуление разряда производится также сигналом К СБРОС Н.

Разряд 02 — ПРОВЕРКА РАБОТЫ — установка в «1» этого разряда обеспечивает передачу информации не в линию, а на вход приемника. Состояние разряда формируется ЦП и доступно ему по записи и считыванию. Обнуление разряда осуществляется также сигналом К СБРОС Н.

Разряд 00 — РАЗРЫВ ЛИНИИ — установка разряда в «1» приводит линию пере-

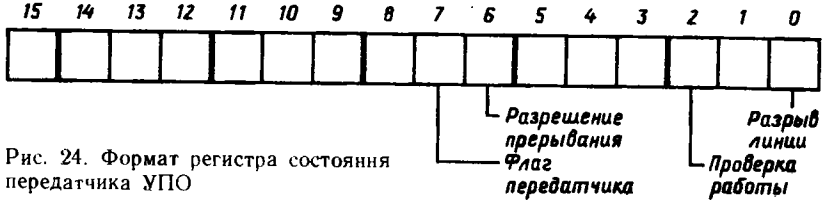


Рис. 24. Формат регистра состояния передатчика УПО

дачи в состояние «разрыв». Состояние разряда формируется ЦП и доступно ему по записи и считыванию. Обнуление разряда производится также сигналом К СБРОС Н.

Прием информации из линии. Если в промежуточной цепи протекает ток, то светодиод оптрона *EB2* [см. рис. П.6(4)] излучает, обеспечивая засветку фотодиода оптрона, что вызывает открывание транзистора *VT10* и формирование сигнала «0» на *D12/10*, поступающего на вход коммутатора *D32/5*. Тогда в отсутствие сигнала ПРОВЕРКА РАБОТЫ В, на выходе коммутатора *D32/9* формируется сигнал «1», т. е. состояние «стоп-бит». Этот сигнал «1», поступая на управляющий вход счетчика *D17/2*, при условии исходного единичного состояния выхода триггера *D4/9* обеспечивает удержание выходов счетчика *D17* в сброшенном состоянии и запрет счета им импульсов местного синхрогенератора.

При передаче в линию импульса «старт-бит» с выхода коммутатора *D32/9* вырабатывается сигнал «0», разрешающий работу счетчика *D17*. Если этот импульс случайный (помеха) и заканчивается раньше, чем счетчик *D17* досчитает до 8, вновь происходит сброс и запрет его работы. Если импульс оговоренной длительности, то сигналом «1» с выхода счетчика *D17/11* выход триггера *D4/9* будет установлен в нуль, разрешая счетчику *D17* синхронизацию приема любого состояния из линии. Тогда импульсы с выхода счетчика *D17/11*, проинвертировавшись на *D23/4*, срезами сигналов «1» обеспечивают загрузку поступающего из линии бита информации с выхода коммутатора *D32/9* в сдвиговый буферный регистр *D29*, *D27*. Кроме того, каждый импульс с выхода счетчика *D17/11* будет подсчитываться счетчиком *D18*, разрешение работы которого также получено сигналом «0» с выхода триггера *D4/9*.

После приема из линии девяти бит на выходе счетчика *D18* формируется код, обеспечивающий выработку сигнала «0» на *D8/11*, который вновь осуществит установку выхода триггера *D4/9* в состояние «1». Сигнал «1» с выхода триггера *D4/9* обеспечивает загрузку РД ПРМ (*D30*, *D28*) содержимым сдвигового буферного регистра (*D29*, *D27*); «старт-бит» после девяти циклов сдвига уже «выпал» с *D27/10*. Этот сигнал «1» устанавливает выход триггера *D20/6* в состояние «1», т. е. состояние РД ПРД ЗАПОЛНЕН, что возможно при наличии на информационном входе этого триггера сигнала «0» (отсутствие состояния ОБРЫВ ЛИНИИ).

Кроме того, сигнал «1» с выхода триггера *D4/9* обеспечивает останов работы и сброс выходов счетчика *D18*.

Контроль состояния ОБРЫВ ЛИНИИ. Если нет передачи, на выходе коммутатора *D32/9* [см. рис. П.6(4)] постоянно формируется сигнал «1» (состояние «стоп-бит»), обеспечивающий через *D23/10* установку выхода триггера *D19/5* в состояние «1». По приходе из линии «старт-бита» сигнал асинхронной установки со входа триггера *D19/4* снимается и по началу цикла загрузки буферного сдвигового регистра перепадом в «1» с выхода триггера *D4/8* выход триггера *D19/5* устанавливается в состояние «0».

Если по окончании передачи 8 бит информации из линии не будет принят «стоп-бит», на выходе триггера *D19/5* сохранится сигнал «0». Кроме того, при отсутствии «стоп-бита» на выходе коммутатора *D32/9* по окончании приема посылки автоматически начнется цикл приема ложного «пустого» байта. Тогда в момент начала его приема фронтом сигнала «1» с выхода триггера *D4/8* выход триггера *D19/8* установится состояние «1», что обеспечит по окончании приема «пустого» байта принудительный сброс выхода триггера *D20/6* в нуль.

Кроме того, сигнал «1» с выхода триггера *D19/8* формирует на выходе *D52/12* сигнал К СТП Н, который при наличии перемычки *E24* передается в канал микроЭВМ и может быть использован, в частности, для засветки резервной лампы индикации на передней панели.

Обычно описанная ситуация возникает при отключении разъемов кабеля «Дисплей — микроЭВМ».

Снятие состояния ОБРЫВ ЛИНИИ происходит при подключении кабеля и по началу передачи.

Считывание РД ПРМ. Для считывания РД ПРМ УПО реализуется цикл ВВОД по адресу 177562_8. При этом с ДУС *D54/6* [см. рис. П.6(2)] формируется сигнал ВВОД 2 Н, поступающий на *D23/1* [см. рис. П.6(4)] и обеспечивающий, во-первых, прохождение через вентиль *D13/10* состояния разряда 01 РД ПРМ и, во-вторых, трансляцию через коммутатор *D33* (по верхним каналам) разрядов РД ПРМ 03—05. Оставшиеся четыре разряда подключены к каналам «0» коммутаторов *D35*, *D34* и транслируются на их выходы в отсутствие эффективных уровней сигналов ДУС на входе элементов *D49*, *D56*. С выходов коммутаторов содержимое РД ПРМ в виде сигналов Двых 07 В — Двых 00 В поступает на приемопередатчики *D41*, *D46* [см. рис. П.6(2)] и транслируется в канал микроЭВМ при наличии сигнала разрешения (сигнал «0» на выводах *7*, *9*), который формируется по сигналу ВВОД 2 Н на выходе *D24/1*.

Кроме того, по окончании цикла срезом сигнала ВВОД 2 Н запускается одновибратор *D38/1* [см. рис. П.6(4)], импульс которого осуществляет сброс триггера *D20/6* в нуль (состояние РД ПРМ ПУСТ).

Разгрузка РД ПРД и выдача информации в линию. Для загрузки РД ПРД реализуется цикл ВЫВОД по адресу 177566_8. При этом, если в момент загрузки передачи не было, то передатчик автоматически запускается в режим передачи в линию.

Если в момент загрузки шла передача информации в линию, тогда передача вновь загруженного байта начнется после окончания передачи в линию предыдущего байта.

Байт данных по каналу микроЭВМ поступает на входы приемопередатчиков *D41*, *D46* [см. рис. П.6(2)] и после инверсии в виде сигналов Двх 00 В — Двх 07 В, затем передается на входы РД ПРД *D40*, *D45* [см. рис. П.6(3)].

Одновременно с кодом данных из канала микроЭВМ на вход приемника *D50/13* [см. рис П.6(2)] поступает сигнал К ВЫВОД Н, который обеспечивает формирование на ДУС *D54/12* сигнал ВЫВОД 6 Н. Сигнал ВЫВОД 6 Н, поступая на вход одновибратора *D43/3* [см. рис. П.6(3)], обеспечивает его запуск. Фронт сигнала «1», приходящего с выхода одновибратора *D43/6*, обеспечивает загрузку РД ПРД *D40*, *D45* данными из канала, а импульс с выхода *D43/1* устанавливает триггер *D9/8* в состояние «0», т. е. состояние РД ПРД ЗАНЯТ.

Сигнал «1» с выхода триггера *D9/9* через открытый вентиль *D21/10* (на контакте разъема ХТ1.3 «Вх. разр. передачи» постоянно сигнал «0») обеспечивает установку в состояние «1» триггера *D14/5*, так как на его синхровходе импульсы $f_{синхр}$ синхрогенератора. Если в этот момент режим передачи отсутствует, сигнал «1» с выхода триггера *D14/8* открывает вентиль *D13* для прохождения импульса с выхода триггера *D14/5*. Тогда сигнал «0» с *D13/6* устанавливает выход триггера *D9/5* в нуль и обеспечивает передачу в линию «старт-бита».

Кроме того, сигнал «0» с *D13/6*, проинвертировавшись на *D56/4*, переводит сдвиговый буферный регистр *D39*, *D44* в режим параллельной загрузки.

Одновременно сформированный на *D13/3* сигнал «1» открывает вентиль *D13/12* для прохождения импульсов синхрогенератора $f_{синхр}$ на вход триггера *D14/11* и устанавливает его выход *D14/8* в состояние «0». Это, во-первых, обеспечит формирование на *D56/4* фронта сигнала «0», по которому содержимое РД ПРД (элементы *D40*, *D45*) загружается в сдвиговый выходной регистр (элементы *D39*, *D44*). Во-вторых, сигнал «0» с выхода триггера *D14/8* разрешит работу счетчиков *D15*, *D16*. Кроме того, фронт сигнала «1» с выхода триггера *D14/9* обеспечит выработку сигнала ФЛ ПЕР В (состояние РД ПРД СВОБОДЕН) на выходе триггера *D9/8*.

Теперь по каждому шестнадцатому импульсу $f_{синхр}$ на выходе счетчика *D16/11* формируется фронт сигнала «0», который, во-первых, обеспечивает цикл сдвига информации в регистрах *D39*, *D44* и, во-вторых, увеличивает состояние счетчика *D15* на единицу.

Информация с выхода регистра *D44/10* через триггер *D9/5* передается на линию, причем после восьми циклов сдвига на выходе *D44/10* всегда появляется сигнал «1», принятый в начале циклов сдвига со входа регистра *D39/1*.

После одиниадцати циклов сдвига по коду, сформированиому на выходах счетчика *D15*, сборка *D22/6* формирует сигнал «0», который переводит выход триггера *D14/8* в состояние «0». Счетчики *D15*, *D16* сбрасываются в иуль и схема передатчика виовь возобиовляет цикл передачи, если РД ПРД заполнеи информацией (сигнал «1» на выходе триггера *D9/9*).

При устаиовке разряда 00 РС ПРД сигнал «0» с выхода триггера *D10/6*, поступая на *D5/9*, обеспечивает гашение светодиода оптрона *EB1*, закрытие транзистора *VT7*, т. е. вызывает состояние РАЗРЫВ ЛИНИИ.

При установке разряда 02 РС ПРД сигнал «1» с выхода трнггера *D11/5*, поступая на вход коммутатора *D32/10* [см. рис. П.6(4)], обеспечивает передачу на вход схемы приемиика не сигналов из линии (с элемента *D12/10*), а сигналов ВЫХОД ПОСЛ, формируемых на выходе триггера *D9/6* [см. рис. П.6(3)].

При установке разряда 06 РС ПРД сигнал «1» с выхода триггера *D11/9* [см. рис. П.6(3)] обеспечивает сигналом РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ Б В работу УПО в режиме прерывания по готовности передатчика.

Считывание РС ПРД. Цикл считывания состояния РС ПРД реализуется циклом ВВОД по адресу 177564_8. При этом на ДУС *D54/5* [см. рнс. П.6(2)] формируется сигнал ВВОД 4 Н, поступающий иа элементы *D49/4*, *D49/13* [см. рис. П.6(4)], формируя иа их выходах сигнал «1». Это обеспечивает выбор каналов *3* коммутаторов *D34*, *D35* [см. рис. П.6(4)], на входах которых присутствуют сигиалы РС ПРД с *D10/5*, *D11*, *D9/8* [см. рис. П.6(3)].

С выходов коммутаторов *D34*, *D35* [см. рис. П.6(4)] информация поступает на приемопередатчики *D41*, *D46* [см. рис. П.6(2)] и транслируется в канал микроЭВМ при наличии на входе сборки *D24/4* сигиала ВВОД 4 Н.

Загрузка РС ПРМ. Осуществляется циклом ВЫВОД по адресу 177560_8. При этом иа ДУС *D54/9* [см. рис. П.6(2)] формируется сигнал ВЫВОД 0 Н, поступающий на *D56/13* [см. рис. П.6(4)], и с его выхода фроитом сигнала «1» обеспечиваст установку триггера *D20/9* по состоянию разряда 06 кода даиных, выставлеиных в каиал микроЭВМ.

Считыванне РС ПРМ. Осуществляется циклом ВВОД по адресу 177560_8. При этом на ДУС *D54/7* [см. рис. П.6(2)] формируется сигнал ВВОД 0 Н, поступающий иа *D49/12* [см. рис. П.6(4)], что при отсутствии других сигналов ДУС обеспечивает выбор каналов *2* коммутаторов *D34*, *D35*. Ко входам каналов *2* коммутатора *D35* подключены выходы триггера *D20/6* и триггера *D20/9*. Входы коммутатора *D34* соединиены с общим проводом. С выходов коммутаторов информация поступает на приемопередатчики *D41*, *D46* [см. рис. П.6(2)] и далее транслируется в канал микроЭВМ при иаличии на входе *D24/5* сигнала ВВОД 0 Н.

Работа УПО в режиме прерывания. Рассмотрим работу схемы на примере обработки требования прерывания приемиика. При установленном разряде 06 РС ПРМ на выходе триггера *D20/9* [см. рис. П.6(4)] вырабатывается сигнал «1», который, собираясь с сигналом «1» с выхода триггера *D20/6*, формируемым при загрузке информацией РД ПРМ, устанавливает фронтом сигнала «1» с *D21/6* [см. рис. П.6(2)] выход триггера *D37/5* в состояние «1». Тогда иа *D47/3* формируется сигнал «0», поступающий иа вход триггера *D42/2* и обеспечивающий на *D52/3* выработку сигиала К ТПР Н.

После обработки сигиала К ТПР Н ЦП последовательно выдает в каиал микроЭВМ сигналы К ВВОД Н и К ППР Н. Сигнал К ВВОД Н, инвертируясь иа *D50/11*, обеспечивает установку выхода триггера *D42/5* в нуль, запрещая этим трансляцию через вентиль *D48/13* сигнала К ППР Н.

По приходе иа *D50/1* сигиала К ППР Н сигнал «0» на *D47/8*, во-первых, сбрасывает выход трнггера *D37/5* в нуль и снимает сигнал К ТПР Н и, во-вторых, транслируясь через *D48/8*, обеспечивает выработку сигнала ВЕК Н.

По сигналу ВЕК Н на *D48/6* формируется сигиал ВЕК Н+ВВОД 6 Н, который, поступая на *D49/5* [см. рис. П.6(4)] в виде сигиала «1» с его выхода, обеспечивает

выбор каиалов *1* коммутаторов *D35*, *D34* и, поступая иа *D56/5*, также сигналом «1» с выхода разрешает трансляцию через «иижиие» каиалы коммутатора *D33*.

К входам выбранных каналов коммутаторов *D33* — *D35* подключается код вектора прерывания, задаваемый перемычками *E13—E17* (табл. 22). На заводе-изготовителе перемычками задан код вектора прерывания 60_8.

Таблица 22

Формирование кода вектора прерывания интерфейса УПО

Разряд	Номер перемычки, замыкаемой для установки в разряде логического «0»
03	E13
04	E14
05	E15
06	E16
07	E17

С выходов коммутаторов код вектора прерывания в виде сигналов Двых 07 В — Двых 03 В поступает в канал микроЭВМ через приемопередатчики *D41*, *D46* [см. рис. П.6(2)]. Разрешение работы приемопередатчиков обеспечивается сигналом «0» с *D49/3* при поступлении на сборку *D24/2* сигнала ВЕК Н+ВЫВОД 6 Н. Сигнал сопровождения информации в канале К СИП Н формируется на *D52/9* при поступлении на сборку *D53/1* сигнала ВЕК Н.

При работе схемы обработки требования прерывания передатчика по приходе сигнала К ППР Н с *D48/11* [см. рис. П.6(2)] формируется сигнал ВЕК 2 Н, поступающий затем на вход коммутатора *D34/5* [см. рис. П.6(4)] и модифицирующий код вектора прерывания по магистрали К ДА 02 Н в 64_8.

Контрольное чтение кода вектора прерывания. Контрольное чтение кода вектора прерывания реализуется штатным циклом ВВОД по адресу 177566_8. При этом на ДУС *D54/4* [см. рис. П.6(2)] возникает сигнал ВВОД 6 Н, который на выходе *D48/6* формирует сигнал ВЕК Н+ВВОД 6 Н. Последний обеспечивает трансляцию через коммутаторы *D33* — *D35* [см. рис. П.6(4)] кода вектора прерывания на приемопередатчики *D41*, *D46* [см. рис. П.6(2)], находящиеся в открытом состоянии при наличии на *D24/2* сигнала ВЕК Н — ВВОД 6 Н.

4. Интерфейс И4

Интерфейс И4 предназначен для выполнения трех функций в составе вычислительного комплекса:

обмена информацией между каналом микроЭВМ «Электроника-60» и контроллером накопителя на гибких магнитных дисках (НГМД);

регенерации динамической памяти в режиме прямого доступа;

начальной загрузки системы.

Интерфейс И4 содержит два адресуемых регистра: регистр команд и состояния РК; регистр данных РД.

Адрес устройства задается с помощью перемычек (табл. 23).

Таблица 23

Адресация регистров интерфейса И4

Разряд адреса	Номер перемычки, замыкаемой для установки в разряде логической «1»	Номер перемычки, замыкаемой для установки в разряде логического «0»	Разряд адреса	Номер перемычки, замыкаемой для установки в разряде логической «1»	Номер перемычки, замыкаемой для установки в разряде логического «0»
02	E22	E23	08	E9	E10
03	E24	E26	09	E3	E5
04	E27	E28	10	E4	E5
05	E31	E30	11	E14	E15
06	E20	E21	12	E11	E13
07	E17	E18			

Таблица 24

Сигналы на разъеме связи с контроллером НГМД интерфейса И4

Контакт	Сигнал	Пояснение
39	СДВИГ Н	Синхросигнал контроллера, обеспечивающий сдвиг данных в буферном сдвиговом регистре при приеме или выдаче данных
31	ДАННЫЕ Н	Двунаправленная линия последовательной передачи данных
43	ВЫВОД Н	Сигнал контроллера ГМД, обозначающий направление передачи данных: «0» — НГМД→И4 «1» — И4→НГМД
23	ЗАПРОС ПЕРЕДАЧИ Н	Сигнал контроллера НГМД, формируемый им после приема кода команды для информации И4, что контроллер готов к обмену данных
27	ЗАВЕРШЕНО Н	Сигнал контроллера НГМД, выставляемый по окончании выполнения текущей команды
11	ПУСК Н	Сигнал формируется И4 для инициирования (начала) передачи комаиды или байта между И4 и НГМД. Если ПУСК Н вырабатывается при установленном сигнале ЗАВЕРШЕНО Н, то передаваемый байт будет восприниматься как комаида, иначе — как информация (данные, адрес дорожки или сектора, код состояния или ошибки)
15	ОШИБКА Н	Сигнал контроллера НГМД, формируемый им при обнаружении ошибки. При этом в И4 передается код ошибки и прерывается выполиение текущей комаиды (формируется ЗАВЕРШЕНО Н.) Сигиал ОШИБКА Н снимается при передаче на И4 либо кода иовой команды, либо сигнала НАЧ УСТ Н
19	НАЧ УСТ Н	Сигиал интерфейса И4, обеспечивающий запуск контроллера НГМД для выхода на нулевую дорожку и считывания информации первого сектора первой дорожки нулевого привода. На время выполиения НАЧ УСТ сигнал ЗАВЕРШЕНО Н снимается

На заводе-изготовителе перемычками задаются следующие адреса регистров интерфейса И4: РК — 177170_8; РД — 177172_8.

Связь устройства с контроллером НГМД осуществляется через разъем кабеля ХС (табл. 24).

Обращаясь к интерфейсу И4, ЦП выставляет в канал микроЭВМ адрес, младший байт которого поступает на приемопередатчики *D57*, *D58* [см. рис. П.7(2)], а старший байт совместно с сигналом К ВУ Н на приемники *D60*, *D59*. После инверсии код адреса сигналами ДА 12 В — ДА 02 В поступает иа адресный компаратор, выполиенный на элементах *D49*, *D37*, *D50*, *D38*, *D6* [см. рис. П.7(3)]. При обращении к иитерфейсу иа *D60/12* вырабатывается сигнал «1», который по приходе сигнала К СИА Н на *D55/14* фиксируется иа выходе БУРА *D44/2*, формируя иа *D33/3* сигнал УСТР. ВЫБР В.

Разряд адреса 01 также запоминается в БУРА *D44/5* и используется для выбора регистров устройства РК или РД во время канального цикла обращения к ним.

При поступлении на иитерфейс сигналов К ВВОД Н или К ВЫВОД Н они, проиивертировавшись соответственно иа *D55/6* или *D55/1* [см. рис. П.7(2)], формируют иа *D21/1* сигнал «0» [см. рис. П.7(3)]. Тогда при условии выбора устройства (сигнал «0» на *D8/4*) на выходе *D11/12* формируется сигиал «1», обеспечивающий выработку сигнала К СИП Н с *D9/9*.

Регистр команд и состояния. РК интерфейса И4 содержит 10 разрядов: (рис. 25).

Разряд 00 — ПУСК — осуществляет пуск комаиды НГМД. Устанавливается ЦП и доступеи ему только по записи.

Разряды 01—03 — ВЫБОР ФУНКЦИИ — код на этих разрядах соответствует

Рис. 25. Формат регистра состояния интерфейса И4

одной из возможных функций НГМД (см. табл. 25). Эти разряды устанавливаются ЦП и доступны ему только по записи.

Разряд 04 — ВЫБОР ПРИВОДА — состояние этого разряда обеспечивает выбор одного из двух возможных дисководов. Устанавливается ЦП и доступен ему только по записи.

Разряд 05 — ЗАВЕРШЕНО — указывает на завершение выполнения текущей команды. Устанавливается контроллером НГМД и доступен ЦП только по чтению. Используется для включения схемы запроса прерывания.

Разряды 06 — РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — установка этого разряда разрешает интерфейсу И4 работу в режиме прерывания. Устанавливается ЦП и доступен ему по записи и чтению. Сбрасывается в нуль сигналом К СБРОС Н, но не реагирует на команду НАЧАЛЬНАЯ УСТАНОВКА.

Разряд 07 — ТРЕБОВАНИЕ ПЕРЕДАЧИ — состояние разряда устанавливается контроллером НГМД при необходимости обмена данными между ним и интерфейсом И4. Доступен ЦП только по чтению.

Разряд 14 — НАЧАЛЬНАЯ УСТАНОВКА — состоянием разряда управляет ЦП для установки схем НГМД в исходное состояние. Доступен ЦП только по записи.

Разряд 15 — ОШИБКА. Содержимое разряда устанавливается контроллером НГМД при возникновении ошибки при его функционировании. Доступен ЦП только по чтению.

РК очищается подачей на контроллер НГМД кода новой функции или командой НАЧАЛЬНАЯ УСТАНОВКА.

Считывание РК. Считывание обеспечивается штатным циклом ВВОД по адресу 177170_8. Для чтения ЦП доступны четыре разряда РК: 05—07, 15.

При обращении к РК интерфейса на *D20/6* [см. рис. П.7(3)] формируется сигнал РК В. Сигнал РК В поступает на *D33/13* и по приходе с канального приемника сигнала ВВОД В на *D33/1* формируется сигнал «1», открывающий вентиль *D9/5* для прохождения в канал микроЭВМ кода состояния входного сигнала ОШИБКА Н, поступающего от контроллера НГМД на *D10/1*.

Разряды 05 и 07 РК устанавливаются от сигналов контроллера ЗАВЕРШЕНО Н и ЗАПРОС ПЕРЕД Н, поступающих на *D10*. Проинвертировавшись, эти сигналы поступают на вентиль *D12*, открытый сигналом «1», обусловленным исходным состоянием выхода триггера *D24/8*. С выходов вентиля *D12* в виде сигналов ГОТОВО В и ТРЕБ ПЕРЕД В они поступают на каналы В коммутатора *D35* [см. рис. П.7(2)] и транслируются через них при наличии активного уровня РК В на входе управления. С выходов *D35* информация поступает на каналы *А* коммутатора *D34*, включенные на передачу пассивным уровнем сигнала ВЕКТОР В.

Таблица 25

Коды функций контроллера НГМД

Разряды			Функции
03	02	01	
0	0	0	Заполнение буфера НГМД
0	0	1	Считывание буфера НГМД
0	1	0	Запись сектора
1	0	0	Не используется
1	0	1	Считывание регистра ошибки и состояния
1	1	0	Запись сектора с меткой
1	1	1	Считывание регистра ошибки
0	1	1	чтение сектора

С выходов коммутатора *D34* информацня поступает на прнемопередатчнк *D58*, открытый для трансляцни снгналом РАЗР ВВОДА Н, сформированном на *D22/1* [см. рнс. П.7(4)] от сигнала «1» с *D20/11*, при наличии на входах этого элемента снгналов УСТР ВЫБР В и ВВОД В.

Разряд 06 РК устанавливается по состоянию выхода триггера *D2/5* [см. рис. П.7(4)], сигнал которого РАЗР ПРЕР В поступает на коммутатор *D35/10* [см. рнс. П.7(2)] н далее распространяется в канал микроЭВМ при условиях, аналогичных рассмотренным выше.

Загрузка РК. Для установки разрядов РК реализуется канальный цикл ВЫВОД по адресу 177170_8. Прн этом на *D20/6* [см. рис. П.7(3)] формируется снгнал РК В, который, поступая на *D33/4*, совместно с сигналом ВЫВОД В обеспечивает выработку на *D13/6* снгнала ВЫВОД 0 В. Сигнал ВЫВОД 0 В, поступая на *D32/2*, открывает его для прохождення сигнала ДА 14 В. Тогда при наличин логической единицы в разряде 14 канала микроЭВМ на *D9/3* формнруется сигнал НАЧ УСТ Н, поступающий на коитроллер НГМД для нормализации его схем и механизмов. Кроме того, снгнал ОЧИСТКА Н с *D32/6* обеспечивает сброс в нуль регистров *D47*, *D36* [см. рис. П. 7(2)].

По окончании сигнала ВЫВОД 0 В на *D14/12* [см. рис. П.7(4)] формируется фронт снгнала «1», обеспечивающнй установку выхода триггера *D2/5* по состоянию разряда 06 канала микроЭВМ.

Командный байт можно передать на контроллер НГМД при условии выработкн им сигнала ЗАВЕРШЕНО Н.

Тогда разряды 04—01 канала мнкроЭВМ, преобразуясь на приемопередатчнках *D57*, *D58* [см. рис. П.7(2)] в снгналы ДА 04 В — ДА 01 В, после инверсии на *D46*, *D48* поступают на входы сдвнговых регистров *D47*, *D36*. При наличнн сигнала ЗАВЕРШЕНО Н на *D10/5* [см. рис. П.7(3)] с *D21/4* приходит снгнал ЗАГР РАЗРЕШ Н, который формирует сигнал «1» на *D23/3* [см. рис. П.7(2)] и обеспечивает режнм параллельной загрузки сдвиговых регнстров *D47*, *D36*.

Собственно цикл загрузки сдвиговых регистров *D36*, *D47* будет происходить по срезу сигнала «1» с *D11/11* н приходу сигнала ВЫВОД В на *D12/2* в случае совпадення сигнала УСТР РАЗР Н на *D21/9* с сигналом ЗАГР РАЗР Н на *D21/8*. Сигнал УСТР РАЗР Н формируется на *D32/8* [см. рис. П.7(3)] от снгнала РК В с *D20/6* при обращении по адресу РК.

Для запуска режнма передачи информации на контроллер НГМД необходнмо подать сигнал ПУСК Н с *D9/12*.

Выработка снгнала ПУСК Н обеспечивается установкой выхода триггера *D24/9* в состоянне «1». Сигнал «1» на информационный вход триггера *D24/12* прнходит с *D25/8* при наличин хотя бы одного снгнала «0» на каждом нз обоих его каналах. Сигнал «0» на *D25/13* обеспечен пассивным уровнем сигнала РД В, а на *D25/9* будет обеспечиваться, во-первых, присутствием сигнала ЗАВЕРШЕНО Н (сигнал «1» на *D23/4*) и, во-вторых, снгналом «1» с *D12/11*. Сигнал «1» на *D12/11* формируется при наличии сигнала К БАЙТ Н (сигнал «0» на *D1/2*) и сигнала «1» в разряде 00 канала мнкроЭВМ.

Фронт снгнала «1», приходящего с *D13/3* на синхровход триггера *D24/11*, формируется при единичном нсходном состоянии выхода этого триггера *D24/8* н наличии снгнала «1» на *D11/12* в случае поступления снгнала управления К ВВОД Н нлн К ВЫВОД Н.

При установке трнггера *D24/9* в состоянне «1» помнмо снгнала ПУСК Н на 22/10 вырабатывается сигнал СБРОС[1]Н, обеспечивающий нормализацню схемы контроля четностн *D51*, *D27* [см. рис. П.7(4)].

После приема сигнала ПУСК Н контроллер НГМД снимает сигнал ЗАВЕРШЕНО Н с *D10/5* [см. рис. П.7(3)], что приводит к формнрованню снгнала «1» на *D21/4*, который, проинвертировавшись на *D22/4*, обеспечивает установку выхода триггера *D24/9* в состояние «0». Кроме того, сигнал «1» с *D21/4* формирует сигнал «0» на *D23/3*

[см. рис. П.7(2)], обеспечивая перевод сдвиговых регистров *D47*, *D36* в режим сдвига.

Для синхронизации обмена контроллер НГМД начинает выдавать сигналы СДВИГ Н, поступающие на *D11/5* с периодом 1 мкс и номинальной длительностью 200 нс. Тогда в отсутствие на *D13/13* сигнала ОЧИСТКА Н по сигналам СДВИГ Н на выходе *D11/11* формируются импульсы, обеспечивающие собственно циклы сдвига информации в регистрах *D47*, *D36*.

Работа схемы контроля четности. Байт данных или команды, последовательно выдаваемый с выхода сдвигового регистра *D36/10* [см. рис. П.7(2)], по шине сигнала Д 07 В поступает на вход коммутатора *D25/4* [см. рис. П.7(4)]. Разрешение на передачу по этому каналу осуществляется сигналом «1» на *D26/6*, формируемым при сброшенных в состояние «0» выходах счетчика *D27*.

Передаваемые данные с выхода коммутатора *D25/6* в виде сигналов СЕРИЯ Н после инверсии на *D8/12* [см. рис. П.7(3)] поступают на вентиль *D14/10*, открытый пассивным уровнем сигнала ВЫВОД Н, который приходит на вход *D10/14* от контроллера НГМД.

Кроме того, импульсы, передаваемые по шине сигнала Д 07 В, поступают на входы триггера *D51* [см. рис. П.7(4)], который переключается по фронтам сигналов СДВИГ Н при условии, что на шине сигнала Д 07 В в этот момент логическая «1».

После восьми циклов сдвига сигнал «1» с выхода счетчика *D27/11* открывает вход канала коммутатора *D25/3* для передачи по шине СЕРИЯ Н состояния выхода триггера *D51/6*.

Установка триггера *D51/6* в единицу обеспечивается сигналом СБРОС [1] Н в начале цикла передачи байта. Сигнал СБРОС [1]Н формируется при передаче на элементе *D22/10* [см. рис. П.7(3)] от импульса с выходов триггера *D24/9*.

Загрузка РД. Если после приема кода команды контроллеру НГМД необходимо получить дополнительную информацию (собственно данные или адрес дорожки или сектора), он выдает сигнал ЗАПРОС ПЕРЕД Н на *D10/9* [см. рис. П.7(3)]. Это вызывает формирование на *D21/4* сигнала ЗАГР РАЗР Н, переводящего элементы сдвигового регистра *D47*, *D36* [см. рис. П.7(2)] в режим параллельной загрузки (сигнал «1» на *D23/3*). Кроме того, сигнал ЗАПРОС ПЕРЕД Н формирует сигнал «1» в разряде 07 РК, который должен программно контролироваться ЦП.

После считывания сигнала готовности к обмену ЦП реализует цикл ВЫВОД по адресу 177172_8. Код данных через приемопередатчики *D57*, *D58* и инверторы *D46*, *D48* поступает на входы сдвиговых регистров *D47*, *D36*. Условием разрешения параллельной загрузки регистров является совпадение сигнала ЗАГР РАЗР Н на *D21/8* с сигналом УСТР РАЗР Н на *D21/9*. Сигнал УСТР РАЗР Н формируется на *D32/8* [см. рис. П.7(3)] от сигналов РД В с *D20/3* и ЗАПРОС ПЕРЕД В с *D10/11*. Тогда по приходу сигнала ВЫВОД В на *D12/2* [см. рис. П.7(2)] фронтом сигнала «0» с *D11/11* запускается цикл параллельной загрузки в сдвиговые регистры *D47*, *D36*.

Для запуска режима передачи данных на контроллер НГМД осуществляется цикл автоматического переключения выхода триггера *D24/9* [см. рис. П.7(3)] в состояние «1» и выработка сигнала ПУСК Н на *D9/12*. Это происходит следующим образом: сигнал «1» на информационном входе триггера *D24/12* формируется нв *D25/8* при наличии хотя бы одного логического «0» на каждом из обоих его каналов. На элементе *D25/10* сигнал «0» обеспечивается пассивным уровнем РК В; сигнал «0» на *D25/1* приходит с *D23/8* при наличии на обонх входах сигнала «1». Сигнал «1» на *D23/9* формируется от пассивного уровня сигнала ЗАВЕРШЕНО Н на *D10/5*.

Сигнал «1» на *D23/10* формируется от сигнала «0» с *D1/11*, который обеспечивается пассивным уровнем сигнала ВЫВОД Н от контроллера НГМД (*D10/14*) и наличием канального сигнала К БАЙТ Н в адресной части цикла (сигнал «0» на *D1/2*).

Импульс на синхровходе триггерв *D24/11* формируется на *D13/3* по приходе сигнала К ВЫВОД Н (сигнал «1» на *D11/12*) и при исходном состоянии «1» на выходе триггера *D24/8*.

После приема сигнала ПУСК Н контроллер НГМД снимает сигнал ЗАПРОС ПЕРЕД. Н, что вызывает снятие сигнала ЗАГР. РАЗР. Н и перевод сдвиговых регистров в состояние сдвига. Кроме того, сигнал «1» с *D22/4* сбрасывает в нуль выход триггера *D24/9*. Затем контроллер НГМД выдает серию сигналов СДВИГ Н, обеспечивающую выдачу информации в контроллер.

После завершения передачи байта контроллер НГМД вновь выставляет сигнал ЗАПРОС ПЕРЕД Н, если обмен продолжается, или сигнал ЗАВЕРШЕНО Н, если выполнение данной команды завершено.

Прием данных с контроллера НГМД. Если после приема кода команды контроллер в соответствии с командой будет передавать данные к интерфейсу И4, то он выдает сигнал ВЫВОД Н на *D10/14* [см. рис. П.7(3)], и сигнал «0» на *D14/11* закрывает этот вентиль для прохождения импульсов СЕРИЯ Н на шину ДАННЫЕ Н. Затем по шине ДАННЫЕ Н, подключенной к *D11/1* [см. рис. П.7(2)], контроллер начинает передавать байт данных, сопровождая их импульсами СДВИГ Н на *D11/5*.

Так как отсутствует интерфейсный сигнал ЗАПРОС ПЕРЕД Н на *D10/9* [см. рис. П.7(3)], на *D21/4* устанавливается сигнал «1», что обеспечивает формирование сигнала «0» с *D23/3* [см. рис. П.8(2)] и, следовательно, режим последовательного сдвига регистров *D47*, *D36*. Тогда код данных от контроллера НГМД последовательно загружается в сдвиговые регистры по входу *D47/1* и стробируется импульсами с *D11/4*, формируемыми по сигналу СДВИГ В.

После передачи требуемого количества бит контроллер выдает сигнал ЗАПРОС ПЕРЕД Н, прекращая последовательную загрузку *D47*, *D36* и переводя их в состояние параллельной записи (для остановки сдвига).

Кроме того, сигнал ЗАПРОС ПЕРЕД Н формирует логическую «1» в разряде 07 РК, который ЦП должен программно контролировать.

Считывание РД. После получения сигнала о заполнении входного буфера ЦП реализует цикл ВВОД по адресу 177172_8. При этом информация с выходов регистров *D47*, *D36* [см. рис. П.7(2)] поступает на каналы *А* коммутаторов *D45*, *D35*. Выбор канала *А* коммутатора *D35* определяется пассивным уровнем сигнала РК В, а выбор канала *А* коммутатора *D45* — пассивным уровнем сигнала ВЕКТОР В. Кроме того, разрешение включения выходов коммутатора *D45* обеспечивается сигналом СТРОБ[1]Н с *D20/8* [см. рис. П.7(4)], вырабатываемым от пассивного уровня РК В на входе этого элемента.

Затем старшая тетрада кода данных, транслируясь через коммутатор *D34*, поступает на приемопередатчик *D58*, а младшая тетрада — на приемопередатчик *D57*. Разрешение трансляции информации через эти элементы обеспечивается сигналом РАЗР ВВОДА Н с *D22/1* по сигналу «1», приходящему с *D20/11* при наличии на входах сигнала УСТР ВЫБР В (с *D33/3*), и приходу сигнала ВВОД В с *D55/4*.

После считывания кода данных вновь вырабатывается сигнал ПУСК Н для информирования контроллера НГМД о завершении передачи байта. Условия включения триггера *D24/9* при обращении к РД подробно рассмотрены выше. Отличительной особенностью данного случая является то, что выработка сигнала «1» на *D23/11* [см. рис. П.7(3)] производится по сигналу «0» с *D1/8*. Логические «1» на входах этого элемента формируются, во-первых, от активного уровня сигнала контроллера ВЫВОД Н на *D10/14* и, во-вторых, от сигнала «0» с *D1/3*, который возникает в отсутствие сигнала К БАЙТ Н и сигнала «1» с триггера *D24/6*. Установка выхода триггера *D24/6* в единицу обеспечивалась пассивным уровнем СИА В перед началом цикла. По окончании сигнала ВВОД В триггер *D24/6* сбрасывается в нуль и в конце цикла вновь нормализуется. После выработки сигнала ПУСК Н либо вновь возобновляется цикл передачи информации, либо контроллер выдает сигнал ЗАВЕРШЕНО Н, заканчивая выполнение текущей команды.

Работа интерфейса в режиме прерывания. Если выход триггера *D2/5* [см. рис. П. 7(4)] установлен в состояние «1» и контроллер НГМД выдает сигнал ЗАВЕРШЕНО Н (свободен от операции), то сигналом ГОТОВО В с *D12/6* [см. рис. П.7(3)]

формируется фронт сигнала «1» с *D56/3* [см. рис. П.7(4)], обеспечивающий установку выхода триггера *D2/8* в состояние «1». Тогда сигнал «1», формируемый на *D13/8*, обеспечивает выработку сигнала К ТПР Н на *D14/3*. После обработки сигнала К ТПР Н ЦП последовательно выдает в канал микроЭВМ сигналы К ВВОД Н и К ППР Н.

По сигналу ВВОД В с *D55/4* обеспечивается установка в «1» выхода триггера *D39/5*. При этом сигнал «0» с его инверсного выхода закрывает вентиль *D14/5* для трансляции через плату интерфейса И4 сигнала К ППР Н.

По приходу сигнала К ППР Н на *D56/9* на *D38/6* вырабатывается сигнал ВЕКТОР Н, обеспечивающий, во-первых, сброс выхода триггера *D2/8* в нуль и снятие сигнала К ТПР Н и, во-вторых, выработку сигнала СТРОБ [1] Н на *D20/8*, разрешающего работу коммутатора *D45* [см. рис. П.7(2)]. Кроме того, по сигналу ВЕКТОР Н формируется сигнал ВЕКТОР В на *D56/12* [см. рис. П.7(4)], обеспечивающий выбор каналов *В* коммутаторов *D45*, *D34* [см. рис. П.7(2)], на которых перемычками (табл. 26) «прошит» адрес вектора прерывания. На заводе-изготовителе перемычками установлен ход вектора прерывания 264_8.

С выходов коммутаторов код вектора транслируется в канал микроЭВМ через приемопередатчики *D57*, *D58* при наличии сигнала РАЗР. ВВОДА Н на *D22/1* [см. рис. П.7(4)], формируемого от сигнала ВЕКТОР В.

Сигнал К СИП Н сопровождения кода вектора в канале микроЭВМ формируется на *D9/9* [см. рис. П.7(3)] от сигнала ВЕКТОР В на *D21/11*.

Сброс выхода триггера *D39/5* в нуль [см. рис. П.7(4)] происходит в первом последующем канальном цикле ВВОД.

Работа интерфейса по реализации регенерации динамической памяти (в режиме ПДП). В интерфейсе И4 на основе триггера Шмитта *D7/8* [см. рис. П.7(6)] построен генератор, формирующий импульсы с периодом 30 мкс. Если перемычка *E1* замкнута, то по каждому срезу сигнала «1» на *D15/12* выход триггера *D19/5* устанавливается в единицу, формируя на *D62/12* сигнал К ТПД Н.

После обработки сигнала К ТПД Н ЦП выдает в канал микроЭВМ сигнал К ППД Н, поступающий на *D61/9* и обеспечивающий, во-первых, выработку с выхода триггера *D19/9* сигнала ПВ [1] В и формирование на входе *D5/1* [см. рис. П.7(5)] сигнала ППД ЗАДЕРЖ В. Сигнал ППД ЗАДЕРЖ В задерживается относительно сигнала К ППД Н на 100 нс за счет цепи R1C1 на выходе *D18/10* [см. рис. П.7(6)]. Тогда сигнал «0» с *D5/3* [см. рис. П.7(5)] открывает вентиль *D15/2* для прохождения импульсов генератора ТИ1. Генератор ТИ1 организован на триггере Шмитта *D7/6* и формирует импульсы с периодом 220 нс.

В отсутствие сигналов К СИА Н и К СИП Н на входах *D61/1* и *D61/5* для прохождения импульсов генератора ТИ1 открывается вентиль *D3/10*, что обеспечивает формирование с выхода триггера *D16/5* сигнала РГН [1] В.

Этот сигнал выполняет следующие функции:

формирует с *D62/3* сигнал К РГН Н, обеспечивающий безусловный выбор всех банков памяти;

снимает асинхронную установку со схода триггера *D4/10*;

поступая на *D41/14* [см. рис. П.7(6)], обеспечивает выработку сигнала К ПВ Н, удерживающего ЦП в отключенном состоянии;

открывает вентили *D40*, *D41* для трансляции в канал микроЭВМ кода адреса регенерации, сформированного на счетчиках *D43*, *D28*;

вырабатывает на *D6/1* сигнал «0», осуществляя сброс выхода триггера *D19/5* в нуль и снятие сигнала К ТПД Н;

Таблица 26

Формирование кода вектора прерывания интерфейса И4

Разряд	Номер перемычки, замыкаемой для установки в разряд логического «0»
02	E29
03	E25
04	E6
05	E16
06	E8
07	E7

обеспечивает следующим импульсом генератора ТИ1 установку в состояние «1» выхода триггера *D17/5* [см. рис. П.7(5)].

Сигнал СИА [1] В с выхода триггера *D17/5*, поступая на *D5/4*, обеспечивает установку выхода триггера *D4/8* в состояние «1» по следующему импульсу генератора ТИ1. Выходной сигнал А [0] В, во-первых, поступая на *D6/11*, обеспечит выработку сигнала К СИА Н на *D62/9*, во-вторых, поступая на *D5/10*, переведет триггер в асинхроиный режим, подтверждая его состояние, в-третьих, обеспечит по следующему импульсу генератора ТИ1 установку выхода триггера *D16/9* в состояние «1».

Установка триггера *D16/9* в состояние «1» приведет, во-первых, к выработке на *D62/6* сигнала К ВВОД Н и, во-вторых, обеспечит через элемент *D5/12* асинхроиый сигнал подтверждения текущего состояния этого триггера.

После выработки сигнала К ВВОД Н собственно начнется цикл регенерации, что приведет к выработке банками ОЗУ сигнала К СИП Н. Сигнал К СИП Н, поступая на *D61/5*, обеспечит установку выхода триггера *D4/5* в состояние «1», что, во-первых, будет подтверждать состояние «1» выхода триггера *D16/9* и, во-вторых, разрешит сброс выхода триггера *D4/8* в нуль. Сброс триггера *D4/8* обеспечит снятие сигнала К ВВОД Н, а тот, в свою очередь, снятие банками ОЗУ сигнала К СИП Н.

После сброса триггера *D4/5* в нуль также сбросится в нуль триггер *D16/9*, что приведет к снятию сигнала К СИА Н. Тогда сигнал В [0] В с выхода триггера *D16/8* обеспечит установку выхода триггера *D17/8* [см. рис. П.7(6)] в состояние «0» и формирование на *D6/10* сигнала ОЧИСТКА [1] Н.

Сигнал ОЧИСТКА [1] Н, во-первых, обеспечит сброс в нуль триггера *D19/9* и снятие сигнала К ПВ Н и, во-вторых, сброс триггера *D16/5* [см. рис. П.7(5)] в нуль и снятие сигнала К РГН Н.

Сброс выхода триггера *D16/5* приведет по следующему импульсу генератора ТИ1 к сбросу в нуль выхода триггера *D17/5* и по спаду сигнала СИА [1] В, во-первых, обеспечит увеличение на единицу содержимого счетчиков регенерации *D43, D28* [см. рис. П. 7(6)], и во-вторых, установку выхода триггера *D17/8* в состояние «1». Работа интерфейса И4 по организации цикла регенерации закончена.

Работа схемы начального загрузчика. Схема начального загрузчика предназначена для хранения программы, обеспечивающей загрузку в системную память микроЭВМ содержимого первого сектора первой дорожки нулевого привода НГМД. Программа загрузчика расположена в ячейках с адресами 173000_8— 173076_8.

Код адреса из канала микроЭВМ, инвертируясь на приемопередатчиках *D63* — *D66* [см. рис. П.7(7)], поступает в виде сигналов А 11 В — А 06 В вместе с сигналом ВУ В на компаратор адреса *D29*, *D30*. При поступлении соответствующего кода адреса с выхода *D30/8* формируется сигнал«0», который совместно с разрядами адреса А 05 В — А 01 В по приходе сигнала К СИА В фиксируется в регистрах *D54*, *D31*.

С выходов регистров код адреса поступает на элементы ПЗУ *D52*, *D53*, выбирая из них 16-разрядный код команды, а сигнал «0» с *D31/7* открывает вентиль *D29/13* для прохождения сигнала К ВВОД Н. По приходе сигнала К ВВОД Н с *D42/9* сигнал «0» открывает приемопередатчики для трансляции кода команды в канал микроЭВМ, а сигнал «0» с *D42/6* формирует сигнал К СИП Н.

5. *Интерфейс В3*

Интерфейс В3 предназначен для ввода данных в микроЭВМ типа «Электроника-60» с фотосчитывающего устройства FS 1501 или СП-3.

Он содержит два адресуемых регистра:
регистр состояния (РС) — 177550_8; регистр данных (РД) — 177552_8.

Связь с фотосчитывающим устройством ввода с перфоленты осуществляется через кабель, подсоединяемый к разъему ХР1 (табл. 27).

Таблица 27

Сигналы на разъеме связи с УВВ интерфейса ВЗ

Контакт	Сигнал	Пояснение
23	СП-0	Разряд данных со считывателя
27	СП-1	» »
41	СП-2	» »
39	СП-3	» »
35	СП-4	» »
37	СП-5	» »
52	СП-6	» »
54	СП-7	» »
48	СИ	Синхросигнал данных от считывателя
12	Готовность СП В	Входной сигнал, контролирующий перемещение перфоленты
14	(СП-3)	Выходной сигнал схемы контроля перемещения перфоленты ФСУ СП-3
10	(FS)	Выходной сигнал схемы контроля перемещения перфоленты ФСУ FS 1501
50	Готовность СП (FS)	Сигнал от ФСУ FS 1501 со схемы контроля перемещения перфоленты
11	Старт СП-3	Сигналы управления ФСУ СП-3
13	Стоп СП-3	» »
3	Старт FS	Сигналы управления ФСУ FS 1501
9	Стоп FS	» »
5	—6 В; —27 В	Отрицательное смещение ключей сигналов управления ФСУ, —6 В для FS 1501 и —27 В для СП-3

Таблица 28

Сигналы ДУС интерфейса ВЗ

Программная операция	Восьмеричный код адреса в разрядах 00—02	К ВВОД Н	К ВЫВОД Н	Управляющий сигнал дешифратора
Запись в РС	0	—	+	ВЫВОД 50 В
Считывание РС	0	+	—	ВВОД 50 В
Считывание РД	2	+	—	ВВОД 52 В

При обращении к устройству ЦП выставляет в канал ЭВМ код адреса. Старший байт кода адреса совместно с сигналом К ВУ Н поступает на вход приемника *D20* (см. рис. П.9(2)]. Младший байт кода адреса поступает на приемопередатчики *D3*, *D5* [см. рис. П.8(3)], преобразуется в сигналы ДА 07 В — ДА 00 В и поступает на элементы *D8*, *D13*, *D19* [см. рис. П.8(2)]. При обращении к одному из регистров интерфейса ВЗ на выходе сборки *D10/8* формируется сигнал «0», который по приходе сигнала К СИА Н фиксируется в БУРА *D19*. Сигнал ДА 01 В, определяющий обращение к одному из двух регистров интерфейса, также сигналом К СИА Н фиксируется в БУРА *D19*. Парафазный код сигнала ДА 01 В с выходов БУРА поступает на ДУС, выполненный на элементах *D12*. Управляющие сигналы на выходах ДУС вырабатываются при условии выбора данного устройства (сигнал «1» на *D19/1*) и в зависимости от сигналов К ВВОД Н, К ВЫВОД Н (табл. 28).

Сигнал К СИП Н вырабатывается на *D15/3* и формируется по приходе сигналов К ВВОД Н, К ВЫВОД Н (сигнал «1» на *D13/6*).

Состав РС. РС интерфейса ВЗ содержит (рис. 26) четыре разряда.

Разряд 15 — ОШИБКА — устанавливается от сигнала ФСУ ГОТОВНОСТЬ СП В при затирании или обрыве ленты. Доступен ЦП только по чтению.

Разряд 07 — ТРЕБОВАНИЕ ОБСЛУЖИВАНИЯ — устанавливается в состояние «1» интерфейсом ВЗ после загрузки считанной с перфоленты информации в РД.

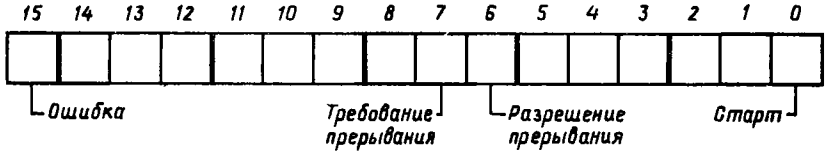


Рис. 26. Формат регистра состояния интерфейса ВЗ

Доступен ЦП только по чтению. Сбрасывается после считывания информации из РД или сигналом К СБРОС Н.

Разряд 06 — РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — устанавливается ЦП и определяет возможность работы интерфейса в режиме прерывания. Доступен ЦП по записи и чтению. Нормализуется сигналом К СБРОС Н.

Разряд 00 — СТАРТ устанавливается ЦП и инициирует ФСУ на цикл чтения одной строки перфоленты. Доступен ЦП только по записи.

Считывание РС. Считывание содержимого РС ЦП реализует циклом ВВОД по адресу 177550_8. При этом на ДУС *D12/11* [см. рис. П.8(2)] вырабатывается сигнал ВВОД 50 В, открывающий следующие вентили:

D5/13 [см. рис. П.8(3)] для трансляции в разряд 15 канала микроЭВМ сигнала ГОТОВНОСТЬ СП В, поступающего на вход *D8/11*;

D15/10 [см. рис. П.8(2)] для трансляции в разряд 06 канала микроЭВМ кода состояния выхода триггера *D6/5*;

D15/4 для трансляции в разряд 07 канала микроЭВМ сигнала ФЛАГ СП В, вырабатываемого на *D8/12* [см. рис. П.8(3)].

Запись в РС. Загрузка информации в РС реализуется циклом ВЫВОД по адресу 177550_8, при этом на ДУС *D12/8* [см. рис. П.8(2)] вырабатывается сигнал ВЫВОД 50 В.

Сигнал ВЫВОД В обеспечивает, во-первых, фиксирование в триггере *D6/5* состояния сигнала ДА 06 В информационной части цикла, и, во-вторых, сигнал ВЫВОД 50 В при наличии эффективных уровней сигналов ДА 00 В и ГОТОВНОСТЬ СП В формирует на сборке *D16/6* [см. рис. П.8(3)] сигнал ПУСК СП Н.

Выполнение цикла считывания строки перфоленты. Сигнал ПУСК СП Н обеспечивает формирование сигнала СТАРТ Н на выходе триггера *D1/9* [см. рис. П.8(3)] и запускает на 80 мс одновибратор *D2/13*. Кроме того, сигнал ПУСК СП Н через *D7/3* обнуляет содержимое РД (*D4*).

Сигнал СТАРТ Н с выхода триггера *D1/9* обеспечивает открытие транзисторов *VT13*, *VT17* и выработку сигнала СТАРТ (FS) при подключении устройстве FS 1501. При подключенном устройстве СП-3 открытие транзистора *VT17* приведет к открытию транзисторов *VT15*, *VT12* и выработке сигнала СТАРТ (СП-3). Сигналы СТАРТ (FS) или СТАРТ (СП-3), поступая на соответствующее ФСУ, обеспечивают протяг перфоленты на одну строку и выдачу на интерфейс ВЗ сигналов СП 7 — СП 0 уровнями около — 6 В в сопровождении синхроимпульса СИ. Информационные сигналы через согласующие транзисторы поступают на входы РД *D4*, синхроимпульс на 3 мс запускает одновибратор *D2/5* и по фронту сигнала одновибратора загружает информацию в РД *D4*, а по срезу импульса одновибратор обеспечивает сброс сигнала СТАРТ Н с выхода триггера *D1/9*.

Снятие сигнала СТАРТ Н и наличие импульса одновибратора *D2/13* обеспечивают формирование на сборке *D18/6* сигнала СТОП Н. Сигнал СТОП Н обеспечивает открытие транзисторов *VT14*, *VT18* и выработку сигнала СТОП (FS) при подключенном устройстве FS1501 и выработку сигнала СТОП (СП) при подключенном устройстве СП-3 вследствие открытия транзисторов *VT18*, *VT1*.

Одновременно с циклом загрузки РД на его выходе *D4/23* появляется сигнал ТР СП Н, формирующий на *D8/12* сигнал ФЛАГ СП В, т. е. устанавливающий разряд 07 РС.

Считывание РД. Считав по адресу РС готовность интерфейса В3 к обмену, ЦП реализует цикл ВВОД по адресу РД 177552_8. При этом на ДУС *D12/6* [см. рис. П.8(2)] формируется сигнал ВВОД 52 В, открывающий магистральные вентили *D3*, *D5* [см. рис. П. 8(3)] для трансляции в канал микроЭВМ содержимого РД *D4* и сбрасывающий разряд 07 РС по снятию сигнала ТР СП Н с выхода РД *D4/23*.

Работа по запросу прерывания. Условием работы интерфейса В3 в режиме прерывания является наличие сигнала «1» в разряде 06 РС, т. е. сигнала «1» на выходе триггера *D6/5* [см. рис. П.8(2)]. Тогда после загрузки считанной с перфоленты информации в РД *D4*, по сигналу ТР СП Н с *D4/23* [см. рис. П.8(3)] на выходе *D16/12* формируется сигнал ТР СП В. От сигнала ТР СП В на *D11/3* [см. рис. П.8(2)] формируется фронт сигнала «1», обеспечивающий установку выхода триггера *D6/9* в состояние «1».

Сигнал «1», сформированный на выходе сборки *D11/6*, приходит на информационный вход триггера *D1/2*, в результате на выходе *D14/3* вырабатывается сигнал К ТПР Н.

Приняв и обработав сигналы К ТПР Н, ЦП последовательно выдает в канал микроЭВМ сигналы К ВВОД Н и К ППР Н.

По сигналу К ВВОД Н формируется сигнал «1» на *D17/11*, который переключает выход триггера *D1/6* в состояние «0» и закрывает вентиль *D8/12* для распространения сигнала К ППР Н за пределы интерфейса В3. По приходе сигнала К ППР Н сигнал «1» с *D11/8* обеспечивает выдачу в канал микроЭВМ с выходов передатчиков *D14* кода вектора прерывания 70_8 и при поступлении на *D13/5* — формирование сигнала сопровождения К СИП Н. Сигнал «0» с *D8/6* сбрасывает триггер *D6/9* в состояние «0», снимая сигнал К ТПР Н.

Режим прерывания может также начаться в случае возникновения состояния «ошибка» при снятии сигнала ГОТОВНОСТЬ СП В со входа *D16/2* [см. рис. П.8(3)].

Условия формирования состояния «Ошибка». В случае обрыва или застревания перфоленты в ФСУ FS1501 оно выдает сигнал ГОТОВНОСТЬ СП (FS) на контакт 50 разъема XP1, что приводит к открытию транзистора *VT2* и закрытию сигналом (FS) входных транзисторных согласователей. Кроме того, сигнал (FS) через соединенные накоротко контакты XP1.10, XP1.12 снимает сигнал ГОТОВНОСТЬ СП В и устанавливает разряд ОШИБКА в РС.

ФСУ СП-3 не имеет схемы контроля перемещения перфоленты. Если в течение 80 мс (время работы одновибратора *D2/4*) после подачи сигнала СТАРТ (СП-3) ФСУ не выдает сигнал СИ, сбрасывающий триггер *D1/8* в нуль, на *D18/3* формируется сигнал «0», который через перемычку XP1.14 — XP1.12 жгута связи с СП-3 обеспечивает снятие сигнала ГОТОВНОСТЬ СП В.

6. Интерфейс В21

Интерфейс В21 предназначен для управления выводом данных из ЭВМ типа «Электроника-60» на перфоратор ленточный ПЛ-150М. Интерфейс В21 содержит два адресуемых регистра:

регистр состояния (РС) — 177554_8; регистр данных (РД) — 177556_8.

Связь устройства с перфоратором осуществляется через кабель связи, подсоединяемый к разъему XP1 (табл. 29). Старший байт кода адреса, выставленный ЦП в канал микроЭВМ, и сигнал К ВУ Н поступают на элементы *D18*, *D19* [см. рис. П.9(2)] и затем на сборку *D13*. Младший байт кода адреса поступает на приемопередатчики *D20*, *D21* и с их выводов сигналами ДА 01 В — ДА 07 В поступает на сборку *D13*, причем сигналы разрядов ДА 04 В, ДА 06 В собираются на *D14*.

При обращении к одному из регистров устройства В21 на выходе сборки *D13/8* формируется сигнал ВБР Н, который по приходе сигнала К СИА Н сигналом «0» на *D12/4* фиксируется в БУРА *D10/15*. Сигнал ДА 01 В, определяющий обращение к одному из двух регистров устройства, парафазным кодом с *D14* в стробе с сигналом ВБР Н

Таблица 29

Сигналы на разъеме связи с УВВ интерфейса В21

Контакт	Сигнал	Пояснение
15	Д 00	Данные, передаваемые на перфоленту
13	Д 01	» » » »
11	Д 02	» » » »
9	Д 03	» » » »
7	Д 04	» » » »
5	Д 05	» » » »
3	Д 06	» » » »
1	Д 07	» » » »
47	Транспортная дорожка	Сигнал управления электромагнита пробивки транспортной дорожки
49	Транспортировка ленты	Сигнал управления электромагнита транспортировки ленты
55	ДП1 В	Сигнал датчика-синхронизатора перфоратора
59	ДП2 В	То же
57	ДП3 В	»
53	Обрыв ленты	Сигнал перфоратора об окончании или обрыве перфоленты
51	Вкл. ПЛ	Сигнал управления включением двигателя перфоратора
45	+43 В	Потенциал размагничивания
43	Нач. уст.	Сигнал перфоратора о достижении нормальной скорости
37	+27 В	Высокий потенциал источника питания 27 В перфоратора
28	Общий	

Таблица 30

Сигналы ДУС интерфейса В21

Программная операция	Восьмеричный код адреса в разрядах 00—02	К ВВОД Н	К ВЫВОД Н	Управляющий сигнал
Запись в РС	4	—	+	ВЫВОД 54 В
Чтение РС	4	+	—	ВВОД 54 В
Запись в РД	6	—	+	ВЫВОД 56 В

также фиксируется в БУРА *D10*. Дешифратор управляющих сигналов выполнен на элементах *D11* и обеспечивает расшифровку парафазного кода разряда ДА 01 В, снимаемого с выходов БУРА *D10*, и стробируется с *D19/11* или с *D19/12* соответственно сигналами К ВЫВОД, К ВВОД Н (табл. 30).

Сигнал К СИП Н в программном режиме работы формируется на *D16/3* при совпадении на входе сигнала «1» с *D4/8*, обусловленного сигналом ВБР Н, и сигнала «1» с *D12/8* при наличии сигнала К ВВОД Н или К ВЫВОД Н.

Состав РС. Регистр состояния интерфейса В21 содержит (рис. 27) три разряда:

разряд 15 — ОБРЫВ ЛЕНТЫ — устанавливается схемой перфоратора, доступен ЦП только по чтению;

разряд 07 — ГОТОВ — устанавливается схемой интерфейса В21 при готовности приема следующего байта данных, доступен ЦП только по чтению;

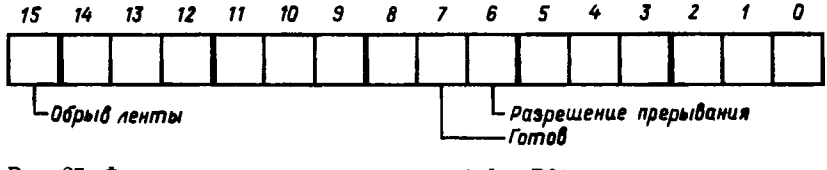


Рис. 27. Формат регистра состояния интерфейса В21

разряд 06 — РАЗРЕШЕНИЕ ПРЕРЫВАНИЯ — определяет возможность работы устройства в режиме прерывания; устанавливается ЦП и доступен ему по записи и чтению. Сбрасывается в нуль сигналом К СБРОС Н.

Считывание РС. Для считывания содержимого РС ЦП реализует цикл ВВОД по адресу 177554_8, тогда на ДУС *D11/11* [см. рис. П.9(2)] вырабатывается сигнал ВВОД 54 В, который открывает вентиль *D16/4* для трансляции в разряд 15 канала микроЭВМ сигнала ОБРЫВ ЛЕНТЫ, поступающего с перфоратора на разъем ХР1.53. Кроме того, сигнал ВВОД 54 В открывает вентили *D17/4* и *D17/1* для трансляции в канал микроЭВМ сигналов выходов триггеров *D5/5* и *D8/6*.

Запись в РС. Для записи доступен только разряд 06 РС. При реализации ЦП цикла ВЫВОД по адресу РС с ДУС *D11/6* [см. рис. П.9(2)] поступает сигнал ВЫВОД 54 В, обеспечивающий установку выхода триггера *D5/5* по сигналу ДА 06 В кода данных.

Запись в РД. РД интерфейса В21 доступен ЦП только по записи и выполнен на регистрах *D6*, *D7* [см. рис. П.9(3)].

Для обращения к РД ЦП реализует цикл ВЫВОД по адресу 177556_8, выдавая код данных по младшему байту канала микроЭВМ. С выходов приемопередатчиков *D20*, *D21* [см. рис. П.10(2)] код данных в виде сигналов ДА 00 В — ДА 07 В поступает на входы РД *D6*, *D7* и заносится в них фронтом сигнала ВЫВОД 56 В, приходящего с ДУС *D11/8* [см. рис. П.9(2)].

Реализация вывода информации на перфоратор. Одновременно с загрузкой РД на *D12/10* [см. рис. П.9(2)] вырабатывается сигнал ВЫВОД 56В, который устанавливает в состояние «1» триггер *D8/5* [см. рис. П.9(3)]. Это, во-первых, снимает сигнал ГОТОВ разряда 07 РС и, во-вторых открывает транзисторы *VT14*, *VT11*, что приводит к выработке сигнала ВКЛ ПЛ. Сигнал ВКЛ ПЛ поступает на перфоратор, включает двигатель; он, начиная вращаться, обеспечивает выработку на датчиках синхронизаторов сигналов ДП 1 В, ДП 2 В, ДП 3 В. После набора оборотов перфоратор обеспечивает выработку сигнала НАЧ УСТ В, что приводит по приходе сигнала ДП 2 В к установке выхода триггера *D8/8* в ноль. Это обеспечивает открытие вентилей *D1*, *D2* сигналами с *D9/3*, *D9/4* для передачи кода данных с РД *D6*, *D7* на транзисторные ключи, включающие электромагниты перфорации сигналами Д 07 — Д 00. Сигнал «1» с выхода триггера *D8/9* обеспечивает открытие транзисторов *VT6*, *VT1* и включение электромагнита пробойки синхродорожки. По приходе сигнала ДП 3 В с датчика перфоратора на *D3/1* триггер *D15/9* устанавливается в состояние «1», обеспечивая открытие транзисторов *VT2*, *VT3*, вырабатывающих сигнал ТРАНСП ЛЕНТ низкого уровня, что вызывает протяг перфоленты.

Сигнал перфоратора ДП 1 В, приходя на *D3/5*, устанавливает выход триггера *D8/6* в состояние «1», что приводит к формированию сигнала ГОТОВ в разряде 07 РС и перебросу выхода триггера *D8/8* в состояние «1» при поступлении сигнала «0» на его вход *R* с выхода триггера *D8/5*. При перебросе выхода триггера *D8/8* в состояние «1», во-первых, закрываются ключи перфорации и, во-вторых, через *D9/12* шунтируется прием сигналов перфоратора ДП 1 В и ДП 3 В.

Для подавления противоЭДС, наводимой в обмотках электромагнитов перфорации в момент их выключения, при переключении выхода триггера *D8/8* в состояние «1» и при наличии сигнала «1» на выходе триггера *D15/9* создаются условия для открытия транзисторов *VT4*, *VT5*, подключающих в цепи электромагнитов размагничивающий импульс потенциала +43 В.

По приходе сигнала ДП 2 В выход триггера *D15/9* импульсом с *D3/8* сбрасывается в нуль.

Если ЦП вновь выполняет цикл ВЫВОД по адресу РД интерфейса В-21, цикл перфорации повторяется, при этом сигнал ВКЛ ПЛ управления двигателем сохраняется, так как после переключения выхода триггера *D8/5* в состояние «0» сигнал продолжает вырабатываться в течение времени разряда конденсатора С5.

Работа интерфейса в режиме прерывания. Разрешение работы устройства в режиме прерывания задается установкой в состояние «1» разряда 06 РС, т. е. установкой в состояние «1» триггера *D5/5* [см. рис. П.9(2)]. Тогда по окончании цикла перфорации по сигналу ТР ПЛ Н с выхода триггера *D8/5* сигнал «1» с *D11/3* обеспечит, во-первых, установку в состояние «1» триггера *D5/9*, во-вторых, выработку на *D17/12* сигнала К ТПР Н и, в-третьих, формирование сигнала «0» на информационном входе триггера управления прерыванием *D15/2*.

После обработки сигнала К ТПР Н ЦП последовательно выдает в канал микроЭВМ сигналы К ВВОД Н и К ППР Н. Сигнал К ВВОД Н в виде импульса с *D19/12* переключает триггер *D15/6* в состояние «1», а это приводит по приходе сигнала К ППР Н к формированию сигнала ВЕКТОР Н на *D4/3*. Сигнал ВЕКТОР Н, во-первых, открывает вентили *D20*, *D21* и пропускает через них в канал микроЭВМ код вектора прерывания 74_8, во-вторых, поступая на *D4/9*, обеспечивает выработку сигнала сопровождения К СИП Н и, в-третьих, сбрасывает в исходное нулевое состояние выход триггера прерывания *D5/9*. Сброс триггера *D15/6* в нуль происходит по первому последующему циклу ВВОД.

Установка в исходное единичное состояние выходов триггеров *D5/6*, *D5/9*, *D15/5*, *D8/6*, *D15/8* обеспечивается импульсом «0» с *D12/2* по приходу сигнала К СБРОС Н.

7. Канальные коннекторы

Канальные коннекторы предназначены для согласования нагрузочной способности шин канала микроЭВМ и обеспечения пассивного уровня сигналов в канале и в диапазоне +2...3,4 В.

Как известно, канал микроЭВМ представляет собой систему проводников в виде печатной платы, с помощью которой соединяются контакты розеток каркаса, образуя 38 сигнальных линий и линий питания.

В модуле ЦП к шинам канала микроЭВМ подключены согласующие резисторы, обеспечивающие 250-омное согласование. Это обеспечивает при установке модуля ЦП в каркас максимальную нагрузочную способность шин в шесть условных единиц нагрузки.

Под условной единицей нагрузки понимается подключение к каждой шине канала одного канального приемника, двух передатчиков и конденсатора емкостью 10 пФ. Это эквивалентно подключению одного модуля.

В связи с тем, что число устройств, входящих в систему на базе ЦП, может быть различным, возникает необходимость расширения канала. Канал микроЭВМ может быть расширен путем подсоединения к основному каркасу еще не более двух каркасов с помощью кабелей и коннекторов К5, обеспечивающих 250- и 120-омное согласование шин канала.

Коннекторы К5 представляют собой печатные платы трех типов (рис. 28):

К5-00 без согласующих резисторов;

К5-01 с матрицами согласующих резисторов R-250 Ом;

К5-02 с матрицами согласующих резисторов R-120 Ом.

Все типы коннекторов снабжены двумя 60-контактными разъемами для подключения кабеля, обеспечивающего передачу полного набора сигналов канала.

При подключении второго каркаса в последней позиции (по цепи приоритетов) основного каркаса включается коннектор К5-01, а в последнюю позицию второго каркаса — коннектор К5-02. В такой конфигурации достигается максимальная нагрузочная возможность в 11 условных единиц. Максимальная нагрузочная способность шин канала ограничена 17 условными единицами нагрузки и достигается при соединении трех каркасов. При этом в последнюю позицию основного каркаса устанавливается коннектор К5-01, а в последнюю позицию нижнего каркаса — кон-

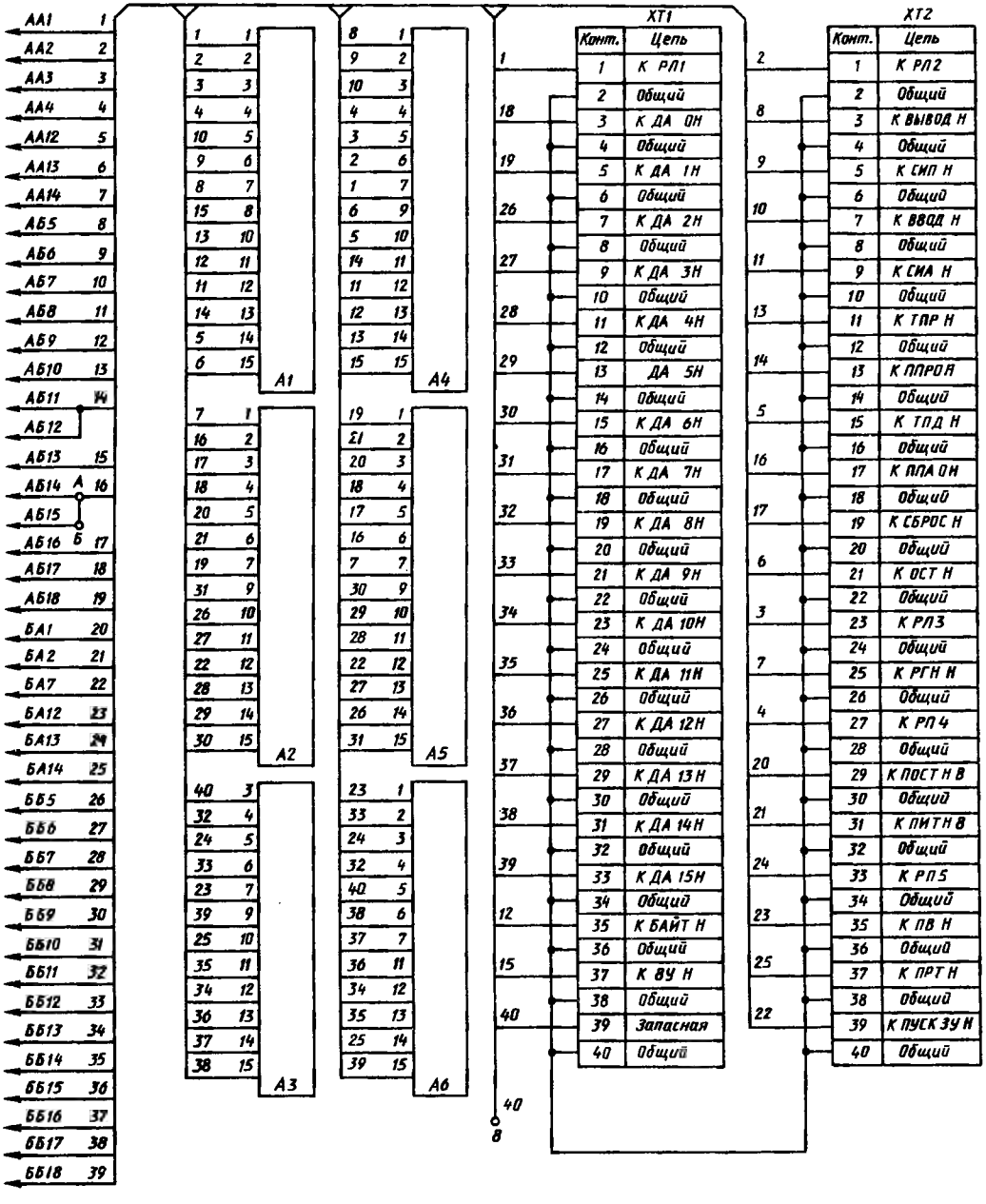


Рис. 28. Канальные коннекторы К5

нектор К5-02. Подключение среднего каркаса обеспечивается кабелями с использованием коннекторов К5-00, включенных в его крайние позиции.

Суммариая длина кабелей в обоих случаях не более 5 м, не считая длину канала виутри каркасов.

8. Методика поиска неисправностей модулей интерфейсов

Перед установкой модуля интерфейса в каркас микроЭВМ необходима визуальная его проверка на наличие таких внешних дефектов, как царапины, нарушающие токоведущие цепи; замыкание металлизированных дорожек или выводов интегральных схем и других элементов между собой посторонними токопроводящими материалами.

После установки модуля в каркас микроЭВМ и включения питания необходимо проконтролировать выход комплекса на связь с пультовым терминалом. Если связь с пультовым терминалом отсутствует, наиболее вероятна неисправность канальных приемопередатчиков или внутренних логических схем интерфейса, обеспечивающих их работу. Осциллографом проверяется наличие импульсных последовательностей сигналов К ВВОД Н, К ВЫВОД Н, К СИП Н, К СИА Н, К СБРОС Н, а затем К ДА 00 Н — К ДА 15 Н на соответствующих контактах. Сигналы на указанных выше линиях не должны иметь постоянно низкий уровень. Линия, на которой обнаружен постоянно низкий уровень, подлежит более тщательной проверке. Если микроЭВМ выходит на связь с пультовым терминалом, то, используя команды терминала, необходимо обратиться ко всем регистрам дефектуемого блока для выборки и загрузки в них информации, либо только выборки, либо только загрузки в зависимости от их назначения.

В отсутствие обращения к регистрам возможны следующие дефекты:

не происходит дешифрация адреса (дефект адресного компаратора или отличный от запрашиваемого адрес регистра);

не проходят по внутренним логическим схемам сигналы К СИА Н, К ВВОД Н, К ВЫВОД Н;

нарушается работа дешифратора управляющих сигналов;

не формируется сигнал К СИП Н.

В оперативную память микроЭВМ необходимо ввести программу зацикливания обращения по несуществующему адресу, засинхронизировать осциллограф от сигнала К СИА Н и выяснить причину дефекта.

Пример программы по зацикливанию выборки информации из регистра:

```
200/12706 }
202/100   }   — формирование начального адреса стековой памяти 100
204/13700     — пересылка содержимого ячейки с адресом ххх ххх в РОН 0
206/ххх  ххх
210/0         — выход на связь с терминалом по команде ОСТАНОВ, при выполнении программы
4/200         — выход в начало программы по вектору 4₈
6/0             по ошибке обращения к каналу
```

Старт программы дается командой пультового терминала 200G.

После контроля ответов всех регистров устройства на циклы обращения к ним, считыванием регистра состояния проверяется наличие сигнала готовности УВВ к работе, для чего к устройству подключается соответствующее УВВ или сигнал готовности имитируется на входном разъеме. Если при наличии входного сигнала готовности в регистре состояния не устанавливается соответствующий разряд, вводится программа зацикливания обращения к РС, осциллограф синхронизируется сигналом К ВВОД Н и выясняется причина дефекта:

100/13700 — пересылка содержимого РС с адресом ххх ххх (102/ххх ххх) в РОН 0

104/775 — безусловный переход в начало программы.

Старт программы — командой пультового терминала 100G.

Затем производится контроль обмена данными УВВ, причем контролируется как передача нулей, так и передача единиц. Наиболее удобно использовать с этой целью так называемые «шахматные коды» — 52525_8 и 125252_8.

В случае искажения обмениваемой информации запускается программа ввода или вывода по готовности УВВ, осциллограф синхронизируют от сигналов К ВВОД Н или К ВЫВОД Н соответственно и выявляют причину дефекта.

Пример программы вывода информации на УВВ:

```
100/105737          — контроль наличия «1» в разряде 07 РС
102/ссс ссс           с адресом ссс ссс
104/100375          — условный переход по «положительному» коду в начало
                      программы
106/12737           — пересылка «шахматного» кода по адресу ддд ддд регистра
110/25225 или 125252  данных контролируемого устройства
112/ддд ддд
114/771             — безусловный переход в начало
```

Старт программы — командой пультового терминала 100.

Если бит готовности формируется не в разряде 07, в ячейку 100 следует занести код команды В1Т (ПРОВЕРКА РАЗРЯДОВ) с засылкой в один из РОН кода признака контролируемого разряда (например, 100000_8 для РС интерфейса И2, в котором сигнал ТРЕБОВАНИЕ Б формируется в разряде 15) и в ячейку 104 занести переход ВЕ0 (ВЕТВЛЕНИЕ, ЕСЛИ РАВНО НУЛЮ).

При работе с интерфейсом И4 на первом этапе ремонта при контроле передачи и приема данных дисковод целесообразно отсоединить и, работая в пультовом режиме, имитировать сигналы ЗАВЕРШЕНО Н, ЗАПРОС ПЕРЕДАЧИ Н, СДВИГ Н, ВЫВОД Н, ДАННЫЕ Н в соответствии с алгоритмом работы. Затем для контроля пропустить программу загрузки и выборки информации из буфера контроллера НГМД.

При настройке дефектного блока УПО перед установкой его в каркас с исправным блоком замкнуть на нем перемычку *Е12* в дешифраторе адреса в положение «0», задавая тем самым следующие адреса его регистров:

РС ПРМ	167560
РД ПРМ	167562
РС ПРД	167564
РД ПРД	167566

На первом этапе проводят рекомендуемые выше мероприятия, затем после установки разряда 02 РС ПРД в состояние «1» УПО переводится в режим КОНТРОЛЬ. Используя приведенную программу записи и считывания во входной и выходной буферы «шахматного» кода 125, проверяют работу передатчика и приемника:

```
100/12737 }
102/125   } — пересылка кода 125 по адресу РД ПРД 167566 дефектуемого УПО;
104/167566}
106/105737  — контроль бита готовности приемника;
110/167560
112/100372  — условный переход по «положительному» коду в начало;
114/13700   — загрузка содержимого РД ПРМ в РОН 0;
116/167562
120/0       — останов.
```

При невыполнении программы из нее изымается «контроль готовности» и «условный переход» и вместо останова вводится команда возврата в начало. При выполнении программы контролируется выработка флагов готовности приемника и передатчика. Старт программы — командой пультового терминала 100G.

Заключительным этапом проверки интерфейсных блоков является их контроль в режиме прерывания.

Предлагаемая программа обеспечивает проверку работы в режиме прерывания, внешнего устройства-приемника:

```
10/12737    — установка бита «Разрешение прерывания» в РС с адресом ссс ссс
12/100        (в данном случае разряда 06)
14/ссс ссс
16/1        — ожидание
20/773      — возврат в начало
ВВ/100      — загрузка в ячейкн, определяемые кодом ВВ вектора прерывания,
ВВ+2/0        адреса начала программы обработки прерывания, например 100,
              и нового слова состояния процессора
100/12737   — пересылка по адресу РД, определяемому кодом «ддд ддд» инфор-
102/125       мационного кода, в данном случае 125
104/ддд ддд
106/2       — команда возврата из прерывания
R6/50       — задание начала стековой памяти
```

При невыполнении программы необходимо проконтролировать выработку и прием сигналов К ТПР Н, К ППР Н, ВЕК Н, К СИП Н.

При наличии двух векторов прерывания следует проверить выработку сигнала ВЕК 2. Контроль собственно вектора прерывания удобно проверить, заземляя шину ВЕК Н.

Аппаратный загрузчик, расположенный в модуле интерфейса И4, проверяется считыванием содержимого ячеек 173000—173076. Кроме того, контролируется работа блока проведения циклов регенерации в режиме прямого доступа, также расположенного в модуле интерфейса И4.

Комплексная проверка интерфейсных модулей проводится с исправными УВВ по соответствующим программам ТМОС.

ГЛАВА 6

БЛОК ПИТАНИЯ

1. Назначение и техническая характеристика

Блок питания стабилизированный БСП6-1 предназначен для питания процессора и внешних устройств микроЭВМ «Электроника-60» и формирования логических сигналов, обеспечивающих нормальное функционирование микроЭВМ.

Блок питания БСП6-1 входит в состав микроЭВМ «Электроника-60».

Техническая характеристика

Напряжение питания блока от сети, В	220
Частота сети, Гц	50±1
Мощность, потребляемая от сети, Вт, не более	400
Выходные стабилизированные напряжения постоянного тока, В, не более	+5, +12, −12
Токи нагрузки, А, не более:	
канал +5 В	18
канал +12 В	3,5
канал −12 В	1,5
Суммарная выходная мощность, Вт, не более	130
Пульсация выходных напряжений (от пика до пика), мВ, не более:	
канал +5 В	100
канал +12 В	200
канал −12 В	200
Диапазон регулирования выходных напряжений, %	−5...+5
Ток нагрузки, при котором срабатывает схема защиты от перегрузки и короткого замыкания, А, не более:	
канал +5 В	27
канал +12 В	7,0
канал −12 В	4,5
Напряжение на нагрузке, при котором срабатывает схема защиты от перенапряжений, В:	
канал +5 В	+6,0...+6,3
канал +12 В	+13,5...+14,5
канал −12 В	−13,5...−14,5

Блок питания обеспечивает отключение каналов стабилизации в следующих случаях:

при коротком замыкании в одном из каналов;
при повышении сетевого напряжения выше допустимых пределов;
при понижении уровня сетевого напряжения;
при переводе тумблера ПИТАНИЕ в положение ВКЛ.

Блок питания связан с процессором сигналами К ПИТН В, К ПОСТ Н В, К ПРТ Н, К ОСТ Н, РАБОТА Н, характеризующими состояние блока и процессора и управляющими работой процессора.

2. Функционирование блока питания

Структурная схема. Питающее напряжение через силовой трансформатор *СТр* и выпрямители *В* подается на блок силовых стабилизаторов *СС* (рис. 29). Блок *СС* обеспечивает выработку набора постоянных стабилизированных напряжений для питания электрических схем микроЭВМ. Контроль выходных стабилизированных напряжений обеспечивается датчиками тока *ДТ* и схемами защиты от перенапряжений *СЗП*, сигналы с которых через блок логики *БЛ* поступают на устройство управления силовыми стабилизаторами *УУСС*. Блок питания содержит формирователь логических

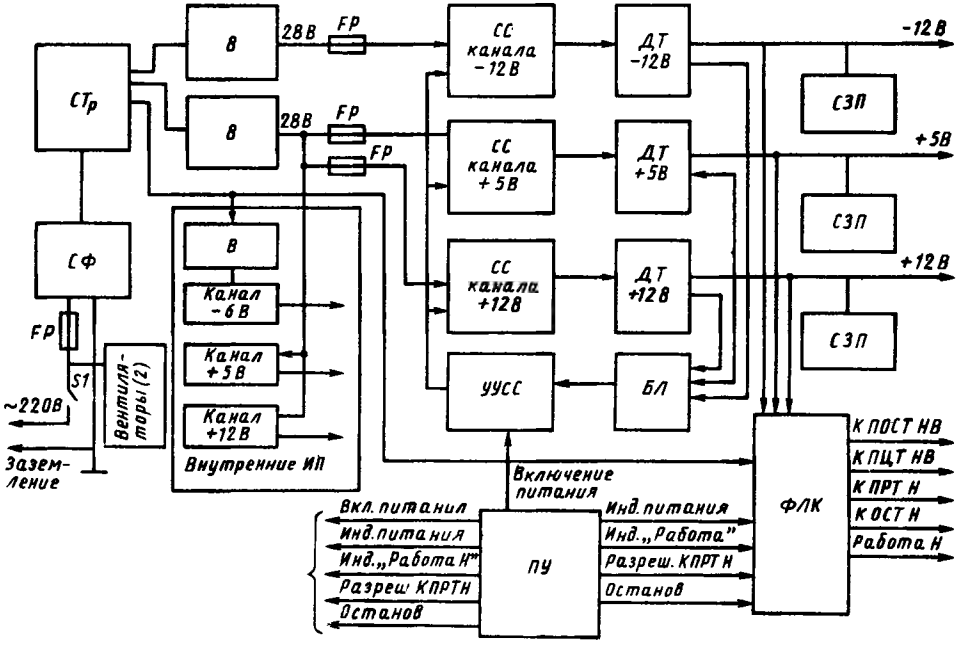


Рис. 29. Структурная схема блока питания БСП6-1

команд *ФЛК* и схему внутренних источников питания *ИП*, обеспечивающих функционирование *БЛ* без использования выходных напряжений блока *КС*. Кроме того, в состав блока питания входит панель управления (*ПУ*), связанная с блоком логики и обеспечивающая индикацию режимов работы микроЭВМ.

Силовые цепи. Сетевое напряжение через предохранитель (рис. 30) *EP1*, расположенный на задней стенке блока, после замыкания там же расположенного выключателя *S1*, во-первых, обеспечивает свечение неоновой лампы *HL1* и, во-вторых, работу двух вентиляторов *E2*, *E3*. Далее сетевое напряжение через фильтр поступает на первичные обмотки *1*, *2* силового трансформатора *T1*. Со вторичных обмоток *4*, *5* пониженное напряжение через выпрямители *VD1*, *VD2*, *VD5*, *VD6* и выходной фильтр *C2* поступает на плату силовых стабилизаторов для запитки канала стабилизации — 12 В. Переменное напряжение, снимаемое со вторичных обмоток *6*, *7*, *8*, также поступает в плату силовых стабилизаторов для запитки автономного источника питания и в схему таймера. Напряжение, снимаемое с обмоток *9*, *10*, после выпрямления и фильтрации поступает в плату силовых стабилизаторов для питания каналов +5 В и +12 В.

Каналы стабилизации. Поскольку схемно все каналы стабилизации блока БСП6-1 выполнены аналогично, рассмотрим работу одного из них.

Силовой стабилизатор канала +5 В (рис. 31) содержит: проходной силовой транзистор *VT4*, работающий в ключевом режиме; «разгоняющий» транзистор *VT1*; *LC*-фильтр, образованный накопительным дросселем (дроссель *L1* на схеме силовых стабилизаторов) и высокочастотным дросселем *L1* и конденсаторами *C13—C16*, *C26*, *C27*; диоды рекуперации, через которые протекает ток накопительного дросселя, когда проходной транзистор *VT4* закрыт; плату модулятора (рис. 32) с делителем выходного напряжения канала на резисторах *R3*, *R10*, *R11*, микросхемой *A1*, стабилизатором напряжений на транзисторе *VT1*, стабилитронах *VD3*, *VD4*, резисторах *R2*, *R12*, *R13*, *R14* и конденсаторе *C5*.

Постоянное нестабилизированное напряжение 28 В на плате модулятора (рис. 32) через резисторы *R5*, *R6* поступает на входы *5*, *7* микросхемы *A1*, формируя на выходе *6*

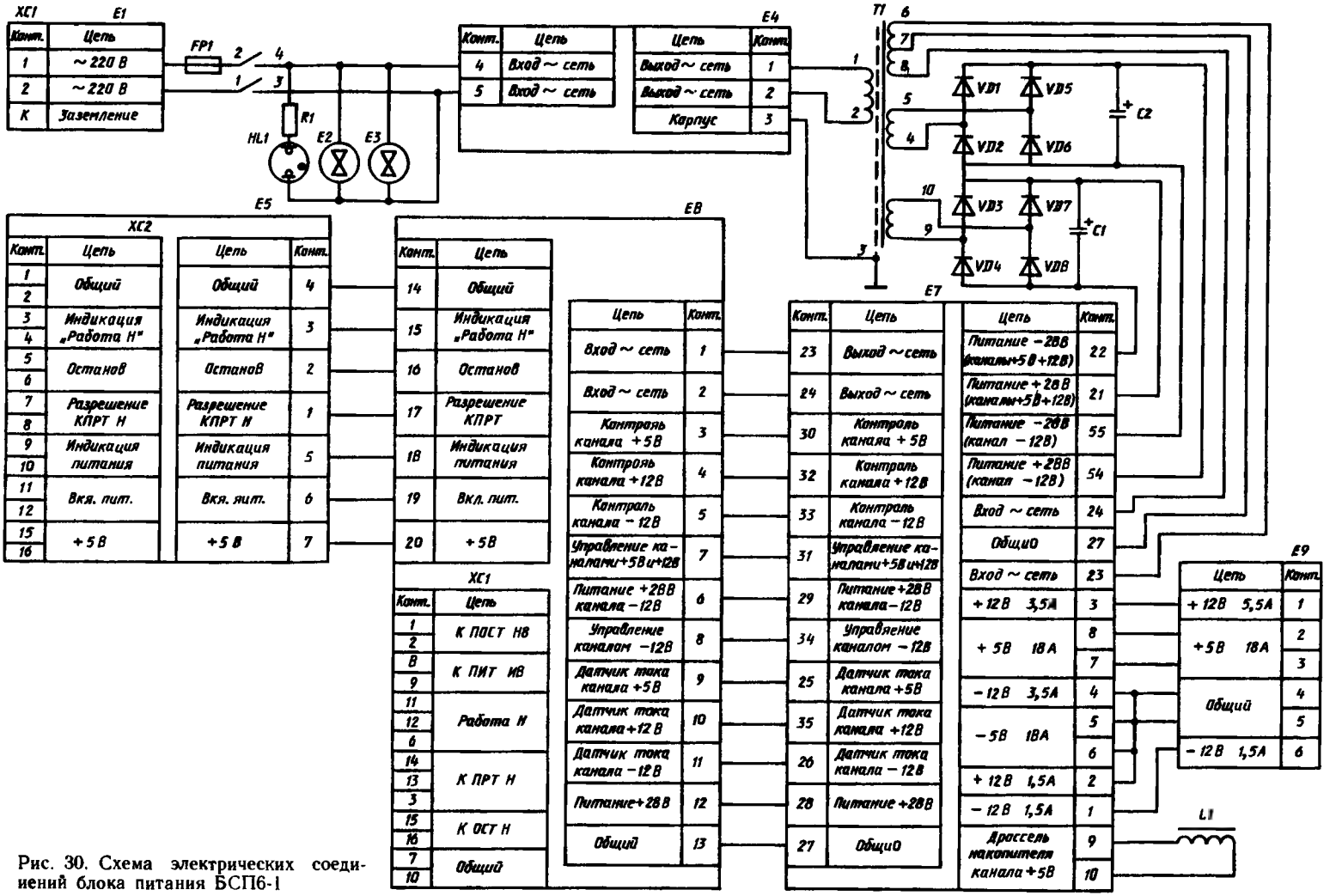


Рис. 30. Схема электрических соединений блока питания БСП6-1

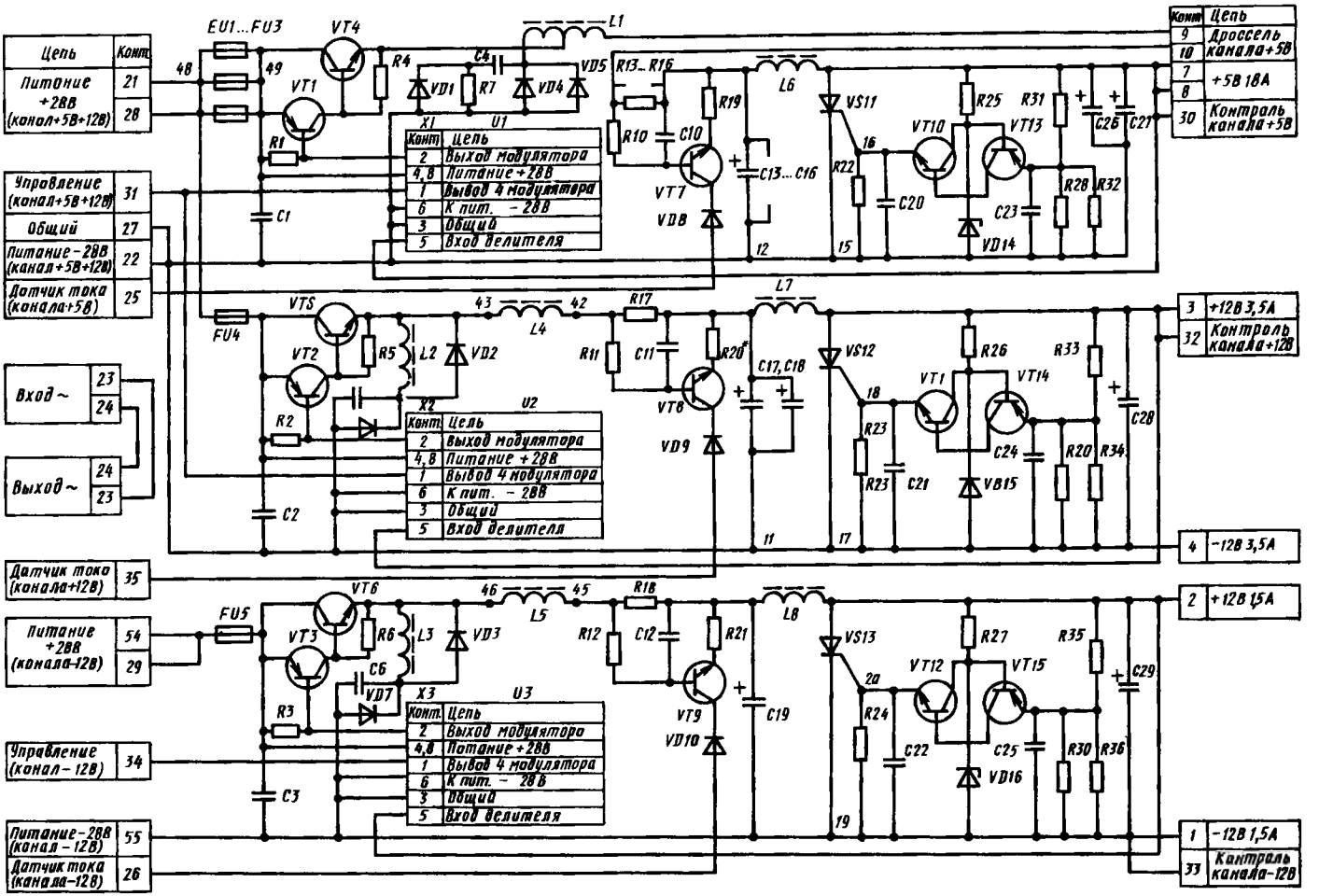


Рис. 31. Плата силовых стабилизаторов

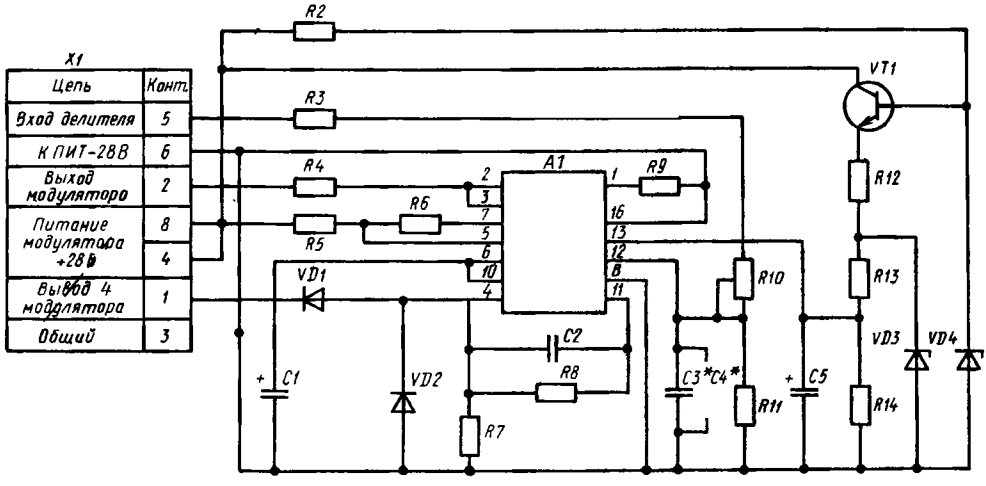


Рис. 32. Плата модулятора

соответствующий потенциал питания порогового устройства микросхемы, который затем заводится на ее вход *10*, и стабилизируется конденсатором *C1*. На входы порогового устройства микросхемы заводятся опорный потенциал (на контакт *13*) с резистора *R14* и сигнал обратной связи с движка резистора *R10* (на контакт *12*). С выхода схемы порогового устройства (контакт *11*) сигнал поступает на делитель *R7*, *R8* и с его средней точки подается на вход ключевой схемы (контакт *4*), выход которой (контакты *2*, *3*) управляет состоянием «разгоняющего» транзистора *VT1* на плате силовых стабилизаторов.

При падении выходного напряжения ниже +5 В потенциал на контакте *12* микросхемы *A1* становится меньше опорного, что приводит к закорачиванию вывода *2* микросхемы *A1* на землю. Ток, протекающий по делителю напряжения на резисторах *R1*, *R4*, создает на резисторе *R1* платы силовых стабилизаторов (см. рис. 31) падение напряжения, достаточное для полного открытия транзистора *VT1*. Открывается проходной транзистор *VT4*, увеличивается ток через накопительный дроссель, что вызывает рост напряжения на нагрузке. При увеличении напряжения на нагрузке выше +5 В проходной транзистор *VT4* запирается и т. д. Потенциал закрытия ключевой схемы элемента *A1* (см. рис. 32) может быть подан извне через диод *VD1* с платы логики низким уровнем сигнала УПРАВЛЕНИЕ КАНАЛАМИ +5 В, +12 В.

Схема защиты от короткого замыкания и перенапряжения. Защита цепей нагрузки от пробоя проходного транзистора *VT4* (см. рис. 31) обеспечивается предохранителями *FV1 — FV3*, включенными в его коллекторную цепь.

При допустимых значениях тока в канале +5 В транзистор *VT7* закрыт и формируется высокий уровень сигнала ДАТЧИК ТОКА КАНАЛА +5 В. При превышении допустимых значений тока падение напряжения на резисторе *R13* возрастает, обеспечивая открытие транзистора *VT7* и падение уровня сигнала ДАТЧИК ТОКА КАНАЛА +5 В.

При превышении уровня выходного напряжения создаются условия для открытия транзистора *VT13*, что приводит к открытию транзистора *VT10*. Открытие транзистора *VT10* обеспечивает еще большее открытие транзистора *VT13* и т. д. Такой лавинный эффект приводит к включению тиристора *VD11*, который своим малым сопротивлением вызывает режим короткого замыкания и, как выше изложено, понижение уровня сигнала ДАТЧИК ТОКА КАНАЛА +5 В.

Сигнал ДАТЧИК ТОКА КАНАЛА +5 В поступает затем на плату логики на вход схемы управления каналами стабилизации в режиме короткого замыкания.

Схема управления каналами стабилизации в режиме короткого замыкания содержит четыре делителя, выполненных на резисторах *R1 — R23* (рис. 33) и подключенных к потенциалу —6 В, который формируется автономным источником питания (*VT1, VT3*). Делитель, подключенный к сигналу ПИТАНИЕ +28 В, формируемому выпрямителем каналов +5 В, +12 В, обеспечивает потенциал на прямых входах компараторов напряжения *D1, D2*. Остальные три делителя подключены к соответствующим сигналам ДАТЧИК ТОКА КАНАЛА и формируют потенциалы на инверсных входах компараторов напряжения *D1, D2*. При нормальной работе блока потенциалы на инверсных входах компараторов выше, чем на прямых, что вызывает формирование на выходах низких уровней сигнала, обеспечивающих закрытое состояние транзистора *VT2*.

При возникновении короткого замыкания в любом из каналов понижается уровень соответствующего сигнала ДАТЧИК ТОКА КАНАЛА..., тогда потенциал на выходе компаратора *D1* или *D2* увеличивается и через диоды *D3* или *D4* открывается транзистор *VT2*. Низкий уровень, снимаемый с коллектора транзистора *VT2*, формирует сигнал «1» на выходе *D7/4*, обеспечивая открытие транзистора *VT8* и выработку низким уровнем сигнала УПРАВЛЕНИЕ КАНАЛАМИ +5 В, +12 В, приводящего к отключению соответствующих каналов.

Открытие транзистора *VT8* обеспечивает закрытие транзисторов *VT9*, *VT6* и открытие *VT12*, с коллектора которого низким уровнем вырабатывается сигнал УПРАВЛЕНИЕ КАНАЛОМ —12 В, отключающий соответствующий канал.

Одновременно срезом сигнала «1» с коллектора транзистора *VT2* запускается на 20 мкс одновибратор *D5/1*, который в свою очередь запускает на 15 мс одновибратор *D11/1*. Поскольку произошло отключение каналов стабилизации, аварийный сигнал на входе компараторов *D1, D2* снимается, разрешая включение каналов. При продолжении короткого замыкания сигнал на входе компаратора вновь отключает каналы и т. д. Такой процесс может продолжаться в течение 15 мс, если короткое замыкание не будет устранено. По окончании работы одновибратора *D11/1* фронтом сигнала «1» запускается на 200 мс одновибратор *D8*. Тогда при поступлении следующего сигнала перегрузки по току импульс с одновибратора *D5/1* устанавливает выход триггера *D9/3* в состояние «1». Этот сигнал совместно с сигналом «1» на выходе одновибратора *D8/6* обеспечивает на выходе *D9/11* сигнал «0», отключающий каналы стабилизации на 200 мс. По окончании работы одновибратора *D8* при устранении короткого замыкания возобновляется нормальная работа или при сохранении короткого замыкания вновь начинается на 15 мс цикл опроса каналов.

При первоначальном пуске блока питания, естественно, происходит срабатывание схемы контроля перегрузки по току. Однако по истечении 15 мс конденсаторы выходных фильтров канала заряжаются, токовые перегрузки отсутствуют и при запуске одновибратора *D8* и выход триггера предельного тока *D9/3* в «1» не устанавливается.

Отключение каналов стабилизации по рассмотренной схеме произойдет и при сверхмерном увеличении сетевого питающего напряжения. Тогда увеличение потенциала сигнала ПИТАНИЕ +28 В на прямых входах компаратора *D1, D2* превысит потенциалы, снимаемые со средних точек делителей, что откроет транзистор *VT2*.

Схемы контроля наличия питающих напряжений. Эта схема, контролирующая наличие питающих напряжений, а также их допустимый нижний уровень, выполнена на компараторах *D12, D13* (см. рис. 32). Делители на входах компаратора подключены к соответствующим сигналам КОНТРОЛЬ КАНАЛА..., формируемым непосредственно на выходах каналов стабилизации в плате силовых стабилизаторов. При нормальной работе потенциалы на инверсных входах компараторов выше, чем на прямых, диоды *VD7, VD8* закрыты низкими уровнями на выходах компараторов *D12, D13*. При падении напряжения в любом из каналов повышается потенциал на выходе компаратора *D12/10* или *D13/9* и через диоды *VD7* или *VD8* открывается транзистор *VT7*. Открытый транзистор *VT7* через компаратор *D14/9* открывает транзистор *VT11*, с коллектора которого вырабатывается пассивным низким уровнем сигнал К ПОСТ Н В, а сигнал

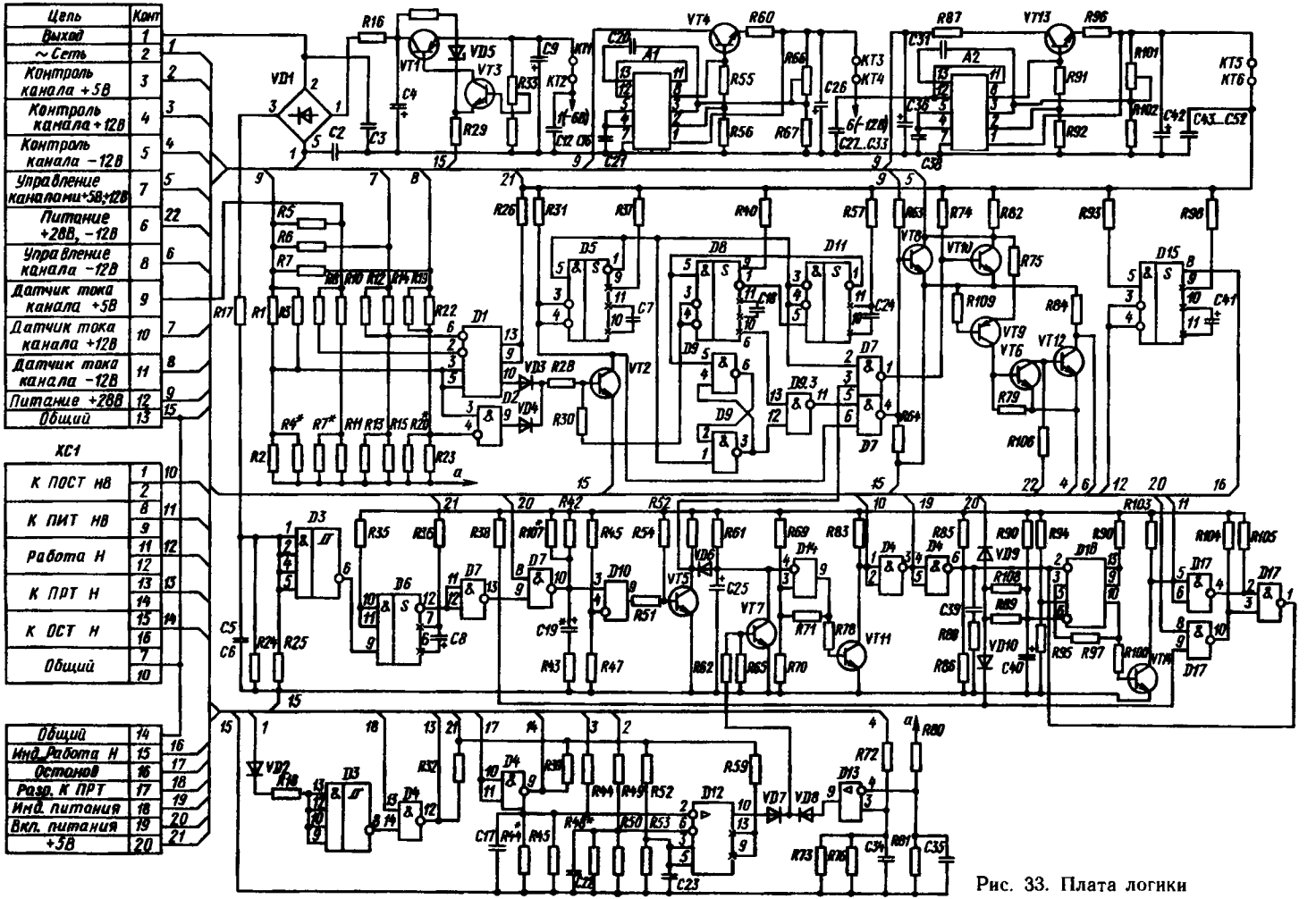


Рис. 33. Плата логики

«1», формируемый на *D4/3*, обеспечивает гашение светодиода «Питание» на панели управления.

Схема контроля понижения сетевого напряжения. Эта схема, регистрирующая понижение сетевого напряжения, содержит двухполупериодный выпрямитель сетевого напряжения *VD1* (см. рис. 32), пороговое устройство, выполненное на делителе *R17*, *R24*, *R25*, триггере Шмитта *D3/6* и одновибраторе *D6/12*.

Если напряженне сети не менее 220 В — 15 %, то на выходе *D3/6* формируются прямоугольные импульсы низкого уровня с частотой 100 Гц, причем длительность этих импульсов соответствует длительности превышения в полупериоде с сетевым напряжением установленного уровня. От положительного фронта каждого импульса запускается одновибратор *D6/12*, генернрующнй нмпульс длительностью 10...12 мс, и поэтому одновибратор перезапускается каждым импульсом с выхода триггера Шмитта *D3/6*, т. е. на выходе *D7/13* постоянно высокий уровень.

Если хотя бы в одном из полупериодов сетевое напряжение будет ниже нормы, запуска одновибратора *D6/12* не происходнт и сигнал «0» с *D7/13*, во-первых, через диод *VD10*, минимум за 3 мс, разряжает конденсатор *C40*, вырабатывая с коллектора открываемого транзнстора *VT14* сигнал низкого уровня К ПИТ Н В. Во-вторых, сигнал «0» с *D7/13* обеспечивает через *D7/10* зарядку конденсатора *C19* и через 5—10 мс открывается тразистор *VT5*. Низкий уровень напряження на коллекторе траизистора *VT5* открывает днод *VD6*, что приводит к открытию транзнстора *VT11* и снятию сигнала К ПОСТ Н В. Кроме того, снгнал «0» с коллектора *VT5* формирует сигнал «1» на *D7/1*, открывается транзистор *VT10*, что приводит к отключенню каналов стабилизации сигналами низкого уровня УПРАВЛЕНИЕ КАНАЛОМ...

Аналогичное явление происходит и прн переводе переключателя ПИТАНИЕ в ннжнее положение ВЫКЛ. Тогда сигнал низкого уровня ВКЛ ПИТАНИЕ, поступая иа *D7/8*, отключает каналы и снимает сигнал К ПОСТ Н В, кроме того, поступая на днод *VD9*, через компаратор *D16/10* он открывает транзнстор *VT14*, снимая сигнал К ПИТ Н В.

Схема обеспечения временной последовательности выработки сигналов К ПОСТ Н В и К ПИТ Н В. Прн включении питания переключателем ПИТАНИЕ нли при восстановлении уровня входного напряжения закрывается транзнстор *VT5* (см. рис. 32) и включаются каналы стабилизации. После некоторой задержки, связанной с зарядкой конденсатора *C25*, закрывается транзистор *VT11*, обеспечивая выработку сигнала К ПОСТ Н В и включенне индикатора ПИТАНИЕ. Примерно через 70 мс током с выхода *D4/6* зарядится конденсатор *C39*, обеспечивая закрытне транзнстора *VT14* и выработку сигнала К ПИТ Н В.

Однако, еслн в конце задержки на включенне снгнала К ПИТ Н В, равиой 70 мс, например, на 68-й произойдет пониженне сетевого напряження, то в течение 6—9 мс (время — задающая цепочка *R42—C19*) схема формнровання сигнала К ПОСТ Н В этого «не чувствует», уровни снгнала К ПОСТ Н В и напряжения на входе компаратора *D16/2* будут оставаться активными. Следовательно, в данной ситуацин сигнал К ПОСТ Н В будет продолжать сохранять высокий уровень до 73-й миллисекуиды, а сигнал К ПИТ Н В в нитервале между 70-й и 71-й миллисекундами примет высокий уровень. Поэтому в теченне первой миллисекунды оба канальных снгнала К ПОСТ Н В и К ПИТ Н В будут иметь высокий уровень. При таком режиме программа, вводимая в процессор, может не сохраниться, так как на ввод или вывод программы требуется 3 мс, а высокнй уровень сигнала К ПИТ Н В удержнвается в течение 1 мс. Чтобы этого не происходило, введена схема *D17*. Тогда прн наличии сигнала «0» на *D7/13*, информирующего о пониженни или снятни сетевого напряжения, сигнал «1» с *D17/10* в отсутствии сигнала К ПИТ Н В иа входе *D17/5* обеспечивает формирование низкого уровня на *D17/1*. Конденсатор *C39* быстро разряжается, предотвращая выработку снгнала К ПОСТ Н В.

Схема формирования сигнала К ПРТ Н. Она содержнт однополупериодный выпрямитель на диоде *VD2* и резнсторах *R21*, *R18*. Импульсы частотой 50 Гц с выхода выпрями-

теля поступают через формирователь *D3/8* на вентиль *D4/14*, управление которым производится сигналом РАЗР К ПРТ в зависимости от положения переключателя ТАЙМЕР на панели блока питания. При верхнем положении переключателя на *D4/13* будет сигнал «1» и импульсы поступают на плату ЦП, при нижнем положении переключателя вентиль закрыт и на *D4/12* — постоянно высокий уровень.

Когда процессор работает под управлением программы или выполняет стартовую микропрограмму, в блок питания поступает сигнал РАБОТА Н в виде высокочастотных импульсов. Этими импульсами запускается одновибратор *D15*, генерирующий импульсы большой длительности, которые обеспечивают свечение индикатора РАБОТА на передней панели блока питания.

Сигнал К ОСТ Н формируется на *D4/9* от сигнала ОСТАНОВ, состояние которого определяется положением переключателя ПРОГРАММА/ПУЛЬТ. При верхнем положении переключателя сигнал — пассивен. При нижнем положении сигнал К ОСТ Н переводит ЦП на связь с пультовым терминалом.

На плате логики также располагается блок автономного питания, обеспечивающий функционирование элементов платы вне зависимости от работы основных каналов стабилизации. Автономные каналы выполнены по схеме компенсационных стабилизаторов напряжения, причем в двух из них — канале +12 В (КТ 3) и канале +5 В (КТ 5) — в качестве управляющего элемента используется интегральный стабилизатор напряжения К142ЕН1.

Канал стабилизации —6 В (КТ 1) питается от выпрямителя *VD1* с выходным фильтром (*R16—C4*). Каналы стабилизации +12 В, +5 В получают питание от силового выпрямителя +28 В.

Переключатели ТАЙМЕР/ВЫКЛ, ПИТАНИЕ/ВЫКЛ, ПРОГРАММА/ПУЛЬТ расположены в плате управления (рис. 34). Чтобы «дребезг» контактов переключателей не влиял на работу логических схем, после каждого переключателя стоит триггер. Помимо переключателей на плате управления расположены три светодиода, два из которых индицируют состояние ПИТАНИЕ и РАБОТА. Средний светодиод резервный, может быть задействован по усмотрению пользователя.

На плате управления также установлено контактное устройство ХС 2 типа Р6-16 для дистанционного управления блоком питания, например, при одновременной работе двух блоков. В таком случае контактные устройства ХС 2 обоих блоков питания должны быть

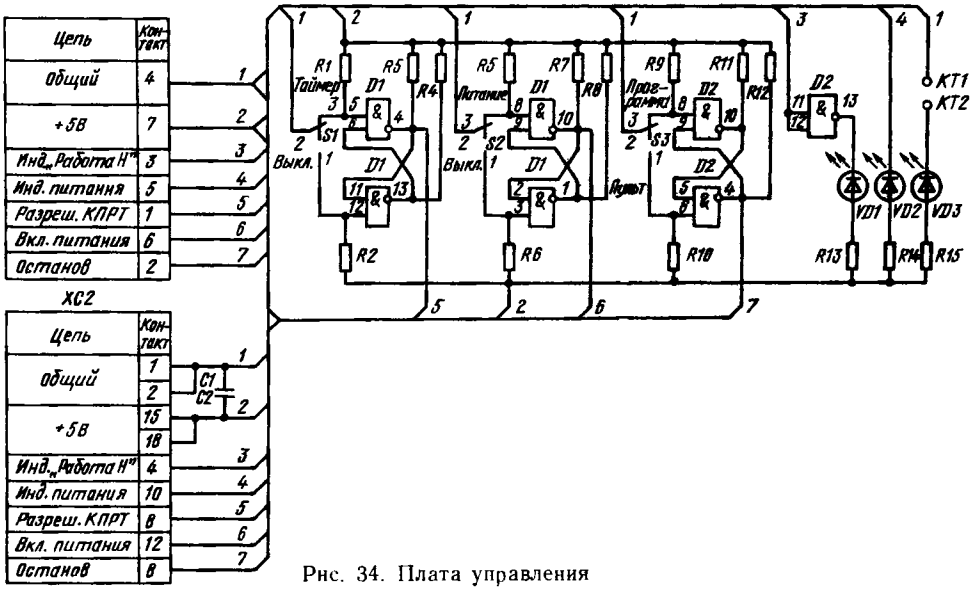


Рис. 34. Плата управления

соединены шлейфом, а переключатели управляемого блока ТАЙМЕР/ВЫКЛ и ПИТАНИЕ/ВЫКЛ иаходиться в верхнем положении, а переключатель ПРОГРАММА/ПУЛЬТ — в инжнем положенни.

3. Характерные неисправности и методы их устранения

После включения тумблера на задней стенке блока иеобходимо проконтролировать свечение иеоновой лампы и шум работающих веитиляторов. При неработающих вентиляторах включение каналов стабилизации категорически запрещается. Если при включеииых тумблерах СЕТЬ и ПИТАНИЕ не горит светодиод ПИТАНИЕ, наиболее вероятно отсутствие контакта в разъемах кабеля Е6, соединяющего плату управления с платой логики. При отсутствии одного из стабилизнрованиых напряжеиий (что можио проконтролировать по состоянню сигнала К ПОСТ Н В на контактном устройстве ХС 2 платы управлеиия) необходимо первоначальио проверить контакт платы модуляторов в блоке силовых стабилизаторов. Затем проверить состояние предохранителей *EP2, EP3, EP4* и в случае их перегорания проверить силовые траизисторы *VT4, VT5, VT6* на плате силовых стабилизаторов.

При необходимости разборки блока питания следует последовательно выполнить следующие операции:

отсоединить кабель *E6*, соединяющий плату логики с платой управления;

вывериуть винты, при помощи которых осуществляется подсоединение кондеисатора *C1* (22 000 мкФ, 40 В) и дросселя *L1*;

отпаять и иарастить провода от коитактов *23, 24, 27* на плате силовых стабилизаторов;

отпаять н нарастить провода, идущие от коиденсатора *C2* (4700 мкФ, 40 В) иа контакты *54, 55* платы силовых стабилизаторов;

вывернуть четыре винта на боковых стенках каркаса блока, крепящие его переднюю паиель, на которой установлеиа плата управления;

осторожно покачивая, выдвинуть из каркаса свинченные и состыкованные между собой платы силовых стабилизаторов и логики.

ГЛАВА 7

ПЕРИФЕРИЙНОЕ ОБОРУДОВАНИЕ

1. Дисплей 15 ИЭ-00-13

Дисплей 15 ИЭ-00-13 используется в составе вычислительного комплекса на базе микроЭВМ «Электроника-60» в качестве терминала.

В состав дисплея входят следующие блоки:

монитор;

блок клавиатуры,

блок логики.

Дисплей обеспечивает хранение, редактирование и отображение буквенно-цифровой информации на экране монитора, ввод-вывод информации в широком диапазоне скоростей с линии связи и блока клавиатуры.

Дисплей позволяет хранить в запоминающем устройстве 48 строк текста по 80 символов в строке с одновременным отображением на экране не менее 1920 символов при 24 строках по 80 символов в строке. Кроме того, дисплей позволяет отображать на экране монитора одну служебную строку для индикации режимов работы.

Дисплей формирует изображение 192 символов: 160 символов прописных и строчных букв русского и латинского алфавитов, арабских цифр, специальных символов по ГОСТ 13052—74 (рис. 35) и 32 служебных символа с кодами 000—037, отображенных как символы латинского алфавита с кодами 100—137 соответственно, но с миганием частотой 5 Гц.

Дисплей обеспечивает выполнение двух систем команд (табл. 31): системы команд № 1; системы команд № 2. Коды команд аналогичны кодам функциональных клавиш, вырабатываются также при нажатии клавиши «СУ» и одновременно алфавитно-цифровой клавиши. Отработка команд с кодами 014—033 производится на верхнем регистре (ВР), остальных комаид — на нижнем регистре (НР).

Характер взаимодействия дисплея с внешними устройствами определяется режимными (с фиксацией) клавишами «ЛИН», «ДУП», «ПЧ». Этим клавишам соответствуют следующие режимы работы:

«ЛИН» — «Линия» («Автономный»);

«ДУП» — «Дуплекс» («Полудуплекс»);

«ПЧ» — «Печать» («Передача»).

В скобках указаны режимы, соответствующие выключенной клавише. Включение клавиши обеспечивается ее нажатием до состояния фиксации и индицируется соответствующим светодиодом.

Автономный режим характеризуется отсутствием обмена информацией с внешним устройством. Коды с клавиатуры, соответствующие данным, запоминаются в ЗУ дисплея и отображаются; коды, соответствующие командам, отрабатываются согласно табл. 31. Отработка команд происходит только в режиме «Редактирование»: нажата клавиша «РЕД», при этом загорается соответствующий светодиод. Когда режим «Редактирование» выключен, коды комаид записываются в ЗУ дисплея и на экране отображаются с мерцанием частотой 5 Гц. В режиме «Редактирование» символы, соответствующие кодам неотработанных команд, отображаются как «ПРОБЕЛ». Режим «Редактирование» отключается при блочной передаче массива данных.

Передача данных и команд с ЗУ дисплея во внешние устройства может осуществляться в знаковом и блочном режимах. В обоих случаях должны быть установлены режимы «Линия» и «Передача».

Набор 0						Набор 1					
040	060	100	120	140	160	040	060	100	120	140	160
	⊘	@	P	`	p		⊘	ю	п	Ю	П
041	061	101	121	141	161	041	061	101	121	141	161
!	1	A	Q	a	q	!	1	а	я	А	Я
042	062	102	122	142	162	042	062	102	122	142	162
"	2	B	R	b	r	"	2	б	р	Б	Р
043	063	103	123	143	163	043	063	103	123	143	163
#	3	C	S	c	s	#	3	ц	с	Ц	С
044	064	104	124	144	164	044	064	104	124	144	164
¤	4	D	T	d	t	¤	4	д	т	Д	Т
045	065	105	125	145	165	045	065	105	125	145	165
%	5	E	U	e	u	%	5	е	у	Е	У
046	066	106	126	146	166	046	066	106	126	146	166
&	6	F	V	f	v	&	6	ф	ж	Ф	Ж
047	067	107	127	147	167	047	067	107	127	147	167
'	7	G	W	g	ω	'	7	г	в	Г	В
050	070	110	130	150	170	050	070	110	130	150	170
(	8	H	X	h	x	(	8	х	ь	Х	Ь
051	071	111	131	151	171	051	071	111	131	151	171
)	9	I	Y	i	y	)	9	и	ы	И	Ы
052	072	112	132	152	172	052	072	112	132	152	172
*	:	J	Z	j	z	*	:	й	з	Й	З
053	073	113	133	153	173	053	073	113	133	153	173
+	;	K	[	k	<	+	;	к	ш	К	Ш
054	074	114	134	154	174	054	074	114	134	154	174
,	<	L	\	l	|	,	<	л	э	Л	Э
055	075	115	135	155	175	055	075	115	135	155	175
−	=	M	]	m	>	−	=	м	щ	М	Щ
056	076	116	136	156	176	056	076	116	136	156	176
.	>	N	¬	n	¯	.	>	н	ч	Н	Ч
057	077	117	137	157	177	057	077	117	137	157	177
/	?	O	_	o	■	/	?	о	ъ	О	■

Рис. 35. Конфигурация символов дисплея 15 ИЭ-00-13

Знаковый режим — передача данных и команд только с клавиатуры. Блочный режим — передача данных и команд с ЗУ дисплея. Различие этих режимов для внешнего устройства в том, что они характеризуются разным темпом поступления информации. В первом случае она поступает в темпе работы оператора на клавиатуре, во втором случае обусловлена выбором скорости обмена.

Включение блочного режима производится командами «Передача строки» и «Передача страницы». Данные и команды с клавиатуры игнорируются до конца отработки этих команд. Если в строке 25 установлен режим «Синхронизация обмена», внешнее устройство может прерывать передачу данных и кодов с ЗУ дисплея командами «Прекратить передачу» и «Возобновить передачу». При передаче данных и команд в блочном режиме в дисплее предусмотрена компрессия передачи, которая заключается в том, что пробелы в конце текущей передаваемой строки не передаются, также не передается строка, если она состоит из одних пробелов. При необходимости соблюдения формата передаваемого блока оператор может ввести в строке 25 режим «АВТО ПС, ВК при передаче».

Прием данных и команд в дисплей от внешнего устройства осуществляется только в режимах «Линия» и «Дуплекс».

Таблица 31

Команды редактирования

Восьмеричный код	Клавиши служебных символов			Название команды	
	РУС ЛАТ ВР НР	РУС ЛАТ ВР НР	НР ВР	Система команд № 1	Система команд № 2
		СУ +			
000			Пробел	—	—
001	СІ	A	!	—	—
002		B	' ,	—	—
003		C	#	—	—
004		D	¤	—	—
005		E	%	—	Запрос
006	ПРС	F	&	Передача строки	—
007		G	/	Звонок	Звонок
010		H	(	Возврат	Возврат на шаг
011	ГТ	I	)	—	Горизонтальная табуляция
012	ПС	J	*	Перевод строки	Перевод строки
013	СТС	K	+	Стирание строки	Перевод строки
014	СБР	L	,	Сброс	Перевод строки
015	ВК	M	—	Возврат каретки	Возврат каретки
016	РУС	N		Русский регистр	Русский регистр
017	ЛАТ	O		Латинский регистр	Латинский регистр
020	АРІ	P		—	—
021	ПРМ	Q	1	Возобновить передачу	Возобновить передачу
022	↑	R	2	Сдвиг текста вверх	—
023	⇄	S	3	Размыкание	Прекратить передачу
024	⇅	T	4	Смыкание	—
025	↵	U	5	Маркер в начало следующей строки	—
026	↓	V	6	Сдвиг текста вниз	—
027		W	7	Переход к системе команд № 2	—
030	ТАБ	X	8	—	Аннулирование
031	→	У	9	Маркер вправо	—
032	←	Z	:	Маркер влево	Замена
033	АР2	[	;	—	Авторегистр 2
034	↑	\	<	Маркер вверх	—
035	↓	]	=	Маркер вниз	—
036	ПРД	↑	>	Передача страницы	—
037	СТР	—	?	Стирание страницы	—

В режимах «Линия» и «Полудуплекс» данные и команды принимаются как с линии, так и с клавиатуры.

На задней стенке дисплея установлены переключатели, которые могут коммутировать выходы передатчиков на линию с входами приемников с линии: в режиме «СТЫК 2» — положение «Т2», а в режиме «20 мА токовая петля» — положение «Т1».

Если отсутствует связь с внешним устройством в режимах «Линия», «Дуплекс», необходимо установить переключатели в соответствующие положения. При исправности передатчиков и приемников дисплея он будет работать в режиме, соответствующем режиму «Автономный».

Для выполнения дополнительных функций при работе с помощью клавиатуры устанавливаются II—V группы разрядов, отображаемых в служебной строке 25 экрана. Если в разряде стоит 0, то дополнительная функция выполняется, если стоит 1, то не выполняется. В составе служебной строки содержится шесть групп цифр.

Группа I определяет скорость обмена информацией по линиям связи (9600, 4800, 2400, 1200, 600, 300, 150, 75 бит/с).

Во II группе:

разряд 1 — сдвиг маркера;

разряд 2 — автоповтор клавиатуры (позволяет выдавать код нажатой клавиши с частотой 15 Гц, если она нажата более чем 1 с);

разряд 3 — резерв;

разряд 4 — вид маркера (0 — вид 1, 1 — аид 2).

В III группе:

разряд 1 — звуковой сигнал 72 знака в строке (предупреждает оператора, что в строке осталось только восемь позиций);

разряд 2 — звуковой сигнал клаанатуры (сопровождает код нажатой клавиши и привлекает внимание оператора);

разряд 3 — система команд (0 — № 1, 1 — № 2);

разряд 4 — синхронизация обмена.

В IV группе:

разряд 1 — резерв;

разряд 2 — фиксация маркера в крайних положениях строки (только для системы команд № 2) (0 — нет, 1 — есть);

разряд 3 — АВТО ПС, ВК (0 — нет, 1 — есть) для системы команд № 2, если установлена 1, то при нажатии клавиши ПС отрабатывается также и ВК, и наоборот; в любом случае маркер устанавливается на новую строку;

разряд 4 — резерв.

В V группе:

разряд 1 — тип контроля (0 — четность, 1 — нечетность);

разряд 2 — контроль (0 — нет, 1 — есть);

разряд 3 — АВТО ПС, ВК при передаче;

разряд 4 — индикацня строки 25.

В последней VI группе разрядоа отображается реальное время, прошедшее от момента включения дисплея или нажатия клавиши «ОЧС». 1-й, 2-й разряды индицируют часы, 3-й, 4-й — минуты, 5-й, 6-й — секунды.

Для изменения содержания служебной строки необходимо аыполнить следующие операции:

нажатием клавиши «СДВ» («Сдвиг») мигающий маркер переводится в начало служебной строки;

при нажатии клавиши «⟶» («Маркер вправо») маркер перемещается вправо к необходимому разряду в группе (группы кроме I);

при нажатии клавиши «↓» («Фиксация») изменяется содержимое разряда справа от маркера (в II—V группах содержимое разрядов либо 0, либо 1, в I группе последовательный перебор скоростей обмена);

при нажатии на клавишу «⟵» («Маркер влево») маркер перемещается влево к необходимому разряду.

После отжатия клавиши «СДВ» маркер возвращается на прежнее место, причем в зависимости от установленной функции служебная строка может погаснуть.

Для проверки дисплея можно использовать тест-программу 012101 ТМОС 00011—0134 «Тест ДС» или перфоленту 8.842.001—01.

2. Накопитель на гибких магнитных дисках НГМД 7022

Накопитель на НГМД является запоминающим устройством с произвольным доступом, обеспечивающим хранение 512К байт информации. В качестве носителя информации используется гибкий магнитный диск, помещенный в конверте.

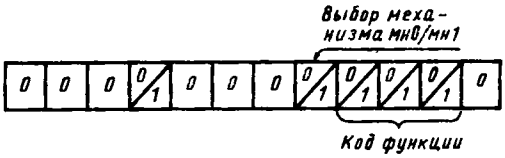


Рис. 36. Формат команды НГМД

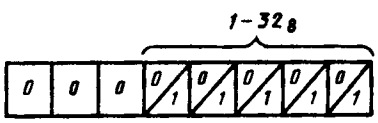


Рис. 37. Формат адреса сектора

Устройство обеспечивает запись информации на одну сторону диска, которая содержит 77 дорожек, пронумерованных от 0 до 76 $(0—114)_8$. Каждая дорожка содержит 26 секторов, пронумерованных от 1 до 26 $(1—32)_8$. Информационная емкость одного сектора — 128 байт. Устройство имеет два механизма накопителя и обеспечивает взаимозаменяемость магнитных дисков при записи и чтении как на своих механизмах накопителя, так и на аналогичных устройствах.

Формат команды устройства представлен на рис. 36. Разряды 01—03 определяют код функции, выполняемой устройством в соответствии с табл. 25.

Разряд 04 определяет механизм накопителя при выполнении функций записи и чтения с сектора. При выполнении остальных функций значение разряда 04 безразлично.

Разряд 08 определяет плотность, с которой устройство должно производить операции записи:

0 — операции с одиночной плотностью;

1 — операции с двойной плотностью.

В данном устройстве двойная плотность не предусмотрена.

Функция «Запись в буфер» используется для заполнения буферной памяти 128 байтами данных из микроЭВМ. Содержимое буфера может быть записано на диск при выполнении функции «Запись сектора» или возвращено в микроЭВМ при выполнении функции «Чтение буфера».

Функция «Чтение буфера» используется для загрузки в микроЭВМ 128 байт данных из буферной памяти, заполненной с помощью функции «Чтение сектора» или «Запись в буфер».

Функция «Запись сектора» используется для записи на диск содержимого буферной памяти устройства. Функция выполняется после получения адресов сектора и дорожки.

Функция «Чтение сектора» используется для считывания данных с диска и заполнения буферной памяти устройства. Функция выполняется после получения адресов сектора и дорожки.

Функция «Чтение РОС» используется для передачи из устройства содержимого регистра ошибок и состояния (РОС). Содержимое РОС определяет наличие диска в механизме, выбранном битом 04 команды, и состояние устройства после последней выполненной функции.

Функция «Запись сектора с меткой» аналогична функции «Запись сектора» с тем различием, что при ее выполнении перед зоной данных записывается специальный маркер данных.

Функция «Чтение РОШ» используется для передачи из устройства содержимого регистра ошибок (РОШ).

Адрес сектора указывает один из 26 секторов дорожки при выполнении функций «Запись сектора», «Запись сектора с меткой», «Чтение сектора» и передается по запросу устройства после получения соответствующей команды. Формат адреса сектора приведен на рис. 37.

Адрес дорожки указывает на одну из 77 дорожек диска и передается по запросу устройства после приема адреса сектора. Формат адреса дорожки приведен на рис. 38.

Регистр ошибок и состояния содержит информацию о наличии диска в механизме, выбранном разрядом 04 команды «Чтение РОС», и состоянии устройства после послед-

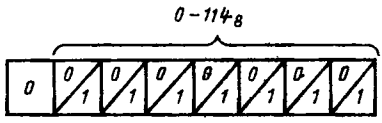


Рис. 38. Формат адреса дорожки

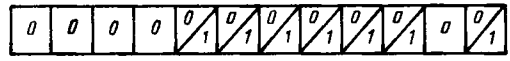


Рис. 39. Формат регистра ошибки и состояния

ией операции. Формат регистра ошибок и состояния приведен на рис. 39. Назначение разрядов регистра указано в табл. 32.

Таблица 32

Назначение разрядов регистра ошибок и состояния контроллера НТМД

Разряд	Назначение
00	Устанавливается в состояние «1», если при чтении зоны данных определена ошибка по контрольному коду
01	Не используется
02	Устанавливается в состояние «1» после завершения начальной установки
03	Устанавливается в состояние «1» интерфейсной платой при отклонении питания устройства
04	Устанавливается в состояние «1», если плотность, указанная битом 08 команды, не соответствует плотности диска
05	Устанавливается в состоянне «1», если диск в механизме накопителя записан с двойной плотностью
06	Устанавливается в состояние «1», если выполняется запись с меткой или считывается запись с меткой
07	Устанавливается в состояние «1», если контроллер определил наличие диска в механизме
08	Указывает механизм накопителя, с которым выполнялась последняя команда: «0» — МНО, «1» — МН1
09	Не используется
10	Устанавливается в состояние «1», если в счетчике слов задано число больше 64 при операции с одиночной плотностью и больше 128 при операции с удвоенной плотностью
11	Устанавливается в состояние «1» интерфейсной платой, если при операции прямого доступа к памяти микроЭВМ задан несуществующий начальный адрес ОЗУ

Таблица 33

Коды ошибок контроллера НГМД

Коды ошибок	Ошибки
010	Механизм «0» не приходит на «00» дорожку
020	Механизм «1» не приходит на «00» дорожку
040	Задан адрес дорожки, больший 77
050	Контроллер пытается вывести головку за пределы «00» дорожки
070	Сектор не найден за два оборота диска
110	Отсутствует выделенный синхросигнал
120	Отсутствует область нулей в начале сектора
130	Большая область нулей при поиске адресного маркера
140	Определена ошибка по контрольному коду при чтении зоны заголовка
150	Ошибка поиска дорожки
160	Отсутствует требуемая последовательность сигналов при поиске адресного маркера
170	Отсутствует требуемая последовательность сигналов при поиске маркера данных
200	Определена ошибка по контрольному коду при чтении зоны данных
220	Неисправна плата считывания/записи
230	Переполнение счетчика слов
240	Заданная плотность не соответствует допустимой плотности диска
250	После команды «Установить плотность записи диска» (код 100 — не используется) передано неверное контрольное слово

Регистр ошибок включает четыре 16-разрядных регистра, содержимое которых последовательно выдается на микроЭВМ при выполнении функции «Чтение РОШ».

Содержимое регистров следующее:

регистр 1 (07—00) — код ошибки в соответствии с табл. 33;

регистр 1 (15—08) — счетчик слов;

регистр 2 (07—00) — предыдущий адрес дорожки механизма «0»;

регистр 2 (15—08) — предыдущий адрес дорожки механизма «1»;

регистр 3 (07—00) — заданный адрес дорожки;

регистр 3 (15—08) — заданный адрес сектора;

регистр 4 (00) — плотность, указанная в команде;
регистр 4 (04, 06) — плотность дисков в механизмах «0» и «1»;
регистр 4 (05) — бит подвода головки;
регистр 4 (07) — бит МНО/МН1;
регистр 4 (15—08) — адрес дорожки, под которым установлена головка, если дорожка выбрана неверно (код ошибки 150).

Обмен информацией между интерфейсной платой микроЭВМ и устройством происходит последовательно по разрядам, начиная со старшего по номеру разряда. При передаче команд и адресов контрольный бит передается после передачи информационных битов.

Проверка работоспособности НГМД может быть проведена с помощью тест-программы «ТЕСТ ОБМЕНА» 014102 ТМОС 00011-01 34.

3. Печатающее устройство «Роботрон 1156»

В основу печатающего устройства последовательного действия «Роботрон 1156» положен принцип синтезирования знака с помощью иголок, собранных в матрицу из семи строк по пять игл в каждой. При выходе печатающей головки в зону печати включением требуемого набора игл через красящую ленту обеспечивается формирование требуемого знака. Номинальная скорость печати 100 зн/с достигается, если частота обращения к устройству равна или больше 100 зн/с. В противном случае происходит останов перемещения печатающей головки, и следующий цикл печати будет возможен только после окончания процессов ее успокоения. В старт-стопном режиме скорость вывода информации на печать не более 30 зн/с. Емкость печатной строки 178 печатных знаков. Коды символов и команд приведены на рис. 40, где LF — перевод бумаги на одну строку; VT — вертикальная табуляция; FF — нормализация устройства подачи бланков; RE — возврат печатающей головки в исходное состояние; DV — команда ПЕЧАТЬ ВПЕРЕД; DR — команда ПЕЧАТЬ НАЗАД.

Включение устройства обеспечивается тумблером, расположенном на задней стенке устройства в левой ее части. При включении питания должны засветиться клавиши-индикаторы на верхней панели устройства, информируя о нормальной работе блока питания. Кроме того, происходит возврат печатающей головки в исходное состояние, если при включении она не находилась в крайнем левом положении.

Правая клавиша верхней панели (вид спереди) «LG» (ГАШЕНИЕ/ВЫХОД В ИСХОДНОЕ СОСТОЯНИЕ) после отжатия обеспечивает сброс схем устройства и вывод печатающей головки в исходное состояние.

Левая клавиша «L» (ГАШЕНИЕ) обеспечивает сброс схем устройства. Используется, например, для останова печати.

Для построчного перемещения бумаги в комплекте с АЦПУ «Роботрон 1156» поставляются следующие устройства.

Устройство подачи бланков (УПБ) «Роботрон 1160» предназначено для программного перемещения перфорированных бесконечных формуляров. Программы перемещения формируются на пяти- и восьмидорожечных перфолентах, склеенных в кольцо и заправленных в считывающее устройство, которое укреплено на УПБ. На одной перфоленте размещаются две программы. Управление перемещением формуляра осуществляется либо по программе, либо от кнопок (вручную).

Красная кнопка «LF» после нажатия обеспечивает перевод бумажного формуляра на одну строку.

Голубая кнопка «VT» после нажатия обеспечивает табуляцию (прогон) формуляра на n строк в соответствии с программной перфолентой.

При нажатии черной кнопки «FF» осуществляется прогон формуляра до выхода программной перфоленты в начало программы.

				7р	0	0	0	0	1	1	1	1
				6р	0	0	1	1	0	0	1	1
				5р	0	1	0	1	0	1	0	1
4р	3р	2р	1р		0	1	2	3	4	5	6	7
0	0	0	0	0			SP	0	@	P	Ю	Л
0	0	0	1	1			!	1	A	Q	А	Я
0	0	1	0	2			"	2	B	R	Б	Р
0	0	1	1	3			#	3	C	S	Ц	С
0	1	0	0	4			¤	4	D	T	Д	Т
0	1	0	1	5			%	5	E	U	Е	У
0	1	1	0	6			&	6	F	V		Ж
0	1	1	1	7			'	7	G	W	Г	В
1	0	0	0	8			(	8	H	X	Х	Ь
1	0	0	1	9			)	9	I	Y	И	Ы
1	0	1	0	10 (A)	LF		*	:	J	Z	Й	З
1	0	1	1	11 (B)	VF		+	;	K	[	К	Ш
1	1	0	0	12 (C)	FF		,	<	L	\	Л	Э
1	1	0	1	13 (D)	RE		-	=	M	]	М	Щ
1	1	1	0	14 (E)	DV		.	>	N		Н	Ч
1	1	1	1	15 (F)	DP		/	?	O	-	О	Ь

Рис. 40. Конфигурация символов АЦПУ «Роботрон 1156»

Кроме того, УПБ имеет переключатель, выбирающий одну из двух программ на перфоленте.

Устройство подачи рулонной бумаги (УПР) «Роботрон 1163» предназначено для построчной подачи рулонной бумаги и имеет возможность разделения бумагоопорного валика. В таком варианте есть возможность применения независимого привода двух бумажных рулонов.

В качестве органов управления используют две клавиши:

красную клавишу, при нажатии которой осуществляется перевод бумаги на одну строку; зеленую клавишу, на время нажатия которой обеспечивается прогон бумаги на расстояние, кратное межстрочным интервалам.

В обоих устройствах осуществляется контроль наличия бумаги, и в случае отсутствия бумаги на УПР «Роботрон 1163» высвечивается красная клавиша.

Проверка работоспособности печатающего устройства может быть проведена с помощью тест-программы «Тест DZM» 013101 ТМОС 00011-01 34—01 или перфоленты 8.842.001

4. *Перфоленточные устройства ввода-вывода*

Перфоратор ленточный ПЛ-150М обеспечивает вывод информации со скоростью 150 ± 15 байт/с (переброской ремня на шкивах можно также выбрать одну из скоростей вывода 20 байт/с, 50 байт/с, 100 байт/с). Вывод на перфоленту с лавсановой основой обеспечивается на скоростях 20 или 50 байт/с.

Работа перфоратора начинается после подачи на него сигнала ВКЛ ПЛ либо от внешнего устройства, либо автономно.

Для прогоиа иачальиой заправки перфолеиты иеобходимо тумблер питания перевести в положеиие СЕТЬ, а тумблер включеиия двигателя перфоратора — в положеиие ВКЛ ЭД. Затем включить тумблер заправки и иажать иа кнопку ЗАПР, обеспечивающую перфорацию траиспортиой дорожки и перемещеиие перфолеиты.

Для работы с микроЭВМ тумблер питаиия переводят в положеиие включеиия, а тумблер электродвигателя и заправки — в положеиие ВЫКЛ.

Считыватель с перфолеиты FS 1501 обеспечивает ввод иформации со скоростью 1000 байт/с. Его подключеиие производится тумблером, расположеиным иа задней стеике.

Для заправки перфоленты рычаг защелки на левой стороне прижимиого откидиого блока переводится а верхнее положение и блок освобождается от фиксации. В нерабочем положеиии прижимной блок должен иаходиться в расфиксированном состоянии.

Считыватель с перфолеиты СП-3 обеспечивает авод иформации с перфоленты со скоростью 150 байт/с. Включеиие обеспечивается иажатием клавиши ВКЛ. СП, после чего включается лампа осветителя и иачииает работать электродвигатель. Прн работе в составе вычислительиого комплекса иа базе микроЭВМ «Электроника-60» клавиша ОПРОС должиа находиться в положеиии, соответствующем виутреинему опросу.

При работе с фотосчитыаателем СП-3 в отличие от работы с фотосчитывателем FS 1501 перфолента заправляется так, чтобы синхродорожка была шестой по счету от оператора.

Проверка работоспособиости перфолеиточиых устройств может быть проведеиа по тест-программе «Системный тест».

ГЛАВА 8

СИСТЕМНОЕ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ МИКРОЭВМ

1. Тест-мониторная система

Тест-мониторная операционная система (ТМОС) применяется при проверке, наладке, поиске неисправностей и проведении приемо-сдаточных испытаний.

ТМОС обеспечивает следующие функции: организацию архива из тестовых программ и тестовых документов; загрузку и запуск тестовых программ; корректировку тестовых программ; создание и корректировку текстовых файлов; выполнение последовательности команд цепочного файла; копирование тест-мониторной системы.

При описании ТМОС используют следующие обозначения и термины. Условные обозначения:

ВК — возврат каретки;
ПС — перевод строки;
ЗБ — забой;
СУ/С — комбинация нажатия двух клавиш.

Допустимые имена устройств (уст):

DKn — жесткие магнитные диски типа «СМ-5400»;
DXn — гибкие магнитные диски;
MTn — магнитная лента «ИЗОТ 5003»;
PR — фотосчитывающее устройство;
PP — перфоратор ленточный.

Имя файла и тип формата (имфайла. тип).

Имя и тип формата представляют собой буквенно-цифровую последовательность символов и букв латинского алфавита (от A до Z) и арабских цифр (от 0 до 9). Имя файла имеет длину до шести символов, тип формата файла — до трех символов.

В документации ТМОС используются следующие стандартные типы файлов:

BIN — абсолютный формат;
BIC — абсолютный формат для использования в цепочном файле;
SAV — формат отображения памяти;
TXT, DIR — текстовый формат;
CCC — текстовый формат цепочного файла;
OBJ, LIB — объектный формат;

Дата (дд — ммм — гг),

где дд — день месяца от 1 до 31;

ммм — месяц (JAN — январь, FEB — февраль,
MAR — март, APR — апрель, MAY — май,
JUN — июнь, JUL — июль, AUG — август,
SEP — сентябрь, OCT — октябрь, NOV — ноябрь,
DEC — декабрь);

гг — год от 80 до 99.

При возникновении различных нештатных ситуаций на терминал может быть выведено одно из следующих сообщений:

НБДКОМ/ПР — недопустимый переключатель или команда;
НЕДКОМ — » » » »
НЕДПР — недопустимый переключатель или команда;
НЕТИМФ — несуществующий файл;

НЕДАДР — недопустимый адрес (нечетный или не восьмеричный);
НЕДИМФ — недопустимый символ в имени файла;
ОШБУСТ — ошибка устройства;
ОШБКСМ — несовпадение контрольной суммы при загрузке файла в оперативную память;
ПРПАМ — недостаточно объема оперативной памяти для загрузки файла;
КОН — конец носителя;
СЧ. ОШБУСТ — ошибка устройства при считывании;
ЗАП. ОШБУСТ — ошибка устройства при записи;
НЕГОТВ — не готово перфоленточное устройство ввода или вывода;
ПОЛУСТ — на носителе нет места для записи;
ОШБСПР — ошибка чтения справочника;
СТРИМЯ — имя файла уже существует в справочнике;
ОШБСТР — ошибка стирания;
НЕДПРД — ошибка задания адреса.

Тест-мониторная система включает следующие программы: «Монитор»; «Обработка файлов»; «Редактор текста»; «Копировальщик»; тест-программы.

«Монитор». Для каждого носителя существует своя управляющая программа «Монитор».

«Монитор» обеспечивает следующие функции:
загрузку и запуск программ системы и тест-программ;
выполнение последовательности команд цепочного файла;
вывод справочника на терминал или на печатающее устройство.

После загрузки и запуска «Монитора» на терминал выводится сообщение:

ТМОС. МОНИТОР хх ТС дд — ммм — гг ппК
ПОВ. ПУСК: аааааа
ЗАГРУЖЕН С ≠:у
ДЛЯ ПРЕКРАЩЕНИЯ ПЕЧАТИ СООБЩЕНИЯ НАЖМИТЕ СУ/С (¬ с)

Команды «Монитора»:

F (ВК) УСТАНАВЛИВАЕТ ЗАДЕРЖКУ
D (ВК) ВЫВОДИТ СПРАВОЧНИК ИЛИ
D/F (ВК) КОРОТКИЙ СПРАВОЧНИК НА ТЕРМИНАЛ
D/L (ВК) ВЫВОДИТ СПРАВОЧНИК ИЛИ
D/L/F (ВК) КОРОТКИЙ СПРАВОЧНИК НА ПЕЧАТЬ
R ИМЯ (ВК) ЗАГРУЖАЕТ И ЗАПУСКАЕТ ПРОГРАММУ
L ИМЯ (ВК) ЗАГРУЖАЕТ ПРОГРАММУ
S (ВК) ЗАПУСКАЕТ ЗАГРУЖЕННУЮ ПРОГРАММУ
С ИМЯ (ВК) ВЫПОЛНЯЕТ КОМАНДЫ ЦЕПОЧНОГО ФАЙЛА
С ИМЯ/QV (ВК) ВЫПОЛНЯЕТ БЫСТРО КОМАНДЫ ЦЕПОЧНОГО ФАЙЛА

где хх — обозначение устройства, с которого загружен «Монитор»;
пп — емкость памяти в К слов;
у — номер накопителя, с которого загружен «Монитор»;
аааааа — адрес повторного пуска;
дд-ммм-гг — дата получения данной программы «Монитор».

После вывода в начале строки точки (·) «Монитор» готов принимать команды с терминала.

Команда F. Для правильной работы терминала после ввода (ВК) требуется задержка, равная по времени выводу определенного числа символов.

Команда F используется для изменения значения задержки.

Формат комаиды: F (ВК)
хххххх уууууу

где хххххх — текущее значение задержки, первоначальное значение 14;
уууууу — новое значение, заданное пользователем.

Команды D. Используются для вывода справочника или короткого справочника.

Заголовок справочника следующий:

НОМЕР ИМФАЙЛ. ТИП ДАТА ДЛИНА СТАРТ

Заголовок короткого справочника:

НОМЕР ИМФАЙЛ. ТИП

где НОМЕР — порядковый номер файла в справочнике;

ИМФАЙЛ — имя файла;

ТИП — тип формата файла;

ДАТА — дата записи файла на носитель;

ДЛИНА — число (десятичное) блоков, занимаемых файлом на носителе;

СТАРТ — номер (восьмеричный) блока, с которого записан файл.

Команда R. Используется для загрузки и запуска программы в абсолютном формате (тип BIN или BIC).

Команда L. Используется для загрузки программы в абсолютном формате в оперативную память микроЭВМ. Такая процедура используется для загрузки тестов, в которых требуется задать режим работы. Для этого микроЭВМ переводится на связь с пультовым терминалом и в соответствующей ячейке устанавливаются режимы работы. После перевода переключателя режимов в верхнее положение ПРОГРАММА выполняется команда пультового терминала Р.

Команда S. Используется для запуска программы, загруженной в оперативную память.

Формат команды:

Sxxxxxx (ВК) или S (ВК),

где xxxxxx — адрес запуска.

Если программа автоматически запускаемая и адрес запуска не указывается, то управление передается по адресу автоматического пуска. Если программа автоматически незапускаемая, управление передается по адресу 200.

Команда C. Используется для выполнения последовательности команд цепочного файла. Формат команды:

С имфайл (ВК)

где имфайл — имя файла с типом формата ССС.

Цепочный файл состоит из последовательности команд следующего вида:

КОМ имфайл/х

где КОМ — команда «Монитора»;

имфайл — имя файла с типом формата BIC;

х — число повторений команды.

Для быстрого выполнения цепочного файла (каждая команда цепочного файла выполняется один раз) необходимо подать команду

С имфайл/QV (ВК)

где имфайл — имя цепочного файла с типом формата.

Для выхода из цепочного режима необходимо подать команду (СУ/С) дважды.

«Обработка файлов». «Обработка файлов» — это общее название двух программ UPD1 и UPD2, предназначенных для модификации тест-программ.

Эти программы также позволяют:

организовывать обмен данными между периферийными устройствами;

загружать и запускать тест-программы;

создавать и выводить текстовые файлы на терминал или печатающее устройство.

Выход в программу «Обработка файлов» осуществляется из программы «Монитор» ее командой R URD*n* (ВК), где $n=1,2$.

После загрузки и запуска программы «Обработка файлов» на терминал выводится сообщение:

ТМОС. ОБРАБОТКА ФАЙЛОВ UPD*n* дд — ммм — гг

ДАТА:

где $n = 1,2$;

дд — ммм — гг — дата получения программы.

Введите с терминала текущую дату

дд — ммм — гг (ВК) после чего выводится сообщение

СМЕЩЕНИЕ уууууу

ПОВ. ПУСК хххххх

*

где уууууу — значение смещения программы;

хххххх — адрес повторного запуска.

Вывод звездочки (*) означает готовность программы принимать комаиды с терминала.

Программа «Обработка файлов» UPD2 при задании в команде имени и типа формата допускает использование специальных зиаков:

? (вопросительиый знак) — эквивалентен понятию «любой символ в даниой позиции»

Пример: DX0:ТЕСТ.? IN — обращение к файлам иа гибком диске 0 с именем ТЕСТ, тип формата которого оканчивается на IN

* (звездочка) — эквивалентна понятию «любой символ, начиная с даниой позиции».

Пример: DK0:*.CCC — обращение ко всем файлам жесткого диска 0 с типом формата CCC.

Команды DIR (UPD1, UPD2) DIRLP (UPD2). Используются для вывода справочника на терминал или печатающее устройство.

Формат команды:

DIR уст: имфайл. тип (ВК) — вывод на терминал;

DIR уст: (ВК)

DIRLP уст: (ВК) — вывод справочника на печатающее устройство.

Команда CLR (UPD1, UPD2). Используется для очистки ячеек оперативной памяти, предназначенных для загрузки тест-программ.

Формат команды:

CLR (ВК)

Команды LOAD (UPD1, UPD2) FILEL (UPD2). Используются для загруэки программы с абсолютным форматом в оперативную память микроЭВМ.

Формат команды:

LOAD уст: имфайл. тип (ВК)

FILEL уст: имфайл. тип (ВК)

После загрузки программы на терминал выводится сообщение:

АЗП: хххххх ПРЕД: нннннн кккккк

где хххххх — адрес пуска загружениой программы, если он — четиый, то является адресом автоматического пуска, если нечетный, то программа автоматически незапускаемая;

иннинн — начальный адрес программы;

кккккк — конечный адрес программы.

Команда DUMP (UPD1, UPD2). Используется для записи в абсолютиом формате программы из оперативной памяти иа носитель.

Формат команды:

DUMP уст: имфайл. тип (ВК)

Команда XER (UPD1, UPD2). Используется для изменения адреса запуска загруженной программы.

Формат команды:

XER (ВК)

хххххх уууууу

где хххххх — текущее значение адреса;

уууууу — новое значение, заданное пользователем.

Команда START (UPD1, UPD2). Используется для запуска программы, загруженной в оперативную память.

Формат команды:

START (ВК)

STARTадр (ВК)

где адр — адрес пуска программы, если программа автоматически не запускается.

Команда SAVE (UPD1, UPD2). Используется для записи в формате отображения памяти программы из оперативной памяти на носитель.

Формат команды:

SAVE уст: имфайл. тип (ВК)

Команда GET (UPD2) FILEG (UPD2). Используется для загрузки программы в формате отображения памяти в оперативную память микроЭВМ.

Формат команды:

GET уст: имфайл. тип (ВК)

После загрузки программы на терминал выводится сообщение:

ПРЕД: нннннн, кккккк

где нннннн — начальный адрес программы;

кккккк — конечный адрес программы.

Команда MOD (UPD1, UPD2). Используется для изменения содержимого ячеек загруженной программы.

Формат комаиды:

MOD xxxxxx ВК

xxxxxx yyyyyy zzzzzz

где xxxxxx — адрес ячейки, которую необходимо изменить;

yyyyyy — содержимое просматриваемой ячейки;

zzzzzz — новое содержимое ячейки, заданное пользователем.

Далее нажмите клавишу ПС, если требуется закрыть текущую и открыть следующую ячейку, или клавишу ВК, если необходимо только закрыть ячейку.

Команда MODALL (UPD2). Используется для изменения содержимого ячеек оперативной памяти. Действия оператора аналогичны команде MOD.

Команда CORE (UPD1, UPD2). Используется для вывода на терминал начального и конечного адресов загруженной программы.

Формат команды:

CORE (ВК)

ПРЕД: нннннн кккккк

где нннннн — начальный адрес программы;

кккккк — конечный адрес программы.

Команда LOCORE (UPD1, UPD2). Используется для изменения начального адреса загруженной программы.

Формат команды:

LOCORE xxxxxx ВК

ПРЕД: xxxxxx кккккк

где xxxxxx — начальный адрес программы, заданный пользователем;

кккккк — текущий конечный адрес программы.

Команда HICORE. Используется для измеиения конечного адреса загруженной программы.

Формат комаиды:

HICORE xxxxxx (ВК)

ПРЕД: нннннн xxxxxx

где нннннн — текущий начальный адрес программы;

xxxxxx — конечный адрес программы, заданный пользователем.

Команды DEL(UPD1, UPD2) FILED(UPD2). Используются для стирания файла на носителе устройства с произвольным доступом.

Формат команды:

DEL уст: имфайл. тип (ВК)

Команда ZERO(UPD1, UPD2). Используется для стирания справочника на носителе устройства.

Формат команды:

ZERO уст: (ВК)

Команда BOOT(UPD1, UPD2). Используется для загрузки и запуска программы «Монитор» носителя устройства.

Формат команды:

BOOT уст: (ВК)

Команда SAVM(UPD1, UPD2). Используется для записи программы «Монитор» из оперативной памяти на носитель устройства с произвольным доступом при генерации этой программы.

Например, для генерации системы ТМОС на гибкий диск с накопителя 0 на накопитель 1 необходимо выполнить следующие команды:

```
ZERO DX1: BK
LOAD DX0: DXTC. BIN(BK)
SAVM DX1: (BK)
DUMP DX1: DXTC. BIN(BK)
LOAD DX0: UPD2. BIN(BK)
DUMP DX1: UPD2. BIN(BK)
LOAD DX0: COPY. BIN(BK)
DUMP DX0: COPY. BIN(BK)
LOAD DX0: XTECO. BIN(BK)
DUMP DX1; XTECO. BIN(BK)
```

Команда REN(UPD1, UPD2). Используется для переименования файла на носителе устройства с произвольным доступом.

Формат команды:

REN уст: новимя. тип 2< уст: стримя. тип 1 (ВК)

После выполнения команды на носителе устройства имя файла и его тип «стримя. тип 1» будут заменены на «новимя. тип 2».

Команда PIP(UPD1, UPD2). Используется для копирования файла с одного носителя на другой.

Формат комаиды:

PIP уст 0: имфайл 0 тип. 0< уст 1: имфайл 1. тип 1 (ВК)

Файл «имфайл 1. тип 1» с носителя устройства «уст 1» копируется на носитель устройства «уст 0» с именем «имфайл 0 тип 0».

Команда FILE(UPD2). Используется для копирования файла с одного иосителя на другой с тем же именем.

Формат команды:

PIP уст. 0:< уст 1: имфайл. тип (ВК)

При работе с магнитной лентой перед копированием файла происходит возврат на начало ленты.

Команда FILEF(UPD2). Аналогична предыдущей команде FILE, но при работе с магнитной лентой возврата ее в начало ие происходит и копирование выполняется быстрее, чем по команде FILE.

Команда FILET(UPD2). Используется для проверки правильности считывания файла.

Формат команды:

FILET уст: имфайл. тип (ВК)

Команда EOT(UPD2). Используется для записи на магнитную ленту за последним считанным файлом логического конца.

Файлы, записанные после логического конца, стираются.

Формат команды:

EOT уст: (ВК)

Команда TEXT(UPD2). Используется для создания текстового файла и записи его на иоситель.

Формат команды:

TEXT уст: имфайл. тип (ВК)

После открытия файла с клавиатуры терминала вводится либо текст, либо команды программы «Обработка файлов».

Знаки; (точка с запятой) и ¤ (зиак денежной единицы) в текстовом файле обозиачают иачало комментария к команде. По знаку ¤ произойдет останов после вывода комментария. Этот зиак иепользуется для ручного вмешательства оператора.

Запуск продолжения программы, остановленной выводом комментария, осуществляется командой пультового терминала Р.

Для закрытия файла и записи текста на носитель необходимо подать команду (СУ/Z), выводится «↑Z».

Команда DO(UPD2). Используется для запуска текстовых файлов, состоящих из команд программы «Обработка файлов».

Формат команды:

DO уст: имфайл. тип (ВК)

Команда TYPE(UPD2). Используется для вывода текстового файла иа терминал.

Формат команды:

TYPE уст: имфайл. тип (ВК)

В конце вывода текстового файла выполняется прогон текста на десять межстрочных интервалов.

Команда PRINT(UPD2). Используется для вывода текстового файла на печатающее устройство.

Формат команды:

PRINT уст: имфайл. тип (ВК)

В конце вывода текстового файла выполняется прогон текста на десять межстрочных интервалов.

Команда ASG(UPD2). Используется для присвоения устройству логического имени.

Формат команды:

ASG уст: логимя: (ВК)

где логимя — логическое имя устройства. Допустимые логические имена: 1, 2, 3, SYS.

Команда PATCH(UPD2). Используется для изменения содержимого ячеек файла с типом BIN или BIC, находящихся на носителе устройства с произвольным доступом.

Формат команды:

PATCH уст: имфайл. тип (ВК)

На терминал выводится:

АДР? Введите адрес ячейки и нажмите клавишу ВК.

На терминал выведется адрес ячейки и ее содержимое.

Для просмотра следующей ячейки нажмите клавишу ПС, для закрытия текущей ячейки — клавишу ВК. На терминал выведется АДР? Для выхода из режима иажмите клавишу ВК.

Для записи измеиений подайте Y (ВК) Y(ВК), после чего на терминал выведется (*).

«Редактор текста». Эта программа предназначена для создания, редактированиия и вывода текстовых файлов на терминал или печатающее устройство.

Выход в программу «Редактор текста» из программы «Монитор» осуществляется по команде.

R XTECO (ВК)

Затем на терминал выводится

ТМОС. РЕДАКТОР ТЕКСТА дд — ммм — гг

ДАТА:

где дд — ммм — гг — дата получения программы «Редактор текста».

После ввода текущей даты и нажатия (ВК) на терминал выводится адрес повторного пуска

ПОВ. ПУСК: xxx xxx

и (*) как признак готовности приема команд программы «Редактор текста».

Программа «Редактор текста» реализует описанные выше команды:

FILL (устанавливает задержку);

BOOT (загружает и запускает «Монитор»);

DIR (выводит справочник на терминал);

DIRLP (выводит справочник на печать);

DEL (стирает файл);

REN (переименовывает файл);

TYPE (выводит текст на терминал);

PRINT (выводит текст на печать).

Помимо перечисленных команд выполняются команды открытия файлов, состоящие из команд программы «Редактор текста», объединенных в командные строки. Каждая команда редактирования и каждая командная строка независимо закрывается знаком (СУ/[), выводится ◻.

Для стирания всей командной строкн используется операцияСУ/U,выводится«¬U».

Буфером текста называется область памяти, предназначенная для хранения текста. Размер буфера зависит от емкости используемой памяти. Исходиый текст загружается в буфер текста с клавиатуры терминала или внешней памяти.

Точкой называется указатель первого необработанного знака текста. Точка находится между последним обработаиным знаком исходного текста и следующим знаком текста.

Некоторые команды для работы с текстом требуют специального аргумента. Аргумент используется для уточнення текста, с которым будет работать команда. Команды используют следующие аргументы: $+n$,: $-n$.

Аргумент n может быть любым положительным или отрицательным числом от 1 до 32767. Еслн n не содержит знака, то аргумент счнтается положительным. В тех случаях, где аргумент необходим, но он отсутствует — полагается равным 1 (или: -1 при наличии знака «$-$»).

Перевод строки на терминале осуществляется нажатием клавиши (ВК).

После подачи команды открытия файла на термииал выводится звездочка (*), указывающая на готовность приема команд редактирования. Редактирование текста должно заканчиваться командой закрытия файла.

Комаиды открытия файлов программы «Редактор текста».

Команда TEXT. Используется для создания текстового файла.

Формат команды:

TEXT уст: имфайл. тип ВК

Команда TECO. Используется для редактирования и создания текстового файла с тем же именем.

Формат команды:

TECO уст: имфайл. тип (ВК)

Команда EDIT. Используется для редактирования и создания текстового файла с другим именем.

Формат команды:

EDIT уст 0: имфайл 0. тип < уст 1: имфайл 1. тип (ВК)

Команды редактирования текста. ЧТЕНИЕ. Используется для загрузки очередных n блоков текста входного файла. Загруженный текст при этом добавляется к содержимому буфера текста и записывается за последней строкой. Если для загрузки n блоков недостаточно буфера текста, то первый блок текста запиcывается в выходной файл.

Формат: *n*A(СУ/[)

После открытия входного файла в буфере текста находится первый блок текста.

ПЕЧАТЬ. Используется для вывода на терминал *n* строк текста.

Формат: *n*T(СУ/[)

Для прекращения вывода текста используется команда СУ/0 (выводится ←0).

НАЧАЛО. Используется для перемещения «точкн» в начало буфера текста.

Формат: J (СУ/[)

КОНЕЦ. Используется для перемещения «точки» в конец буфера текста.

Формат: ZJ (СУ/[)

ПЕРЕХОД. Используется для перемещения «точки» на *n* строк по направлению в зависимости от знака аргумента.

Формат ± *n*C (СУ/[)

ПРОДВИЖЕНИЕ. Используется для перемещения «точки» по строке на *n* знаков в направлении в зависимости от знака аргумента.

Формат: ± *n*L (СУ/[)

ПОИСК. Используется для поиска строки текста в буфере с заданным фрагментом текста. После выполнения команды «точка» будет находиться за найденным фрагментом текста или, если фрагмент не найден, на прежнем месте.

Формат: S (текст) (СУ/[)

ПОИСК ОБЩИЙ. Команда включает команды ПОИСК и ЧТЕНИЕ и осуществляет поиск фрагмента текста, начиная с «точки». Если текст в буфере не найден, то автоматически выполняется команда ПОИСК и поиск продолжается, просматривая весь текст до нахождения искомого.

Если текст не найден во всем тексте, то «точка» будет находиться в начале буфера текста.

Формат: N(текст) (СУ/[)

ВСТАВКА. Используется для записи текста с клавиатуры терминала в буфер, начиная с «точки». После выполнения команды «точка» находится за последним вставленным знаком текста.

Формат: I (текст) (СУ/[)

СТИРАНИЕ ЗНАКОВ. Используется для стирания знаков в строке.

Формат: *n*D (СУ/[)

СТИРАНИЕ СТРОК. Используется для стирания строк в буфере текста.

Формат *n*K (СУ/[)

ЗАКРЫТЬ ФАЙЛ. Используется для закрытия файла, открытого для редактирования, и записывает его на носитель внешней памяти.

Формат EX (СУ/[)

«Копировщик». Программа «Копировщик» предназначена для копирования тест-мониторной системы с одного носителя на другой одноименный носитель и сравнения двух ТМОС. Загрузка программы «Копировщик» производится из программы «Монитор» командой

R COPY (ВК)

После загрузки программы на терминал выводится

ТМОС. КОПИРОВЩИК дд—ммм—гг.

СМЕШЕНИЕ ПРОГРАММЫ уууууу

ПОВ. ПУСК: хххххх

где дд—ммм—гг — дата получения программы «Копировщик»;

уууууу — значение смещения программы;

хххххх — адрес повторного пуска;

звездочка (*) означает, что программа «Копировщик» готова принимать команды с терминала.

Команда COPY. Предназначена для копирования тест-мониторной системы и сравнения полученной ТМОС с исходной.

Формат команды:

COPY уст 0: = уст 1: (ВК)

где уст 0 — обозначение и номер устройства, на который копируются файлы;

уст 1 — обозначение и номер устройства, с которого копируются файлы.

Переключатель /NEW дает возможность копировать ТМОС поблочно. Далее на терминал выдается сообщение

УБЕДИТЕСЬ В ГОТОВНОСТИ УСТ. НАЖМИТЕ (ВК)

После проверки готовности начинается процесс копирования.

Команда VERIFY. Предназначена для сравнения двух тест-мониторных систем, расположенных на одноименных носителях

Формат команды:

VERIFY уст 0: = уст 1: (ВК)

Кроме того, программа «Копировщик» допускает следующие команды:

FILL (устанавливает задержку);

BOOT (загружает и запускает «Монитор»);

DIR (выводит справочник на терминал);

DIRLP (выводит справочник на печать);

ZERO (стирает справочник).

Тест-программы. Для вывода наименований тест-программ и соответствующих имен файлов в программе «Обработка файлов» выполняется команда

TYPE уст: TMOC01. DIR (ВК)

для вывода наименований на терминал

или команда

PRINT уст: TMOC01. DIR (ВК)

для вывода наименований на печать.

Для добавления в справочник новых тест-программ необходимо их подготовить на перфоленточном носителе в абсолютном формате, пригодном для загрузки в оперативную память «Абсолютным загрузчиком». Для записи тест-программы в ТМОС в программе «Обработка файлов» необходимо выполнить команду загрузки с перфоленты

LOADPR: (ВК)

DUMP уст: имфайл. тип (ВК)

2. Перфоленточная операционная система

Перфоленточная операционная система (ПЛОС) — комплекс программ, предназначенных для подготовки, отладки и выполнения программ пользователя на языке ассемблера в однопрограммном режиме, а также для подготовки и отладки пользовательских программ. Областью применения ПЛОС являются научно-технические расчеты, простые системы управления, автоматизация научного эксперимента.

В ПЛОС все системные программы находятся на перфоленте. Ввод/вывод программ и данных выполняется через устройство ввода/вывода с перфоленты: пользователь ведет диалог с системными программами с помощью команд, вводимых с клавиатуры терминала.

Система ориентирована на минимальный набор технических средств.

В состав ПЛОС микроЭВМ «Электроника-60» входят следующие программы:

«Перемещаемый ассемблер»;

«Ассемблер»;

«Компоновщик»;

«Редактор текста»;

«Программа начальной загрузки»;

«Абсолютный загрузчик»;

«Перфорация в абсолютном формате»;
«Восьмеричная печать»;
«Супервизор ввода-вывода».

Транслятор с мнемонического языка (языка ассемблера) осуществляет трансляцию программ и выдачу машинных программ в абсолютном двоичном коде на перфоленту или/ и в восьмерично-символьном коде на печатающее устройство.

Сервисные программы обеспечивают подготовку и редактирование текста ассемблерных программ, вводимых с перфоленты, и вывод их на перфоленту и/ или печатающее устройство; вывод программы на перфоленту в абсолютном двоичном формате или на печатающее устройство в восьмеричном коде; отладку программ в машинных кодах путем прогонки в разных точках: загрузку программ в ОЗУ с перфоленты в формате для начальной загрузки и в абсолютном двоичном формате.

Работая с минимальной конфигурацией технических средств, пользователь может воспользоваться диалоговыми языками высокого уровня, например языком БЕЙСИК, с помощью автономных перфоленточных программ-интерпретаторов.

3. Операционная система ФОДОС

Фоновая основная дисковая операционная система реального времени — ФОДОС используется для создания проблемно-ориентированных вычислительных комплексов на базе микроЭВМ «Электроника-60», автоматизации лабораторных экспериментов, управления испытаниями и решения научно-технических задач.

Управление работой ФОДОС осуществляется с помощью одного из трех мониторов: монитора одного задания, монитора основного, фонового задания и монитора расширенной памяти.

Монитор одного задания SL обеспечивает выполнение одной программы пользователя. Монитор основного — фонового задания FB обеспечивает выполнение двух программ: основной (приоритетной) и фоновой. Функции реального времени обычно распространяются на основную программу, которая имеет приоритет в использовании системных ресурсов. Управление фоновой программе передается всегда, когда основная программа находится в состоянии ожидания. Обе программы работают независимо, но они могут взаимодействовать друг с другом через файлы на магнитных дисках или через области связи, расположенные в оперативной памяти.

Монитор расширенной памяти XM предусматривает все возможности монитора основного — фонового задания и, кроме того, обеспечивает доступ к памяти емкостью до 124К слов.

Наряду с основными мониторами ФОДОС включает базовый монитор BL, который является специально разработанной версией монитора одного задания. Он один из всех мониторов ФОДОС требует минимальной емкости памяти (1,8К слов) и предназначен для использования в системах с ОЗУ емкостью 8К слов.

Монитор BL обслуживает ограниченный набор периферийных устройств — RK, DX, LP, TT, PC, NL и допускает обслуживание до двух дополнительных устройств пользователя. По ошибке в операции ввода-вывода системного устройства происходит останов системы. Монитор BL выполняет все системные команды и обеспечивает работу большинства обслуживающих программ (программа BATCH не выполняется под управлением монитора BL). Для системы с 12К слов памяти и более рекомендуется использовать монитор одного задания SJ.

Следует заметить, что в систему с емкостью памяти 8К слов для работы Ассемблера MAC8K требуется использование монитора BL. Ассемблер MAC8K не будет работать под управлением монитора SJ, если емкость памяти 12К слов.

Операционная система ФОДОС обслуживает большой набор периферийных устройств. Модульная структура системы ввода-вывода позволяет легко расширить его

путем разработки программ-драйверов для дополнительных устройств и включения их в систему в качестве файлов. Связь пользователя с операционной системой осуществляется с помощью команд, вводимых с клавиатуры системного терминала, или через программные запросы из программы пользователя.

Операционная система ФОДОС содержит набор системных программ, обеспечивающих быстрое и эффективное создание, отладку и редактирование программ пользователя.

Система проста и удобна в эксплуатации, не требует высокой квалификации оператора. Это обеспечивается широким набором команд, а также разнообразными системами программирования с языком высокого уровня, включая БЕЙСИК, ПАСКАЛЬ.

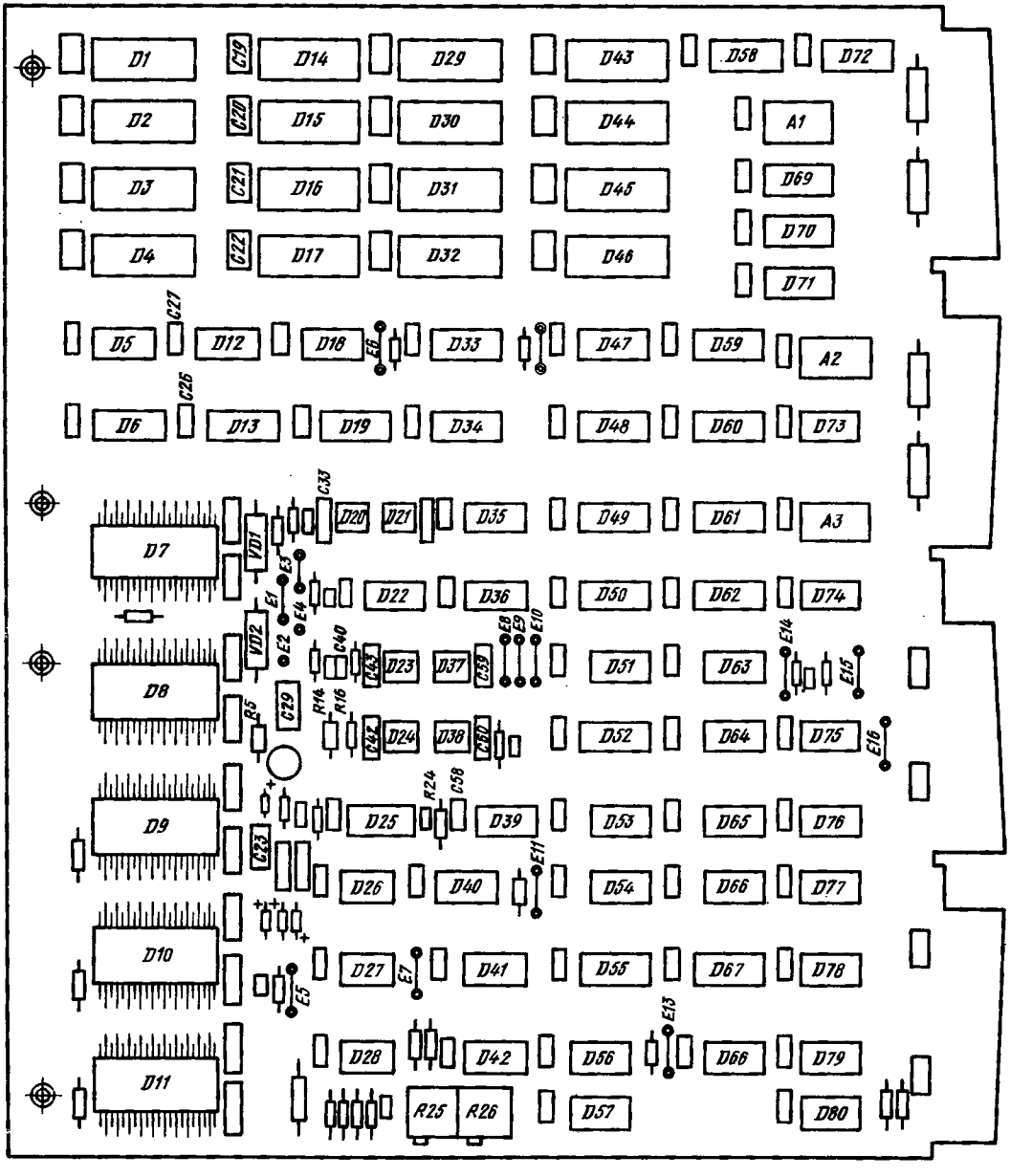


Рис. П.1(1—10). Центральный процессор М2

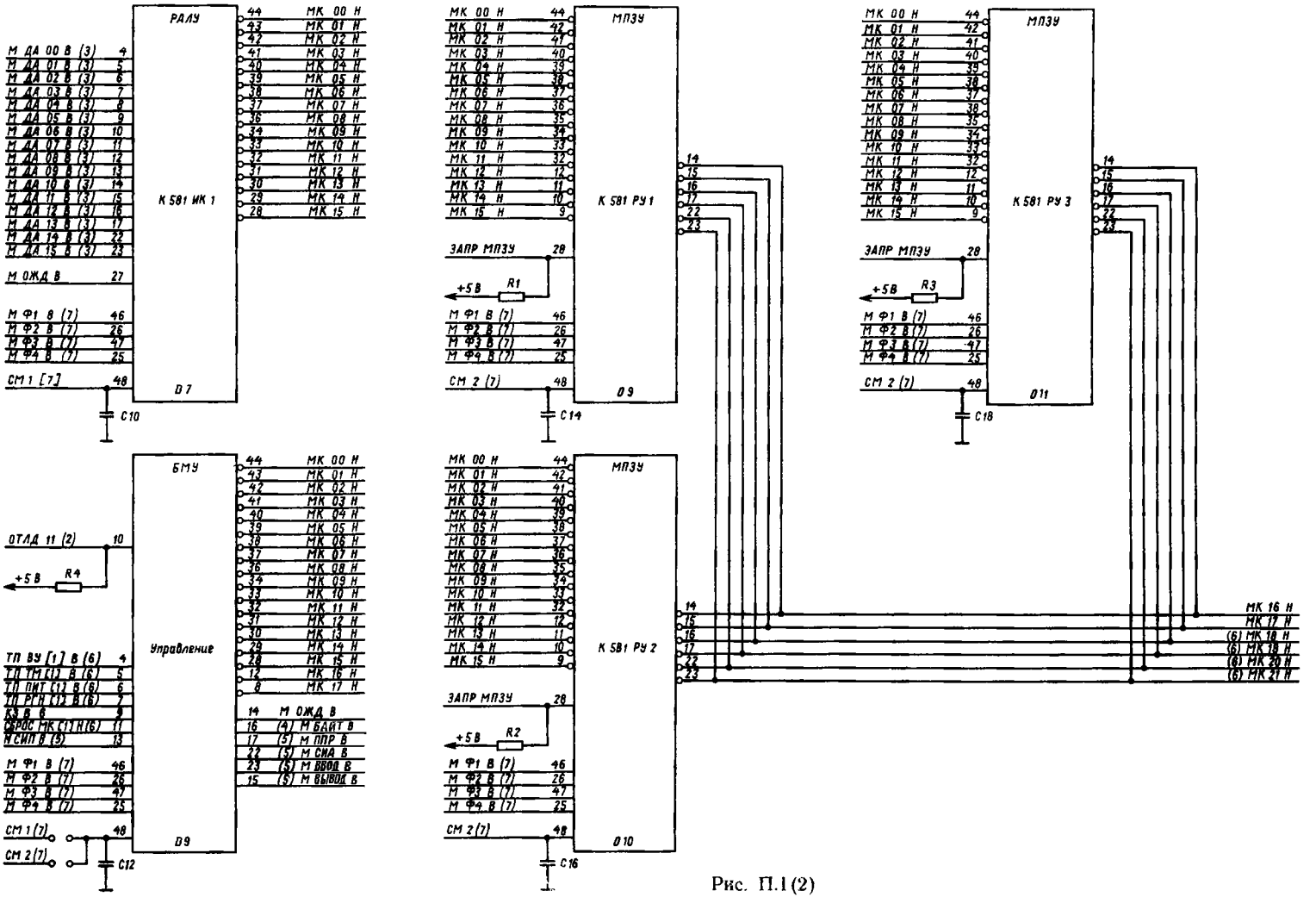

РАЛУ
К 581 ИК 1
D7
C10
МК 00 Н
МК 01 Н
МК 02 Н
МК 03 Н
МК 04 Н
МК 05 Н
МК 06 Н
МК 07 Н
МК 08 Н
МК 09 Н
МК 10 Н
МК 11 Н
МК 12 Н
МК 13 Н
МК 14 Н
МК 15 Н
М ДА 00 В (3)
М ДА 01 В (3)
М ДА 02 В (3)
М ДА 03 В (3)
М ДА 04 В (3)
М ДА 05 В (3)
М ДА 06 В (3)
М ДА 07 В (3)
М ДА 08 В (3)
М ДА 09 В (3)
М ДА 10 В (3)
М ДА 11 В (3)
М ДА 12 В (3)
М ДА 13 В (3)
М ДА 14 В (3)
М ДА 15 В (3)
М ОЖД В
М Ф1 В (7)
М Ф2 В (7)
М Ф3 В (7)
М Ф4 В (7)
СМ 1 [7]
МПЗУ
К 581 РУ 1
D9
C14
R1
+5 В
ЗАПР МПЗУ
СМ 2 (7)
МПЗУ
К 581 РУ 3
D11
C18
R3
МПЗУ
К 581 РУ 2
D10
C16
R2
БМУ
Управление
D9
C12
R4
ОТЛД 11 (2)
ТП ВУ (1) В (6)
ТП ТМ (1) В (6)
ТП ПИТ (1) В (6)
ТП РГН (1) В (6)
СБРОС МК (1) Н (6)
М СИП В (5)
М ОЖД В
(4) М БАЙТ В
(5) М ППР В
(5) М СИА В
(5) М ВВОД В
(5) М ВЫВОД В
МК 16 Н
МК 17 Н
(6) МК 18 Н
(6) МК 19 Н
(6) МК 20 Н
(6) МК 21 Н

Рис. П.1(2)

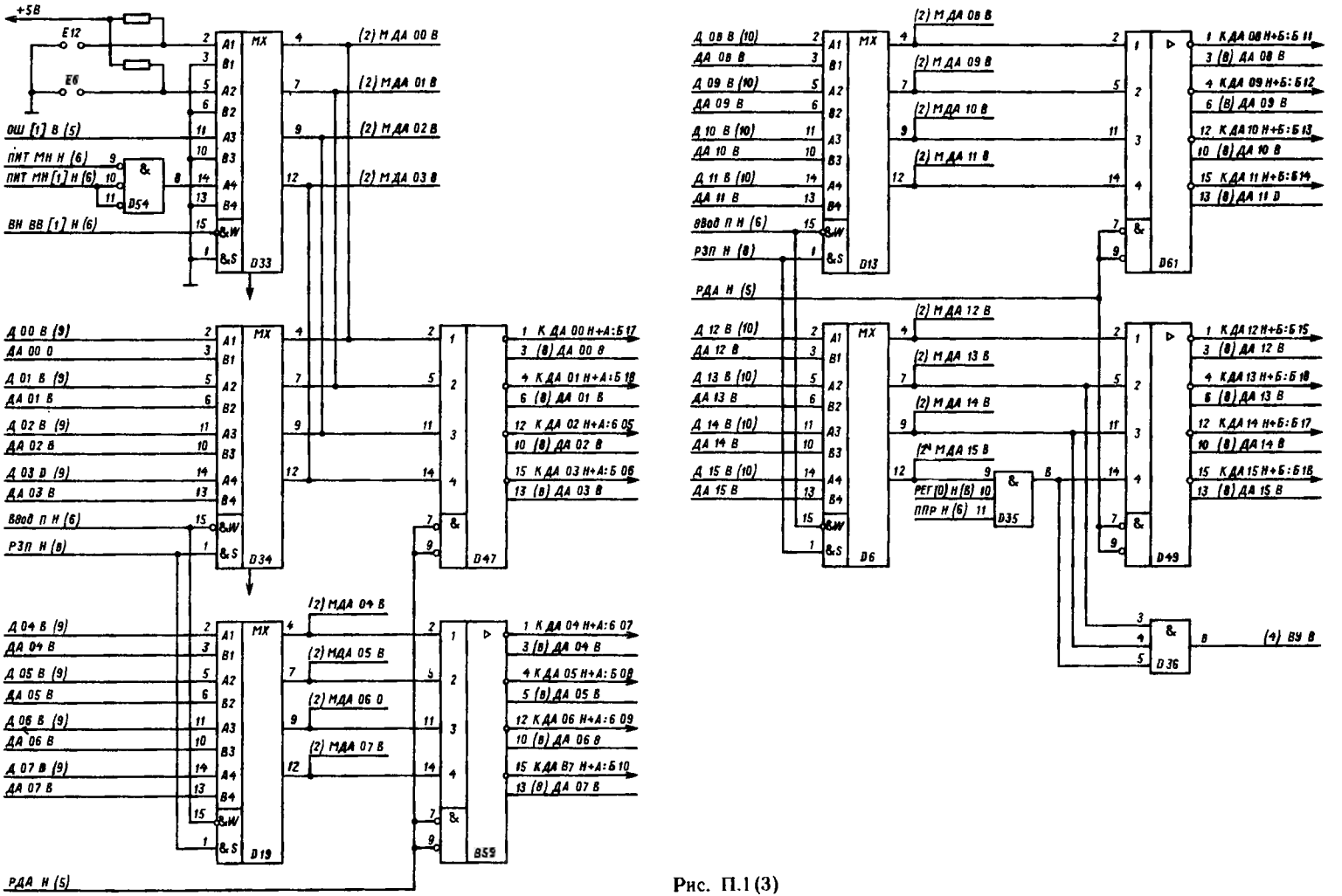

+5В
E12
E6
ОШ [1] В (5)
ПИТ МН Н (6)
ПИТ МН [1] Н (6)
D54
ВН ВВ [1] Н (6)
D33
(2) М ДА 00 В
(2) М ДА 01 В
(2) М ДА 02 В
(2) М ДА 03 В
Д 00 В (9)
ДА 00 В
Д 01 В (9)
ДА 01 В
Д 02 В (9)
ДА 02 В
Д 03 В (9)
ДА 03 В
ВВОД П Н (6)
РЗП Н (8)
D34
D47
1 К ДА 00 Н+А:Б 17
3 (8) ДА 00 В
4 К ДА 01 Н+А:Б 18
6 (8) ДА 01 В
12 К ДА 02 Н+А:Б 05
10 (8) ДА 02 В
15 К ДА 03 Н+А:Б 06
13 (8) ДА 03 В
(2) М ДА 04 В
(2) М ДА 05 В
(2) М ДА 06 В
(2) М ДА 07 В
Д 04 В (9)
ДА 04 В
Д 05 В (9)
ДА 05 В
Д 06 В (9)
ДА 06 В
Д 07 В (9)
ДА 07 В
D19
B59
1 К ДА 04 Н+А:Б 07
3 (8) ДА 04 В
4 К ДА 05 Н+А:Б 08
5 (8) ДА 05 В
12 К ДА 06 Н+А:Б 09
10 (8) ДА 06 В
15 К ДА 07 Н+А:Б 10
13 (8) ДА 07 В
РДА Н (5)
Д 08 В (10)
ДА 08 В
Д 09 В (10)
ДА 09 В
Д 10 В (10)
ДА 10 В
Д 11 В (10)
ДА 11 В
D13
(2) М ДА 08 В
(2) М ДА 09 В
(2) М ДА 10 В
(2) М ДА 11 В
D61
1 К ДА 08 Н+Б:Б 11
3 (8) ДА 08 В
4 К ДА 09 Н+Б:Б 12
6 (8) ДА 09 В
12 К ДА 10 Н+Б:Б 13
10 (8) ДА 10 В
15 К ДА 11 Н+Б:Б 14
13 (8) ДА 11 В
Д 12 В (10)
ДА 12 В
Д 13 В (10)
ДА 13 В
Д 14 В (10)
ДА 14 В
Д 15 В (10)
ДА 15 В
D6
(2) М ДА 12 В
(2) М ДА 13 В
(2) М ДА 14 В
(2) М ДА 15 В
РЕГ [0] Н (8)
ППР Н (6)
D35
D49
1 К ДА 12 Н+Б:Б 15
3 (8) ДА 12 В
4 К ДА 13 Н+Б:Б 16
6 (8) ДА 13 В
12 К ДА 14 Н+Б:Б 17
10 (8) ДА 14 В
15 К ДА 15 Н+Б:Б 18
13 (8) ДА 15 В
D36
(4) ВУ В

Рис. П.1 (3)

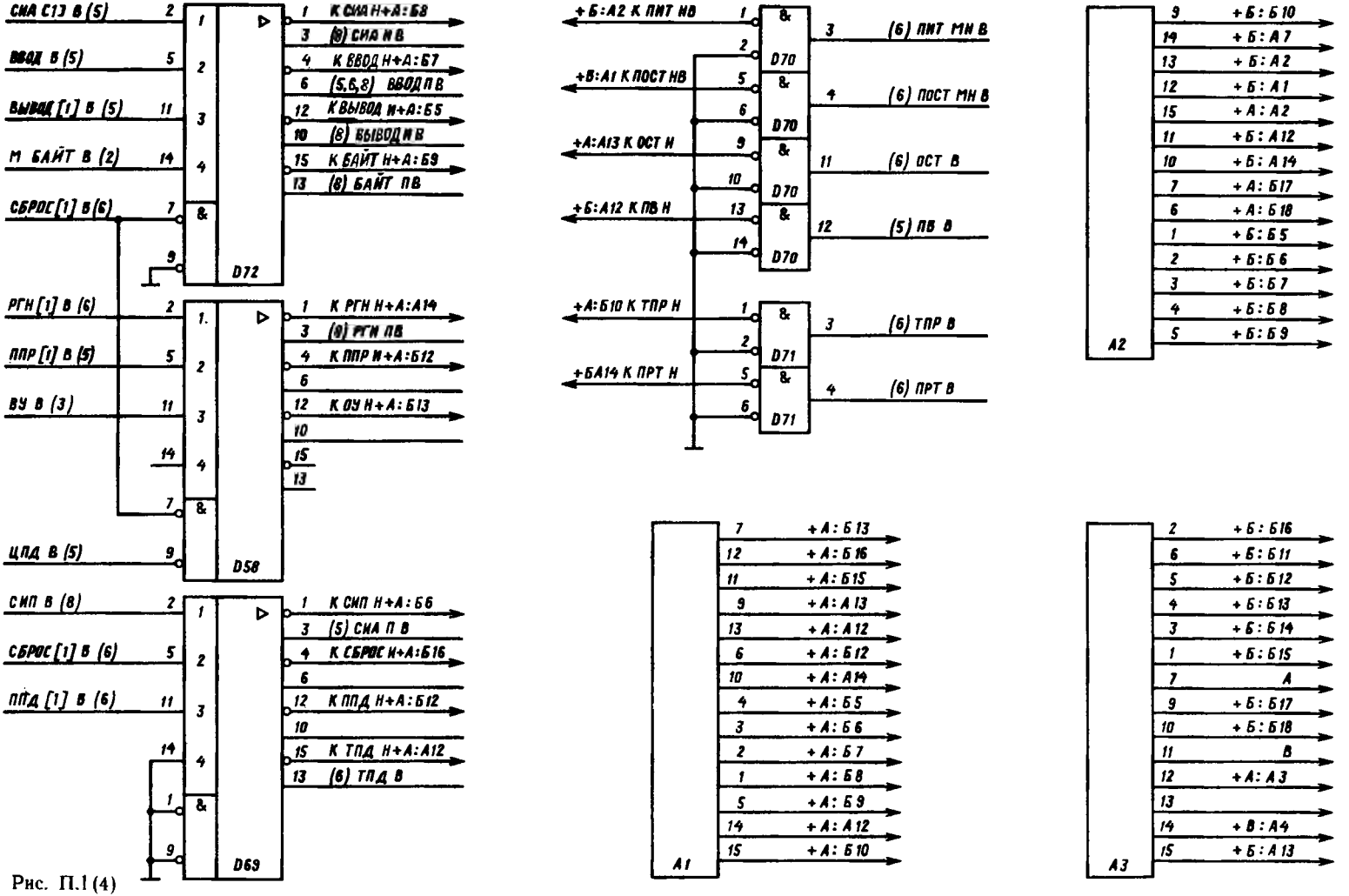

СИА С13 В (5)
ВВОД В (5)
ВЫВОД [1] В (5)
М БАЙТ В (2)
СБРОС [1] В (6)
D72
К СИА Н+А:Б8
(8) СИА И В
К ВВОД Н+А:Б7
(5,6,8) ВВОД ПВ
К ВЫВОД И+А:Б5
(8) ВЫВОД И В
К БАЙТ Н+А:Б9
(8) БАЙТ ПВ
РГН [1] В (6)
ППР [1] В (5)
ВУ В (3)
ЦПД В (5)
D58
К РГН Н+А:А14
(9) РГИ ПВ
К ППР И+А:Б12
К ОУ Н+А:Б13
СИП В (8)
СБРОС [1] В (6)
ППД [1] В (6)
D69
К СИП Н+А:Б6
(5) СИА П В
К СБРОС И+А:Б16
К ППД Н+А:Б12
К ТПД Н+А:А12
(6) ТПД В
+Б:А2 К ПИТ НВ
+В:А1 К ПОСТ НВ
+А:А13 К ОСТ И
+Б:А12 К ПВ Н
+А:Б10 К ТПР Н
+БА14 К ПРТ Н
D70
D71
(6) ПИТ МН В
(6) ПОСТ МН В
(6) ОСТ В
(5) ПВ В
(6) ТПР В
(6) ПРТ В
A2
+Б:Б10
+Б:А7
+Б:А2
+Б:А1
+А:А2
+Б:А12
+Б:А14
+А:Б17
+А:Б18
+Б:Б5
+Б:Б6
+Б:Б7
+Б:Б8
+Б:Б9
A1
+А:Б13
+А:Б16
+А:Б15
+А:А13
+А:А12
+А:Б12
+А:А14
+А:Б5
+А:Б6
+А:Б7
+А:Б8
+А:Б9
+А:А12
+А:Б10
A3
+Б:Б16
+Б:Б11
+Б:Б12
+Б:Б13
+Б:Б14
+Б:Б15
А
+Б:Б17
+Б:Б18
В
+А:А3
+В:А4
+Б:А13

Рис. П.1 (4)

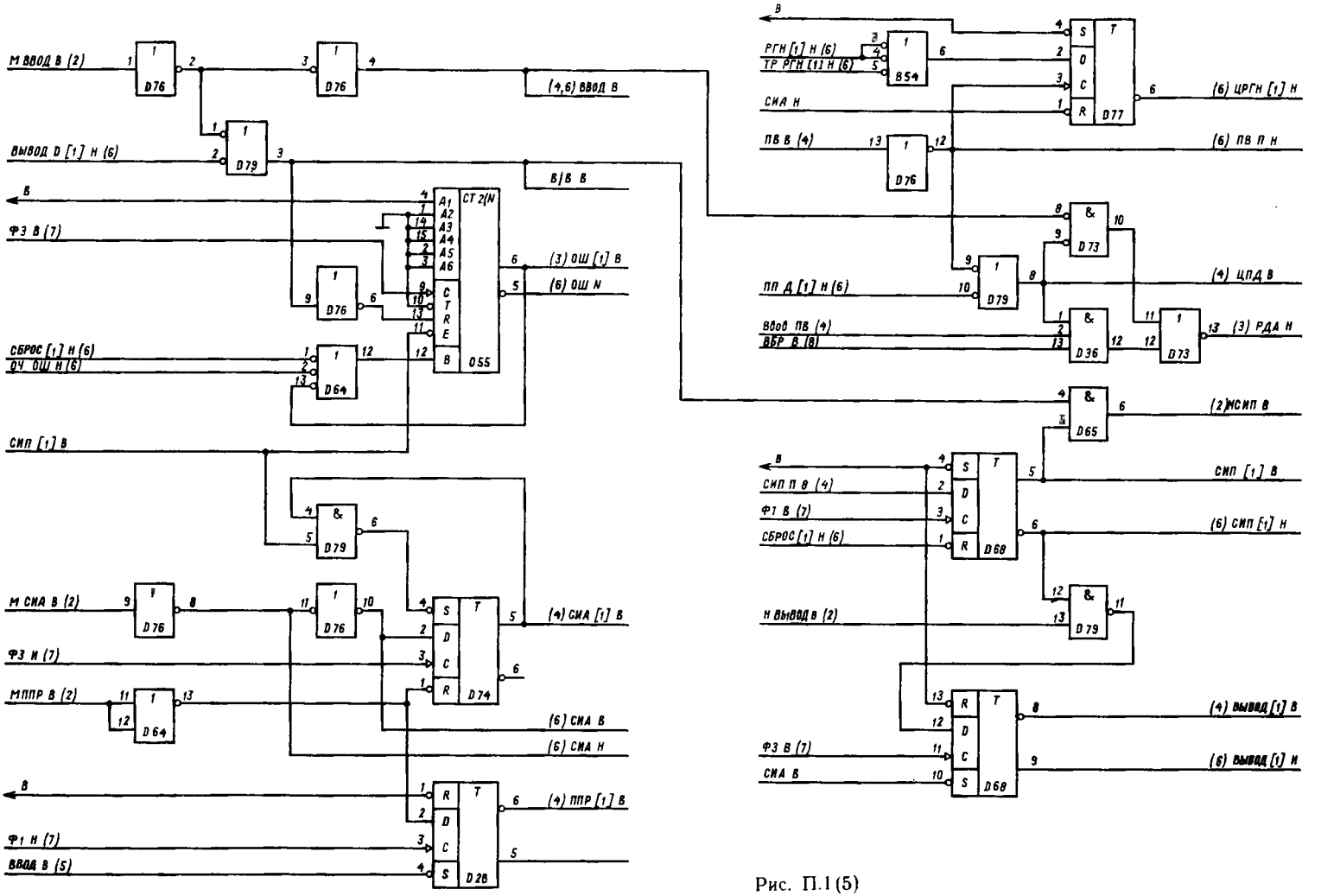

М ВВОД В (2)
D76
D79
ВЫВОД D [1] Н (6)
В
ФЗ В (7)
СБРОС [1] Н (6)
ОЧ ОШ Н (6)
СИП [1] В
D64
СТ2(N
D55
(4,6) ВВОД В
В/В В
(3) ОШ [1] В
(6) ОШ Н
М СИА В (2)
ФЗ И (7)
МППР В (2)
D74
(4) СИА [1] В
(6) СИА В
(6) СИА Н
D26
(4) ППР [1] В
Ф1 Н (7)
ВВОД В (5)
РГН [1] Н (6)
ТР РГН [1] Н (6)
В54
СИА Н
D77
(6) ЦРГН [1] Н
ПВ В (4)
(6) ПВ П Н
D73
ПП Д [1] Н (6)
(4) ЦПД В
Ввод ПВ (4)
ВВР В (8)
D36
(3) РДА Н
D65
(2) МСИП В
СИП П В (4)
D68
(6) СИП [1] Н
Н ВЫВОДВ (2)
(4) ВЫВОД [1] В
(6) ВЫВОД [1] И

Рис. П.1(5)

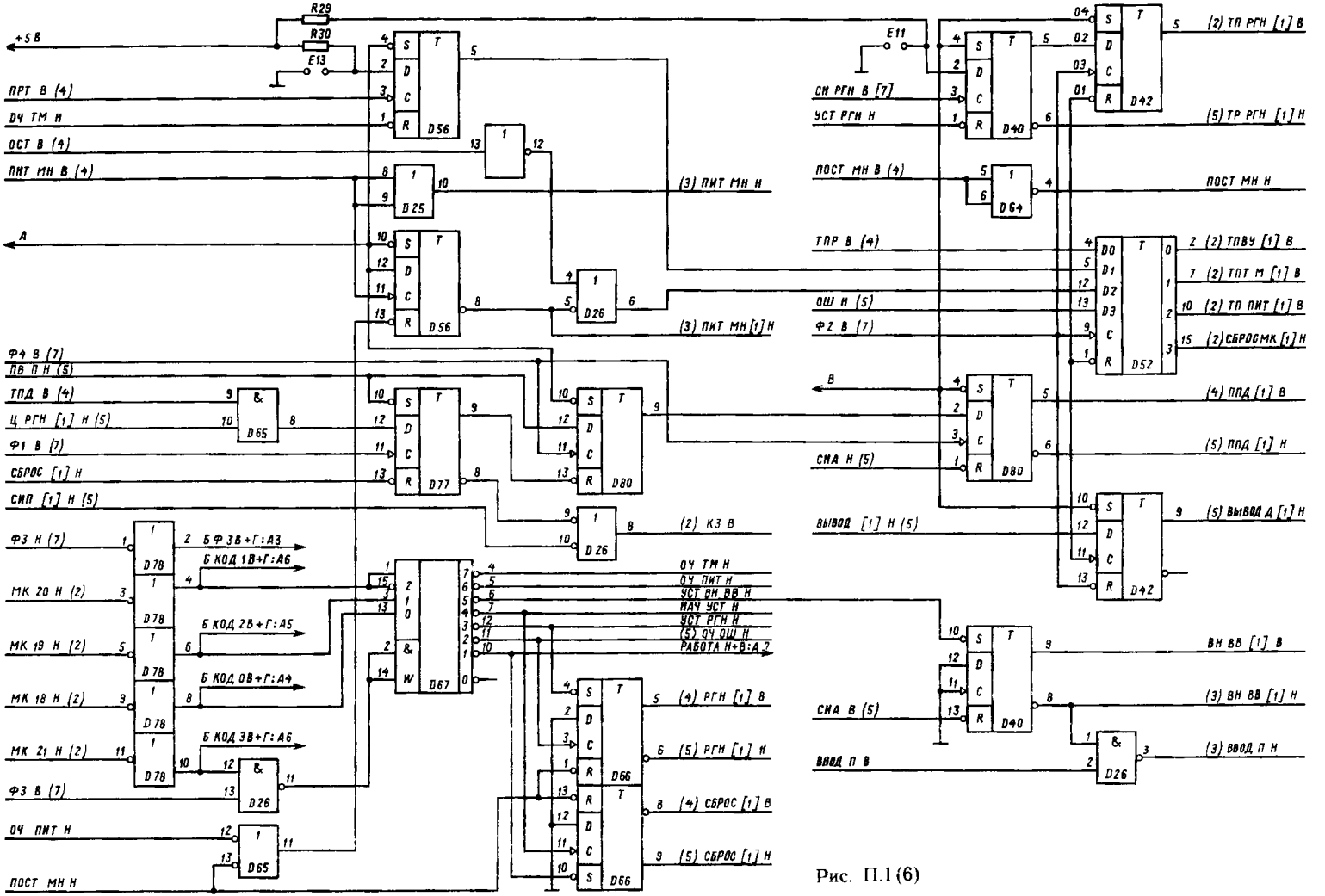

+5 В
R29
R30
E13
E11
ПРТ В (4)
ОЧ ТМ Н
ОСТ В (4)
ПИТ МН В (4)
А
ТПД В (4)
Ц РГН [1] Н (5)
СБРОС [1] Н
СИП [1] Н (5)
ТПР В (4)
ОШ Н (5)
ФЗ В (7)
В
СИА Н (5)
ВЫВОД [1] Н (5)
СИ РГН В [7]
УСТ РГН Н
ПОСТ МН В (4)
СИА В (5)
ВВОД П В
(3) ПИТ МН Н
(3) ПИТ МН [1] Н
(2) КЗ В
(4) РГН [1] В
(5) РГН [1] Н
(4) СБРОС [1] В
(5) СБРОС [1] Н
ОЧ ПИТ Н
УСТ ВН ВВ Н
НАЧ УСТ Н
УСТ РГН Н
(5) ОЧ ОШ Н
РАБОТА Н+В:А7
(2) ТП РГН [1] В
(5) ТР РГН [1] Н
ПОСТ МН Н
(2) ТПВУ [1] В
(2) ТПТ М [1] В
(2) ТП ПИТ [1] В
(2) СБРОСМК [1] Н
(4) ППД [1] В
(5) ППД [1] Н
(5) ВЫВОД Д [1] Н
ВН ВВ [1] В
(3) ВН ВВ [1] Н
(3) ВВОД П Н
ФЗ Н (7)
МК 20 Н (2)
МК 19 Н (2)
МК 18 Н (2)
МК 21 Н (2)
ФЗ В (7)
ОЧ ПИТ Н
ПОСТ МН Н
Б ФЗ В+Г:А3
Б КОД 1В+Г:А6
Б КОД 2В+Г:А5
Б КОД 0В+Г:А4
Б КОД 3В+Г:А6
D56
D25
D26
D65
D77
D80
D78
D67
D66
D64
D40
D42
D52

Рис. П.1(6)

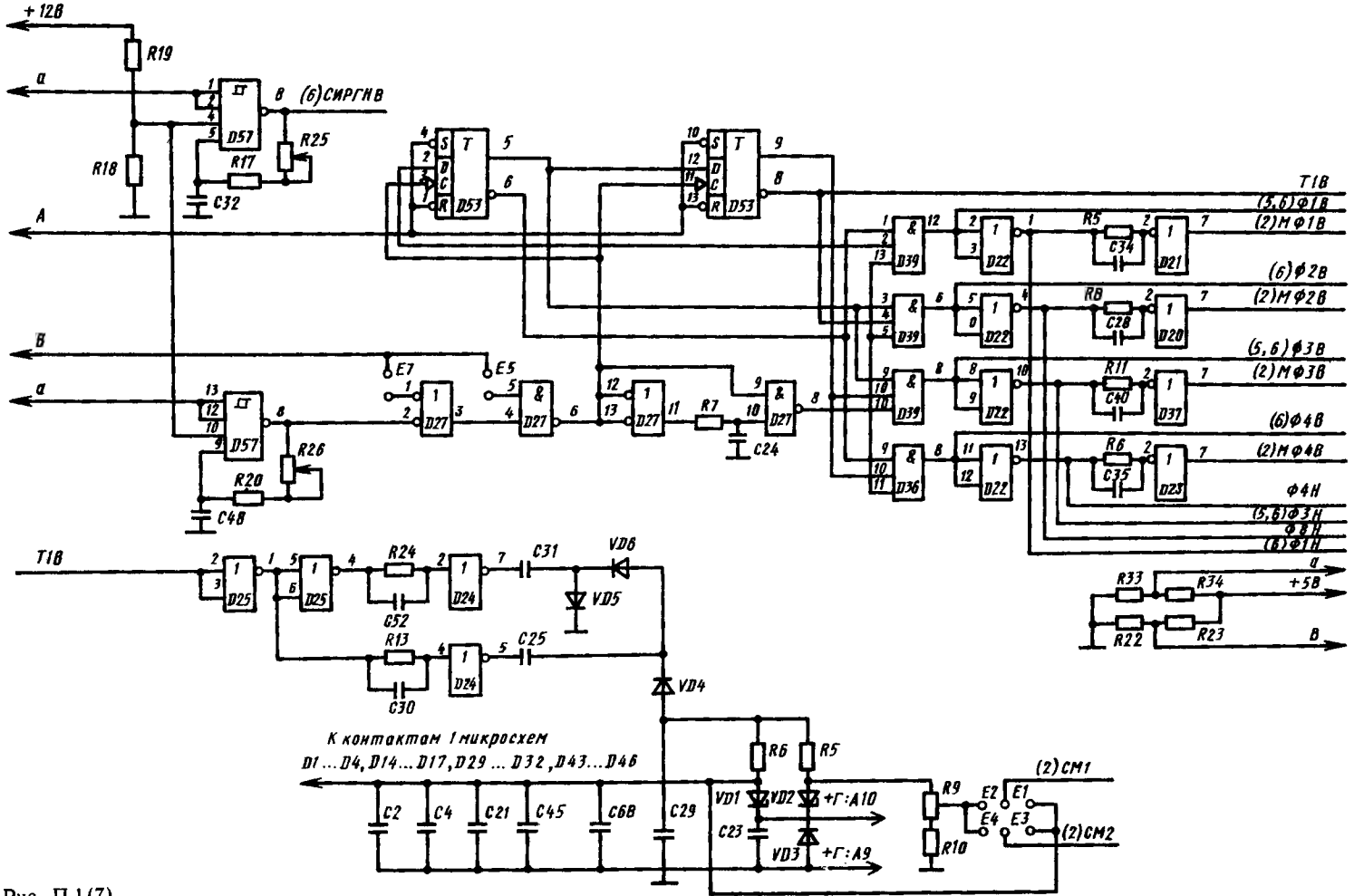

+12В
R19
a
R18
D57
(6)СИРГНВ
R25
R17
C32
A
D53
T1В
(5,6)Ф1В
(2)МФ1В
(6)Ф2В
(2)МФ2В
(5,6)Ф3В
(2)МФ3В
(6)Ф4В
(2)МФ4В
Ф4Н
(5,6)Ф3Н
Ф8Н
(6)Ф1Н
D39
D22
D21
D20
D37
D23
D36
R5
R8
R11
R6
C34
C28
C40
C35
B
E7
E5
D27
R7
C24
R26
R20
C48
D25
D24
R24
C52
R13
C30
C31
C25
VD6
VD5
VD4
R33
R34
R22
R23
+5В
К контактам 1 микросхем
D1...D4, D14...D17, D29...D32, D43...D46
C2
C4
C21
C45
C68
C29
R6
R5
VD1
VD2
VD3
C23
+Г:А10
+Г:А9
R9
R10
E1
E2
E3
E4
(2)СМ1
(2)СМ2

Рис. П.1(7)

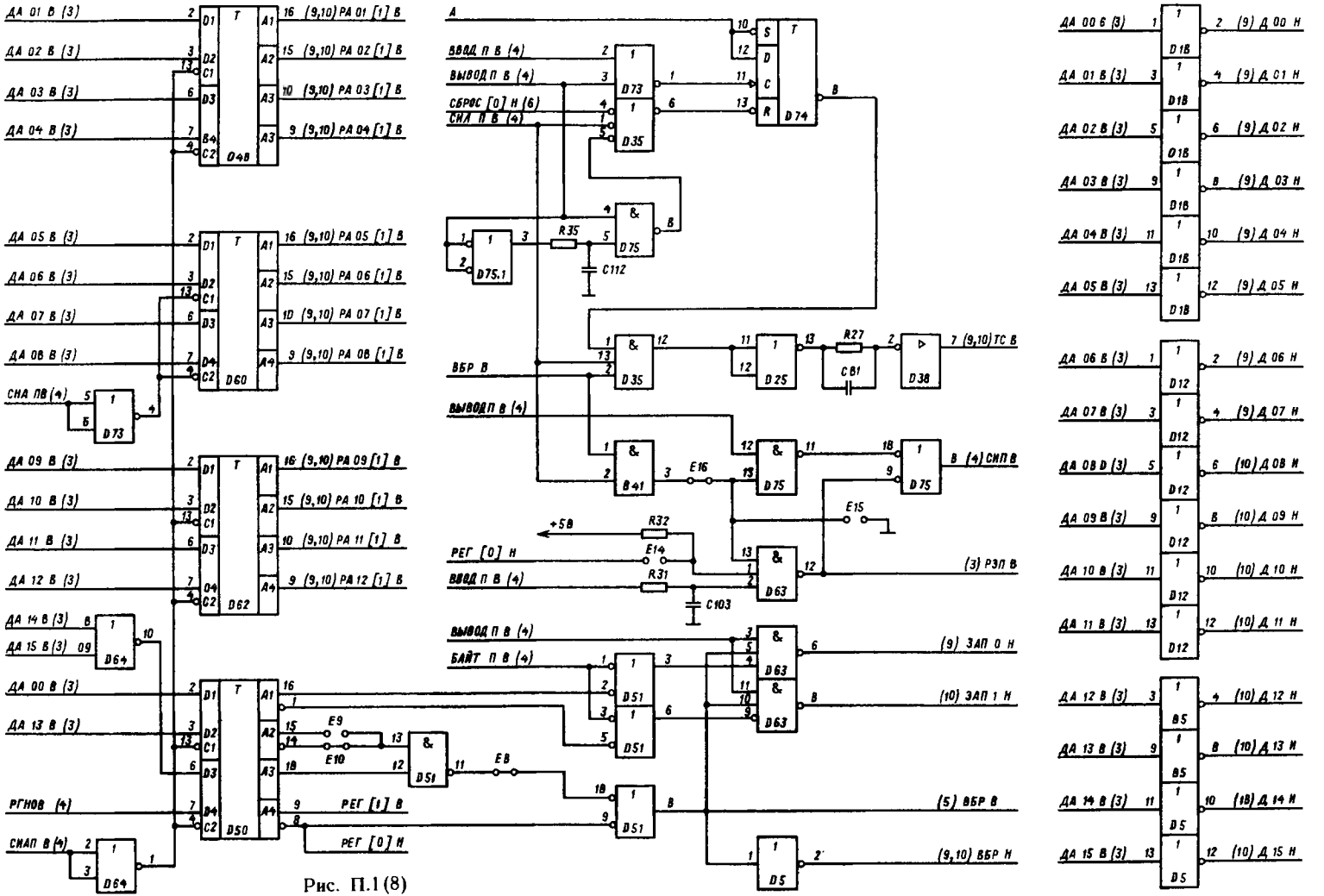

ДА 01 В (3)
ДА 02 В (3)
ДА 03 В (3)
ДА 04 В (3)
D48
(9,10) РА 01 [1] В
(9,10) РА 02 [1] В
(9,10) РА 03 [1] В
(9,10) РА 04 [1] В
ДА 05 В (3)
ДА 06 В (3)
ДА 07 В (3)
ДА 08 В (3)
D60
(9,10) РА 05 [1] В
(9,10) РА 06 [1] В
(9,10) РА 07 [1] В
(9,10) РА 08 [1] В
СНА ПВ (4)
D73
ДА 09 В (3)
ДА 10 В (3)
ДА 11 В (3)
ДА 12 В (3)
D62
(9,10) РА 09 [1] В
(9,10) РА 10 [1] В
(9,10) РА 11 [1] В
(9,10) РА 12 [1] В
ДА 14 В (3)
ДА 15 В (3)
D64
ДА 00 В (3)
ДА 13 В (3)
РГНОВ (4)
D50
РЕГ [1] В
РЕГ [0] Н
СНАП В (4)
D64
A
ВВОД П В (4)
ВЫВОД П В (4)
СБРОС [0] Н (6)
СНА П В (4)
D73
D35
R35
C112
D75.1
D75
B
D74
ВБР В
D35
D25
R27
C81
D38
7 (9,10) ТС В
ВЫВОД П В (4)
B41
E16
D75
D75
В (4) СНП В
E15
+5В
R32
E14
R31
C103
РЕГ [0] Н
ВВОД П В (4)
D63
(3) РЭП В
ВЫВОД П В (4)
БАЙТ П В (4)
D51
D51
D63
D63
(9) ЗАП 0 Н
(10) ЗАП 1 Н
E9
E10
E8
D51
(5) ВБР В
D5
(9,10) ВБР Н
ДА 00 6 (3)
ДА 01 В (3)
ДА 02 В (3)
ДА 03 В (3)
ДА 04 В (3)
ДА 05 В (3)
D18
(9) Д 00 Н
(9) Д 01 Н
(9) Д 02 Н
(9) Д 03 Н
(9) Д 04 Н
(9) Д 05 Н
ДА 06 В (3)
ДА 07 В (3)
ДА 08 D (3)
ДА 09 В (3)
ДА 10 В (3)
ДА 11 В (3)
D12
(9) Д 06 Н
(9) Д 07 Н
(10) Д 08 Н
(10) Д 09 Н
(10) Д 10 Н
(10) Д 11 Н
ДА 12 В (3)
ДА 13 В (3)
ДА 14 В (3)
ДА 15 В (3)
B5
D5
(10) Д 12 Н
(10) Д 13 Н
(10) Д 14 Н
(10) Д 15 Н

Рис. П.1 (8)

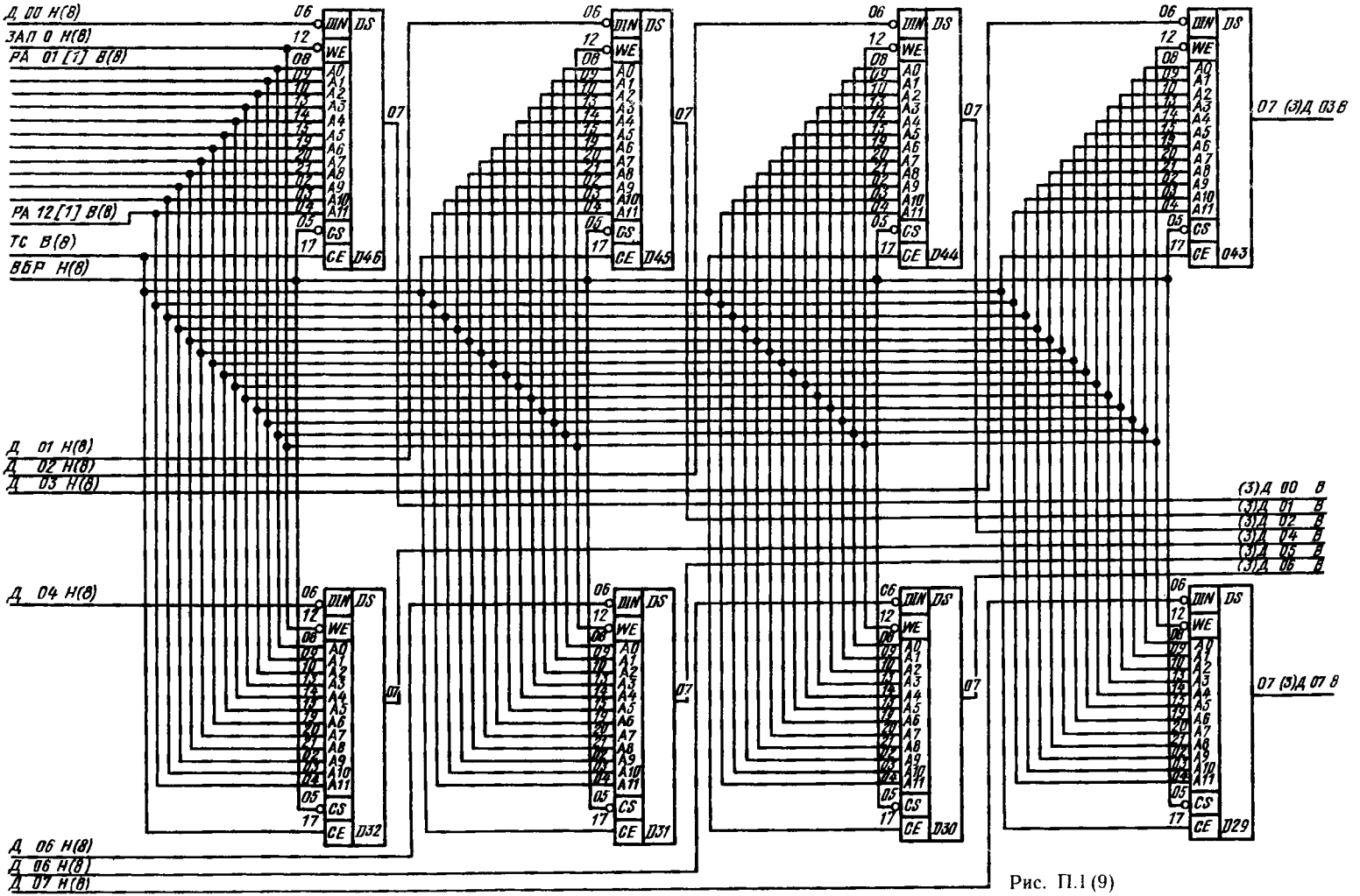

Д 00 Н(8)
ЗАП 0 Н(8)
РА 01 [1] В(8)
РА 12 [1] В(8)
ТС В(8)
ВБР Н(8)
Д 01 Н(8)
Д 02 Н(8)
Д 03 Н(8)
Д 04 Н(8)
Д 06 Н(8)
Д 06 Н(8)
Д 07 Н(8)
Д46
Д45
Д44
043
Д32
Д31
Д30
Д29
07 (3)Д 03 В
(3)Д 00 В
(3)Д 01 В
(3)Д 02 В
(3)Д 04 В
(3)Д 05 В
(3)Д 06 В
07 (3)Д 07 В

Рис. П.1 (9)

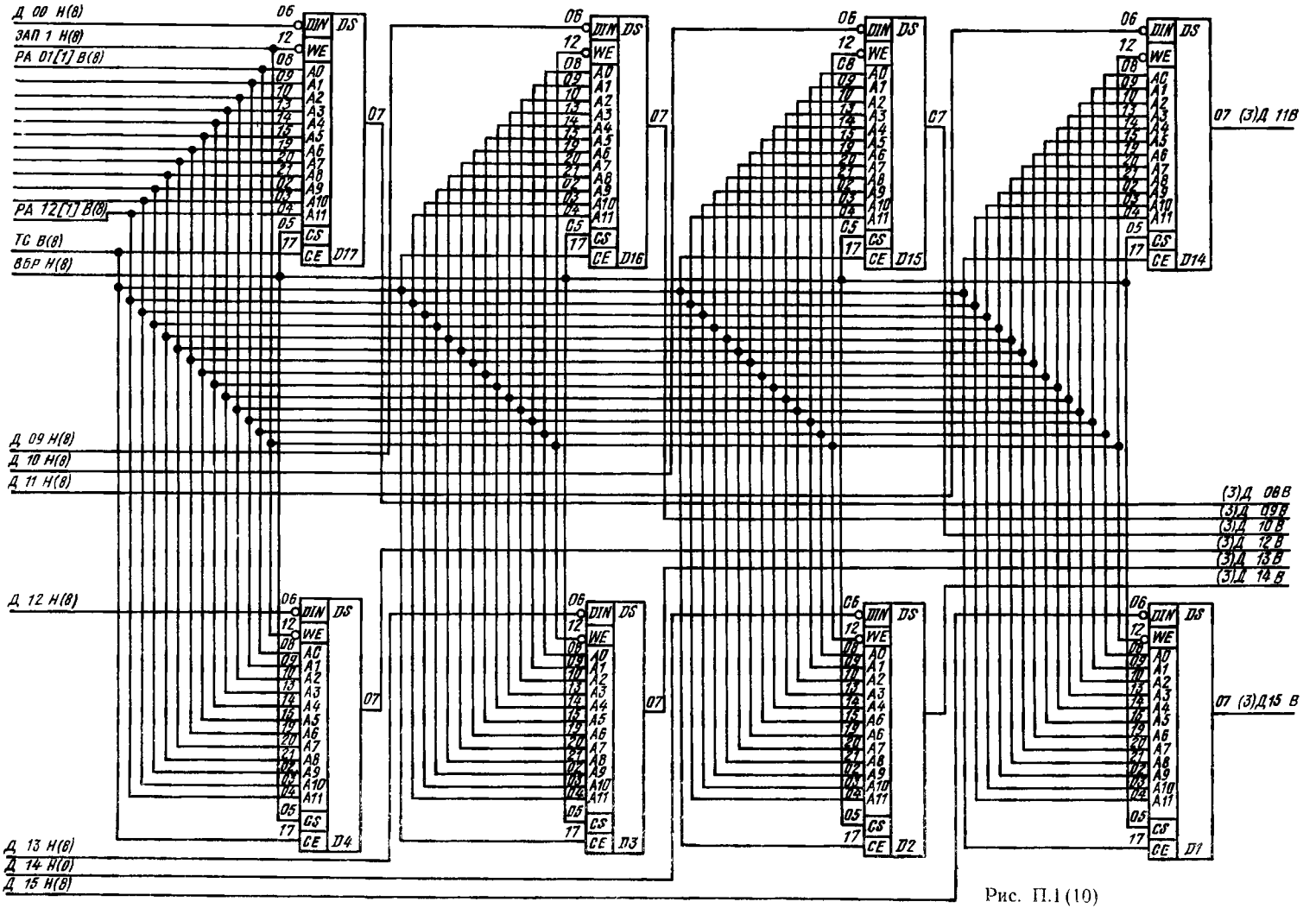

Д 00 Н(8)
ЗАП 1 Н(8)
РА 01[1] В(8)
РА 12[1] В(8)
ТС В(8)
ВБР Н(8)
Д 09 Н(8)
Д 10 Н(8)
Д 11 Н(8)
Д 12 Н(8)
Д 13 Н(8)
Д 14 Н(0)
Д 15 Н(8)
07 (3)Д 11В
(3)Д 08В
(3)Д 09В
(3)Д 10 В
(3)Д 12 В
(3)Д 13 В
(3)Д 14 В
07 (3)Д15 В
D17
D16
D15
D14
D4
D3
D2
D1

Рис. П.1 (10)

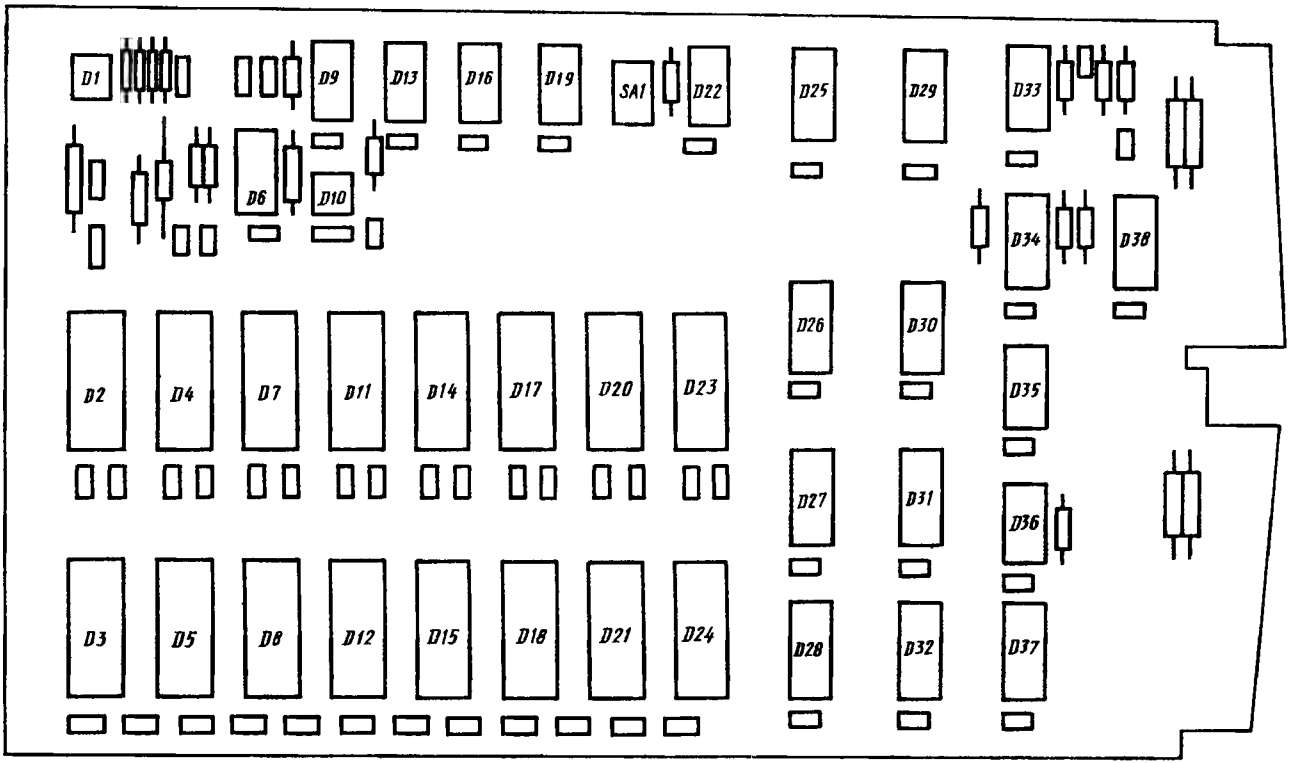


Рис. П.2(1—3). Модуль памяти П2

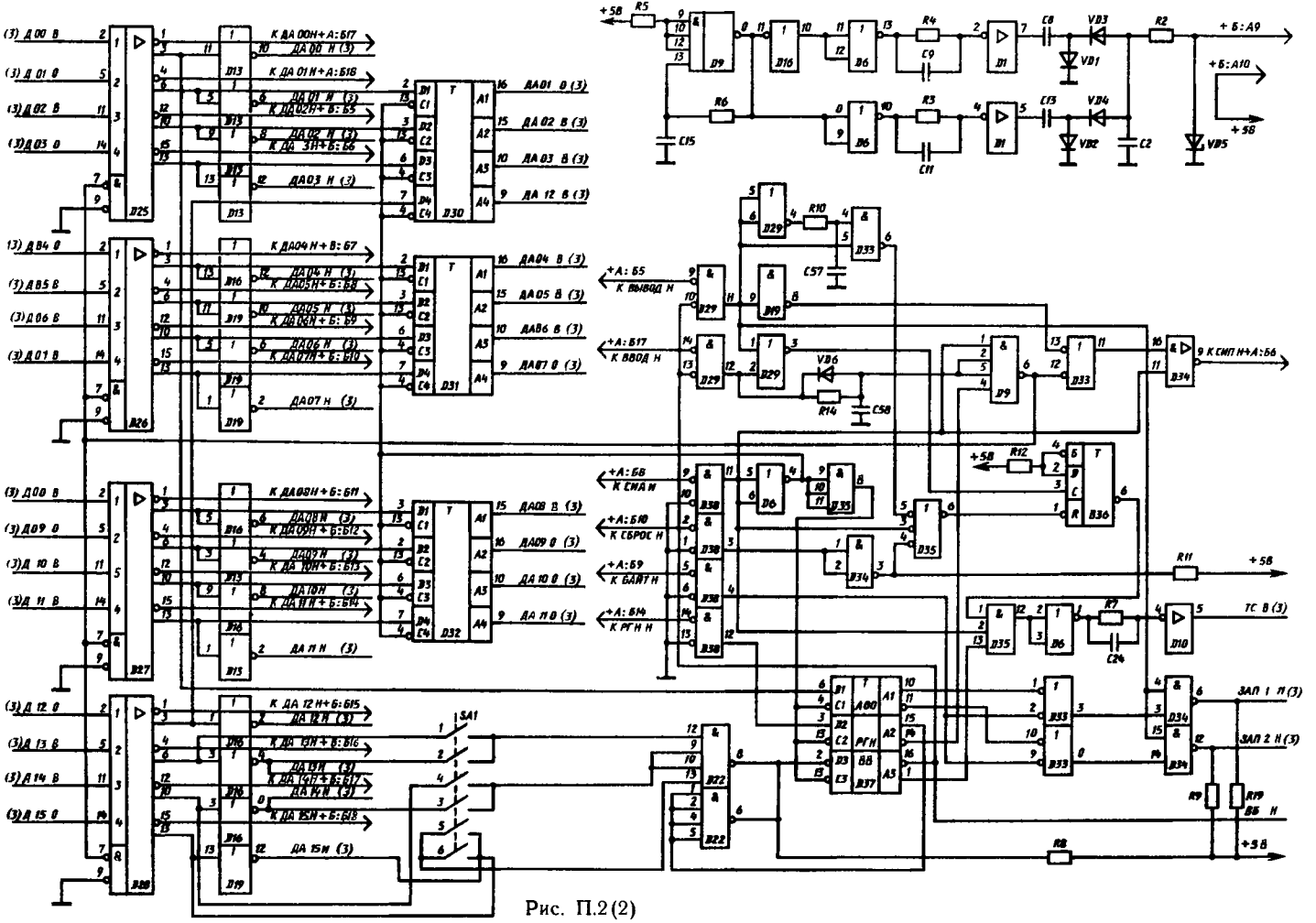

(3) Д00 В
(3) Д01 В
(3) Д02 В
(3) Д03 В
(3) Д04 В
(3) Д05 В
(3) Д06 В
(3) Д07 В
(3) Д08 В
(3) Д09 В
(3) Д10 В
(3) Д11 В
(3) Д12 В
(3) Д13 В
(3) Д14 В
(3) Д15 В
К ДА 00Н+А:Б17
ДА 00 Н (3)
К ДА 01Н+А:Б16
ДА 01 Н (3)
К ДА 02Н+Б:Б5
ДА 02 Н (3)
К ДА 03Н+Б:Б6
ДА 03 Н (3)
ДА 12 В (3)
К ДА 04Н+В:Б7
ДА 04 Н (3)
К ДА 05Н+Б:Б8
ДА 05 Н (3)
К ДА 06Н+Б:Б9
ДА 06 Н (3)
К ДА 07Н+Б:Б10
ДА 07 Н (3)
ДА 07 В (3)
К ДА 08Н+Б:Б11
ДА 08 Н (3)
К ДА 09Н+Б:Б12
ДА 09 Н (3)
К ДА 10Н+Б:Б13
ДА 10 Н (3)
К ДА 11Н+Б:Б14
ДА 11 Н (3)
К ДА 12Н+Б:Б15
ДА 12 Н (3)
К ДА 13Н+Б:Б16
ДА 13 Н (3)
К ДА 14Н+Б:Б17
ДА 14 Н (3)
К ДА 15Н+Б:Б18
ДА 15 Н (3)
ДА01 В (3)
ДА 02 В (3)
ДА 03 В (3)
ДА 12 В (3)
ДА04 В (3)
ДА05 В (3)
ДА06 В (3)
ДА07 В (3)
ДА08 В (3)
ДА09 В (3)
ДА 10 В (3)
ДА 11 В (3)
+5В
+Б:А9
+Б:А10
+А:Б5
К ВЫВОД Н
+А:Б17
К ВВОД Н
9 К СИП Н+А:Б6
+А:Б6
К СИА Н
+А:Б10
К СБРОС Н
+А:Б9
К БАЙТ Н
+А:Б14
К РГН Н
ТС В (3)
ЗАП 1 П (3)
ЗАП 2 Н (3)
+5В
SA1

Рис. П.2(2)

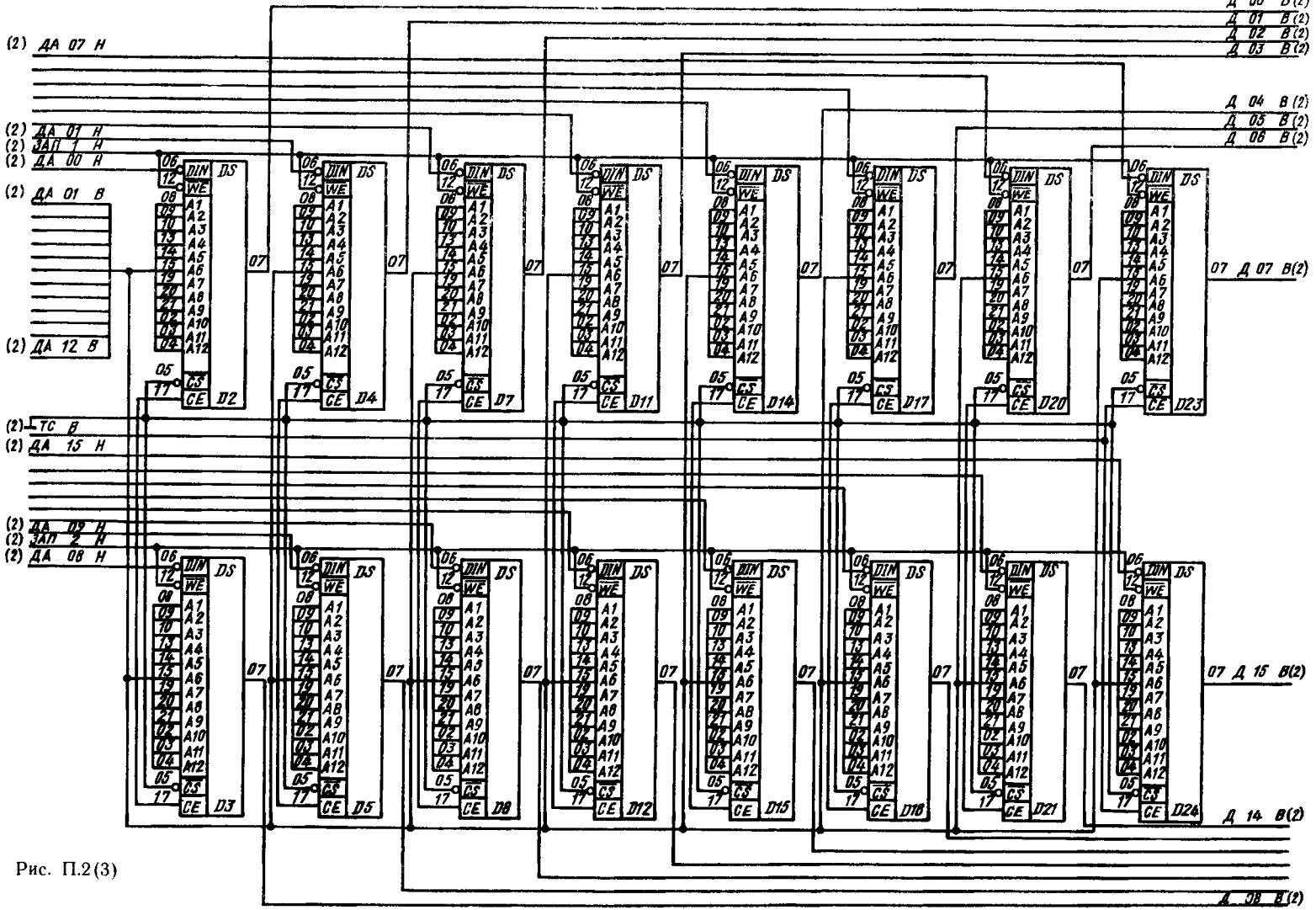

(2) ДА 07 Н
(2) ДА 01 Н
(2) ЗАП 1 Н
(2) ДА 00 Н
(2) ДА 01 В
(2) ДА 12 В
(2) ТС В
(2) ДА 15 Н
(2) ДА 09 Н
(2) ЗАП 2 Н
(2) ДА 08 Н
Д 00 В(2)
Д 01 В(2)
Д 02 В(2)
Д 03 В(2)
Д 04 В(2)
Д 05 В(2)
Д 06 В(2)
07 Д 07 В(2)
07 Д 15 В(2)
Д 14 В(2)
Д 08 В(2)
DIN
WE
DS
CS
CE
D2
D3
D4
D5
D7
D8
D11
D12
D14
D15
D17
D18
D20
D21
D23
D24

Рис. П.2(3)

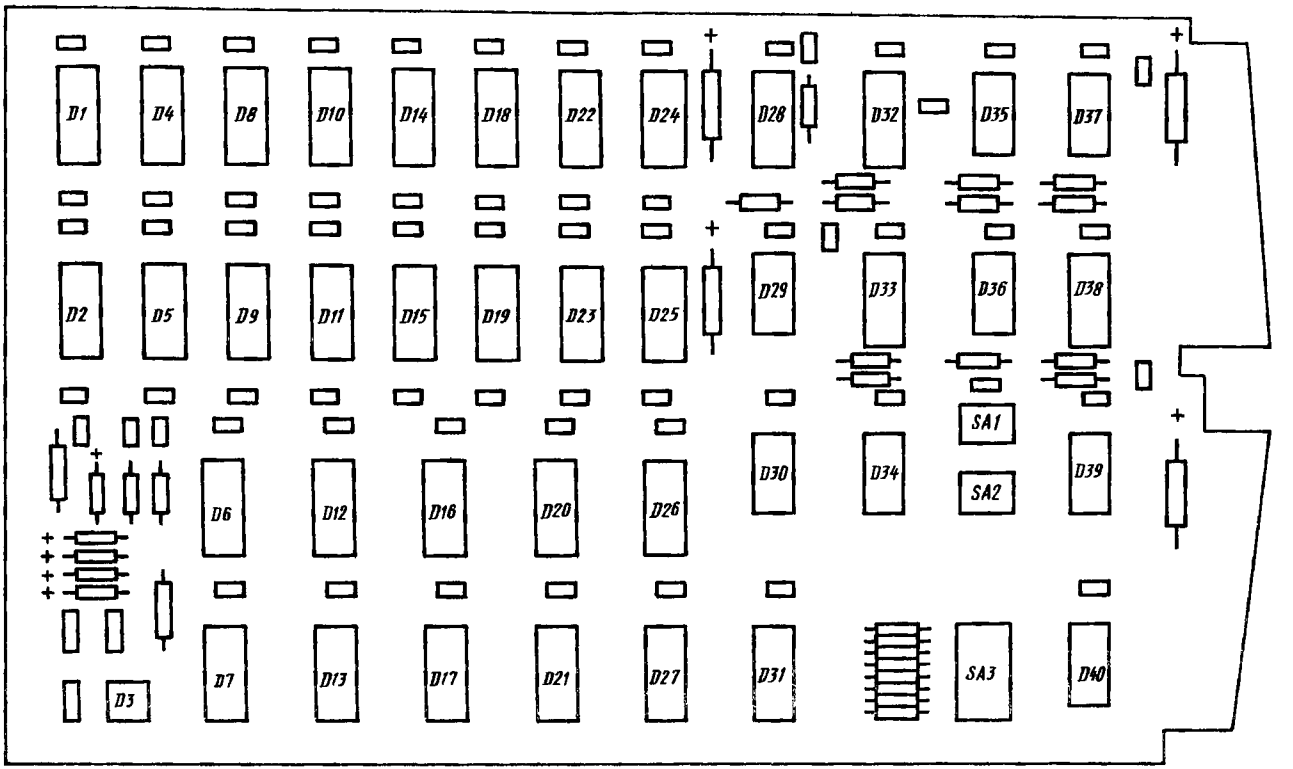
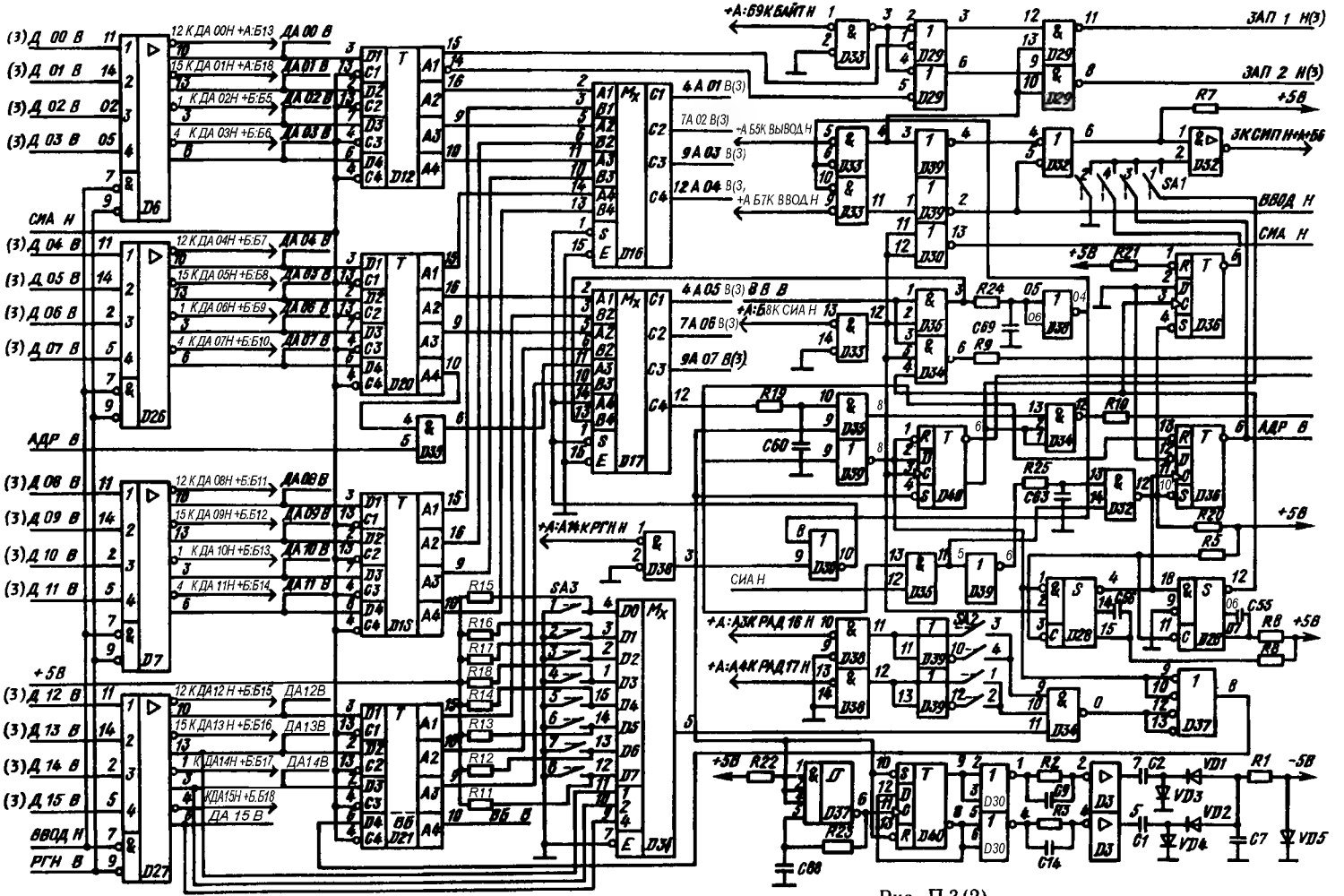


Рис. П.3(1--3). Модуль памяти П3



(3) Д 00 В
(3) Д 01 В
(3) Д 02 В
(3) Д 03 В
СИА Н
(3) Д 04 В
(3) Д 05 В
(3) Д 06 В
(3) Д 07 В
АДР В
(3) Д 08 В
(3) Д 09 В
(3) Д 10 В
(3) Д 11 В
+5В
(3) Д 12 В
(3) Д 13 В
(3) Д 14 В
(3) Д 15 В
ВВОД Н
РГН В
12 К ДА 00Н +А:Б13
15 К ДА 01Н +А:Б18
1 К ДА 02Н +Б:Б5
4 К ДА 03Н +Б:Б6
12 К ДА 04Н +Б:Б7
15 К ДА 05Н +Б:Б8
1 К ДА 06Н +Б:Б9
4 К ДА 07Н +Б:Б10
12 К ДА 08Н +Б:Б11
15 К ДА 09Н +Б:Б12
1 К ДА 10Н +Б:Б13
4 К ДА 11Н +Б:Б14
12 К ДА 12 Н +Б:Б15
15 К ДА 13 Н +Б:Б16
1 К ДА 14Н +Б:Б17
К ДА 15Н +Б:Б18
ДА 00 В
ДА 01 В
ДА 02 В
ДА 03 В
ДА 04 В
ДА 05 В
ДА 06 В
ДА 07 В
ДА 08 В
ДА 09 В
ДА 10 В
ДА 11 В
ДА 12В
ДА 13В
ДА 14В
ДА 15 В
+А:69К БАЙТ Н
4 А 01 В(3)
7А 02 В(3)
+А Б5К ВЫВОД Н
9 А 03 В(3)
12 А 04 В(3)
+А Б7К ВВОД Н
4 А 05 В(3) В В В
+А:Б8К СИА Н
7 А 06 В(3)
9А 07 В(3)
+А:А14К РГН Н
СИА Н
+А:А3К РАД 16 Н
+А:А4К РАД 17 Н
ЗАП 1 Н(3)
ЗАП 2 Н(3)
+5В
3К СИП Н+А+Б6
ВВОД Н
СИА Н
АДР В
+5В
+5В
+5В
-5В
SA1
SA2
SA3
R7
R21
R24
R9
R19
R10
R25
R20
R5
R8
R15
R16
R17
R18
R14
R13
R12
R11
R22
R23
R2
R3
R1
C69
C60
C63
C56
C55
C88
C14
C1
C2
C7
VD1
VD2
VD3
VD4
VD5

Рис. П.3(2)

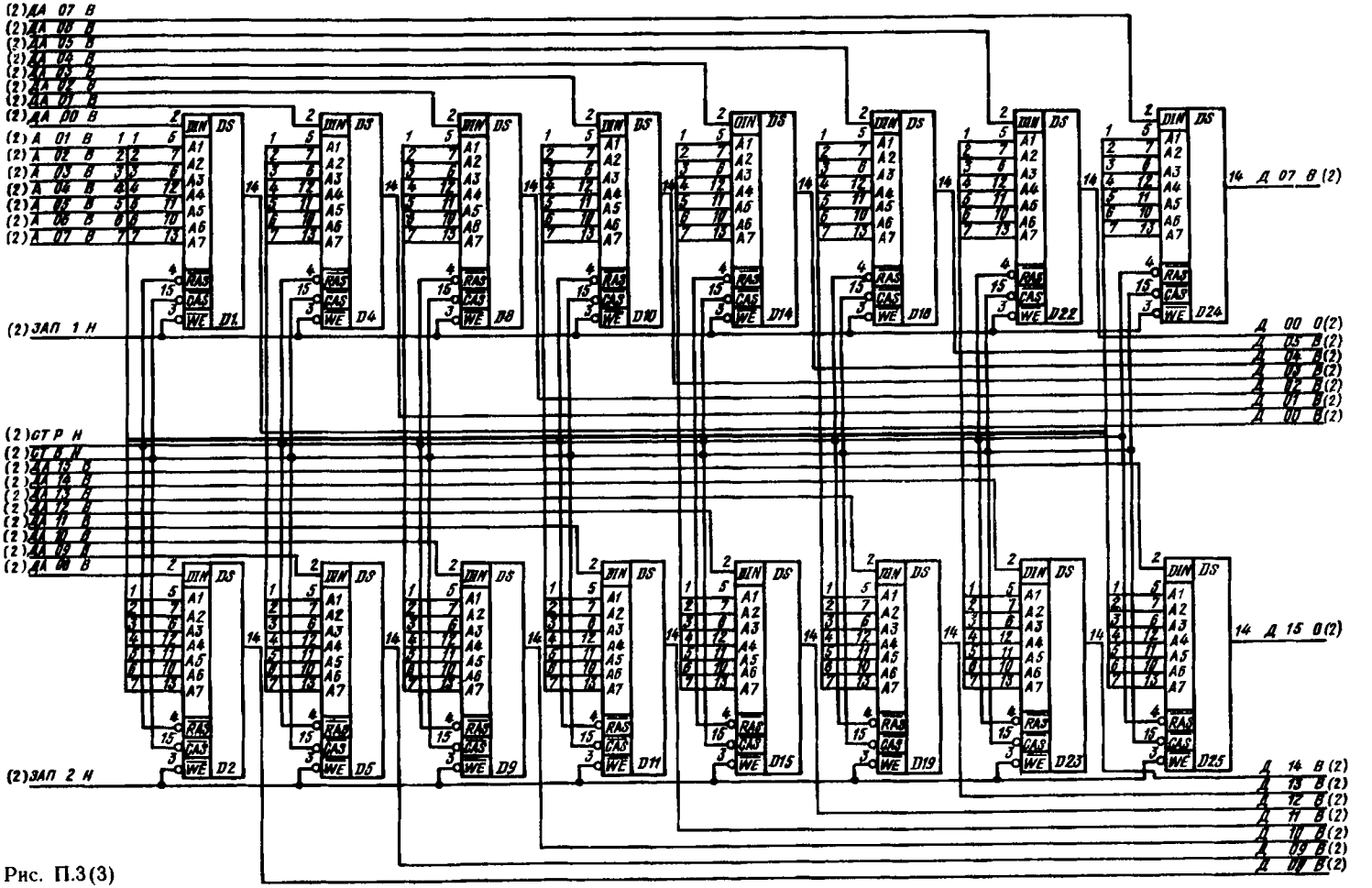

(2) ДА 07 В
(2) ДА 06 В
(2) ДА 05 В
(2) ДА 04 В
(2) ДА 03 В
(2) ДА 02 В
(2) ДА 01 В
(2) ДА 00 В
(2) А 01 В
(2) А 02 В
(2) А 03 В
(2) А 04 В
(2) А 05 В
(2) А 06 В
(2) А 07 В
(2) ЗАП 1 Н
(2) СТР Н
(2) СТ А Н
(2) ЗАП 2 Н
DIN
DS
A1
A2
A3
A4
A5
A6
A7
RAS
CAS
WE
D1
D4
D8
D10
D14
D18
D22
D24
D2
D5
D9
D11
D15
D19
D23
D25
14 Д 07 В (2)
Д 00 В(2)
Д 05 В(2)
Д 04 В(2)
Д 03 В(2)
Д 02 В(2)
Д 01 В(2)
Д 00 В(2)
14 Д 15 В(2)
Д 14 В(2)
Д 13 В(2)
Д 12 В(2)
Д 11 В(2)
Д 10 В(2)
Д 09 В(2)
Д 08 В(2)

Рис. П.3(3)

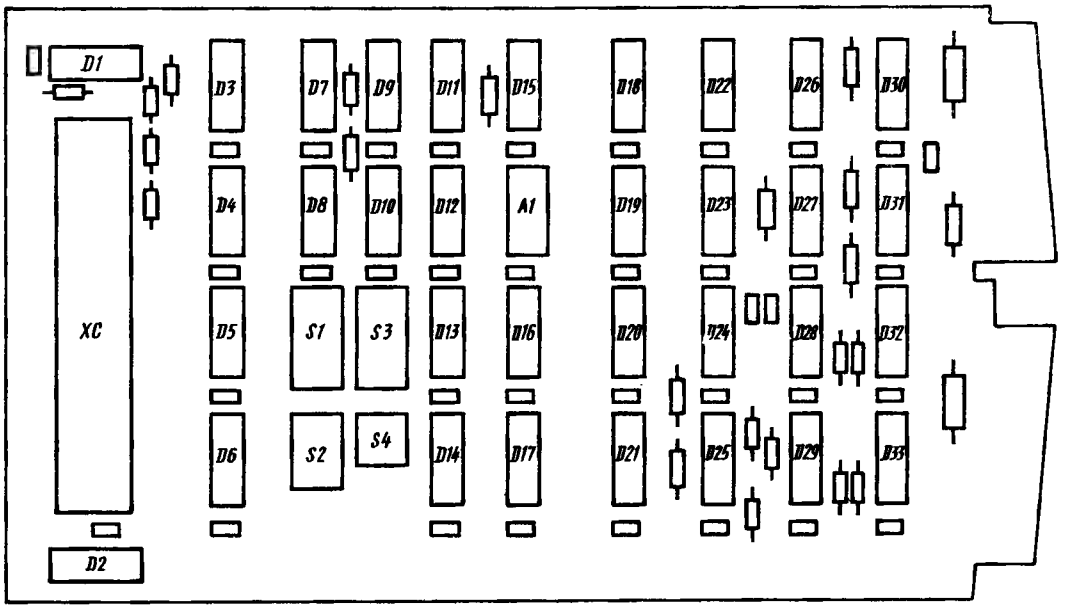


Рис. П.4 (1—5). Интерфейс И2

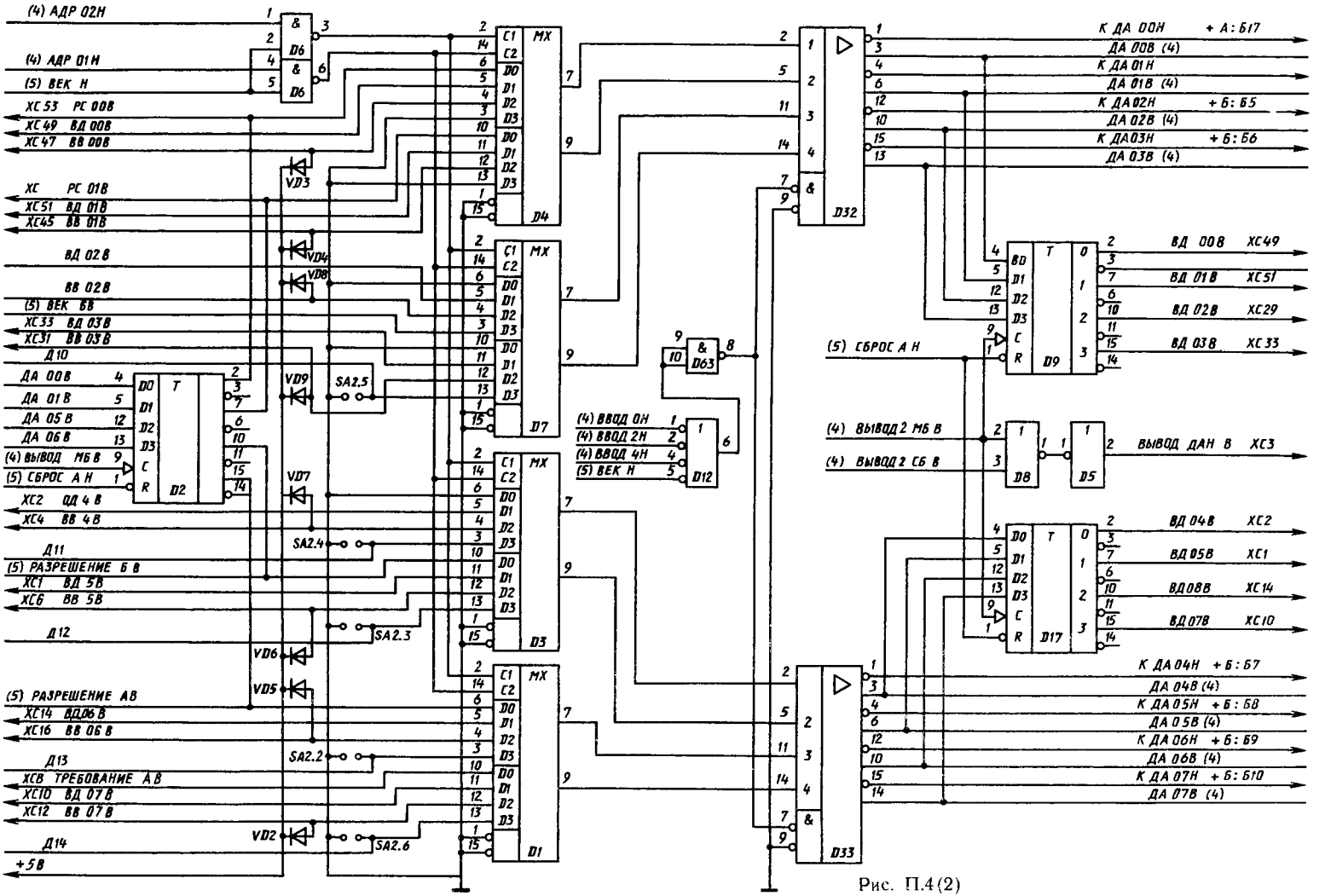
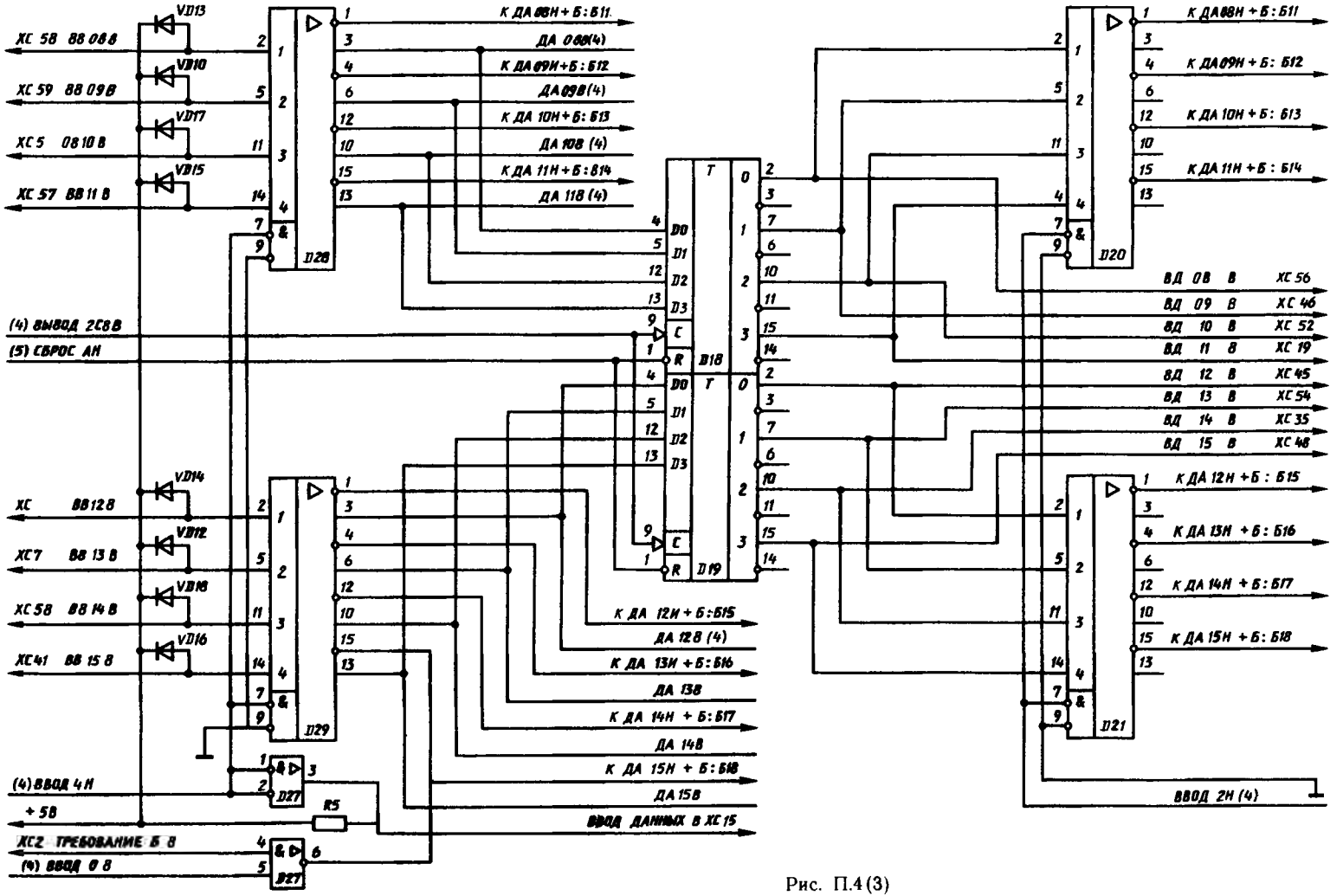

(4) АДР 02Н
(4) АДР 01Н
(5) ВЕК Н
ХС53 РС 00В
ХС49 ВД 00В
ХС47 ВВ 00В
ХС РС 01В
ХС51 ВД 01В
ХС45 ВВ 01В
ВД 02В
ВВ 02В
(5) ВЕК БВ
ХС33 ВД 03В
ХС31 ВВ 03В
Д10
ДА 00В
ДА 01В
ДА 05В
ДА 06В
(4) ВЫВОД МБ В
(5) СБРОС А Н
ХС2 ОД 4В
ХС4 ВВ 4В
Д11
(5) РАЗРЕШЕНИЕ БВ
ХС1 ВД 5В
ХС6 ВВ 5В
Д12
(5) РАЗРЕШЕНИЕ АВ
ХС14 ВД 06В
ХС16 ВВ 06В
Д13
ХСВ ТРЕБОВАНИЕ АВ
ХС10 ВД 07В
ХС12 ВВ 07В
Д14
+5В
VD3
VD4
VD8
VD9
VD7
VD6
VD5
VD2
SA2.5
SA2.4
SA2.3
SA2.2
SA2.6
D2
D4
D7
D3
D1
D6
D32
D33
D63
D12
D9
D8
D5
D17
MX
T
(4) ВВОД ОН
(4) ВВОД 2Н
(4) ВВОД 4Н
(5) ВЕК Н
(5) СБРОС А Н
(4) ВЫВОД 2 МБ В
(4) ВЫВОД 2 СБ В
ВЫВОД ДАН В ХС3
К ДА 00Н + А:Б17
ДА 00В (4)
К ДА 01Н
ДА 01В (4)
К ДА 02Н + Б:Б5
ДА 02В (4)
К ДА 03Н + Б:Б6
ДА 03В (4)
ВД 00В ХС49
ВД 01В ХС51
ВД 02В ХС29
ВД 03В ХС33
ВД 04В ХС2
ВД 05В ХС1
ВД 08В ХС14
ВД 07В ХС10
К ДА 04Н + Б:Б7
ДА 04В (4)
К ДА 05Н + Б:Б8
ДА 05В (4)
К ДА 06Н + Б:Б9
ДА 06В (4)
К ДА 07Н + Б:Б10
ДА 07В (4)

Рис. П.4(2)



VD13
VD10
VD17
VD15
VD14
VD12
VD18
VD16
XC 58 88 08 8
XC 59 88 09 8
XC 5 08 10 8
XC 57 88 11 8
XC 88 12 8
XC7 88 13 8
XC 58 88 14 8
XC41 88 15 8
(4) ВЫВОД 2С8 В
(5) СБРОС АН
(4) ВВОД 4Н
+5В
XC2 ТРЕБОВАНИЕ Б 8
(4) ВВОД 0 8
D28
D29
D27
R5
D18
D19
D20
D21
К ДА 08Н + Б : Б11
ДА 08В(4)
К ДА 09Н + Б : Б12
ДА 09В(4)
К ДА 10Н + Б : Б13
ДА 10В (4)
К ДА 11Н + Б : Б14
ДА 11В (4)
К ДА 12Н + Б : Б15
ДА 12В (4)
К ДА 13Н + Б : Б16
ДА 13В
К ДА 14Н + Б : Б17
ДА 14В
К ДА 15Н + Б : Б18
ДА 15В
ВВОД ДАННЫХ В XC 15
ВД 08 В XC 56
ВД 09 В XC 46
ВД 10 В XC 52
ВД 11 В XC 19
ВД 12 В XC 45
ВД 13 В XC 54
ВД 14 В XC 35
ВД 15 В XC 48
ВВОД 2Н (4)

Рис. П.4 (3)

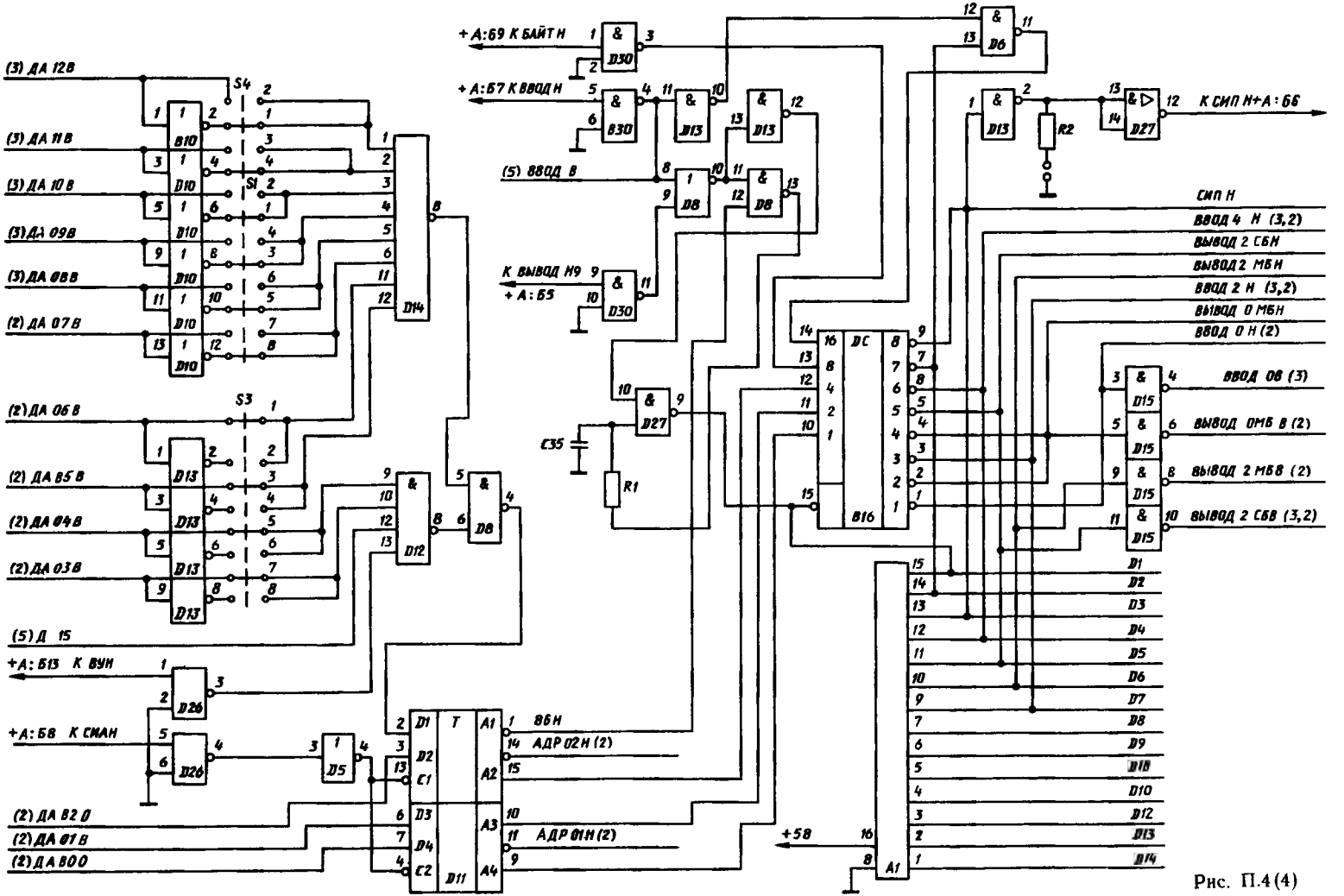

(3) ДА 12В
(3) ДА 11В
(3) ДА 10В
(3) ДА 09В
(3) ДА 08В
(2) ДА 07В
(2) ДА 06В
(2) ДА 05В
(2) ДА 04В
(2) ДА 03В
(5) Д 15
+А:Б13 К ВУН
+А:Б8 К СИАН
(2) ДА 02В
(2) ДА 01В
(2) ДА 00
+А:Б9 К БАЙТ Н
+А:Б7 К ВВОД Н
(5) ВВОД В
К ВЫВОД Н9
+А:Б5
С35
R1
R2
К СИП Н+А:Б6
СИП Н
ВВОД 4 Н (3,2)
ВЫВОД 2 СБН
ВЫВОД 2 МБН
ВВОД 2 Н (3,2)
ВЫВОД 0 МБН
ВВОД 0 Н (2)
ВВОД 08 (3)
ВЫВОД 0МБ В (2)
ВЫВОД 2 МБВ (2)
ВЫВОД 2 СБВ (3,2)
D1
D2
D3
D4
D5
D6
D7
D8
D9
D10
D12
D13
D14
+5В
ВБН
АДР 02Н (2)
АДР 01Н (2)

Рис. П.4(4)

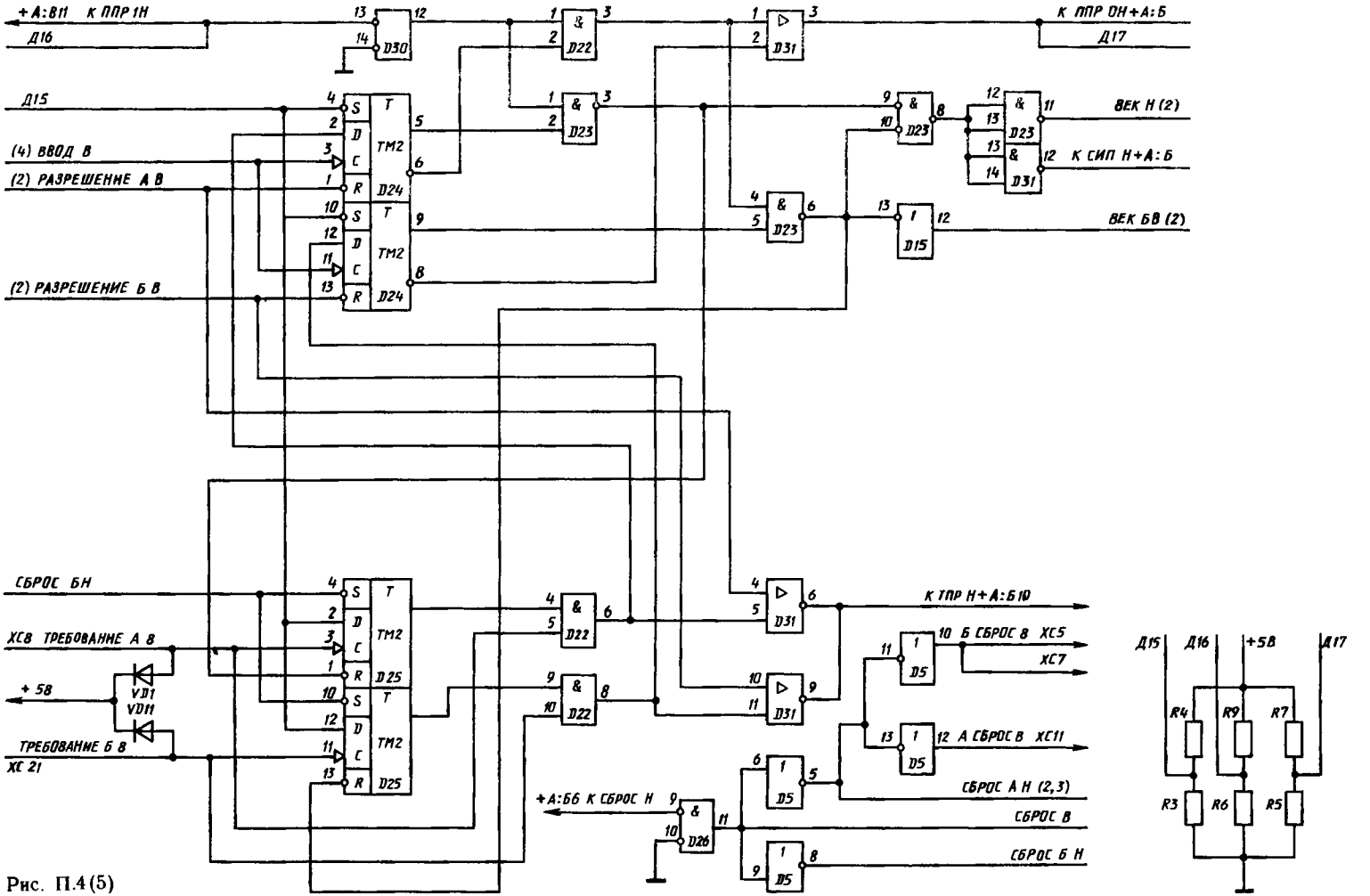

+A:B11 К ППР1Н
Д16
D30
D22
D31
К ППР0Н+А:Б
Д17
Д15
(4) ВВОД В
(2) РАЗРЕШЕНИЕ А В
(2) РАЗРЕШЕНИЕ Б В
TM2
D24
D23
ВЕК Н (2)
К СИП Н+А:Б
ВЕК БВ (2)
D15
СБРОС БН
ХС8 ТРЕБОВАНИЕ А В
+5В
VD1
VD11
ТРЕБОВАНИЕ Б В
ХС21
D25
К ТПР Н+А:Б10
10 Б СБРОС В ХС5
ХС7
D5
12 А СБРОС В ХС11
СБРОС А Н (2,3)
+A:Б6 К СБРОС Н
D26
СБРОС В
СБРОС Б Н
Д15
Д16
+5В
Д17
R4
R9
R7
R3
R6
R5

Рис. П.4(5)

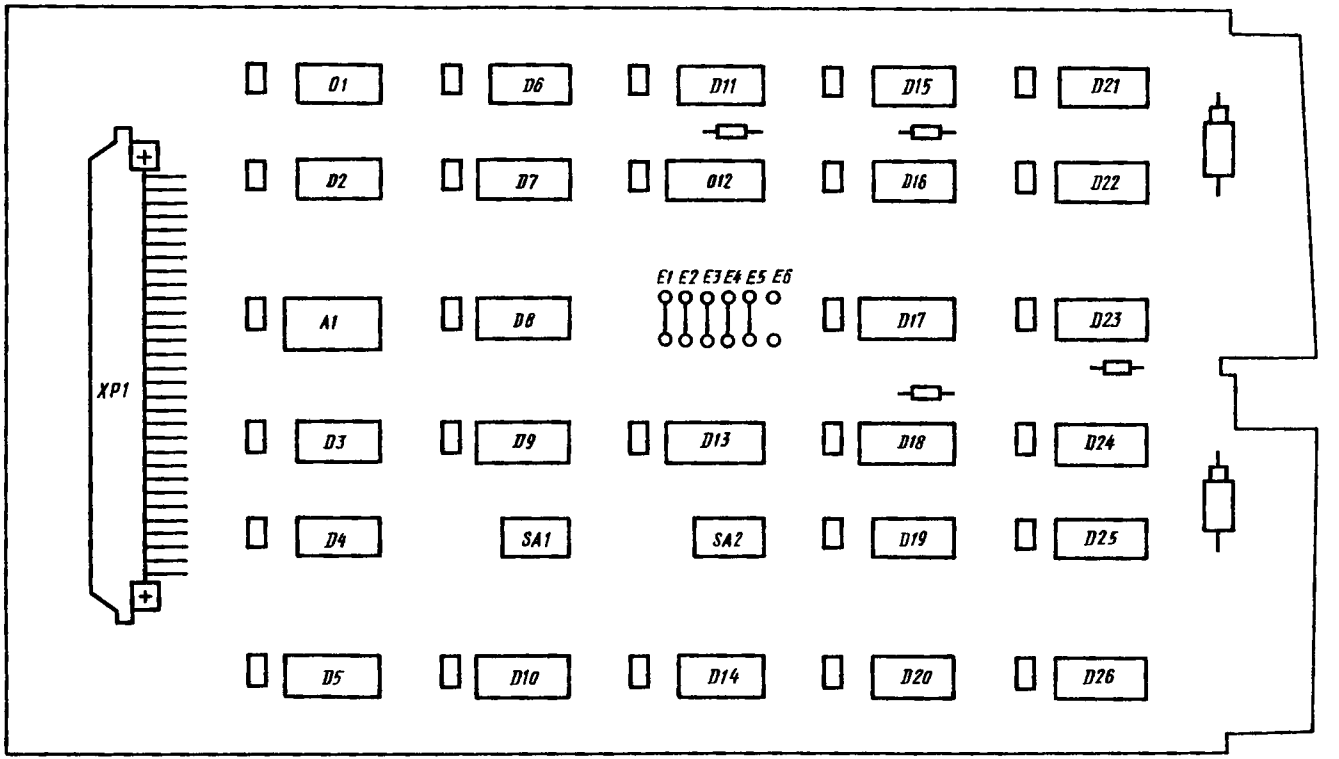


Рис. П.5(1—4). Интерфейс И7

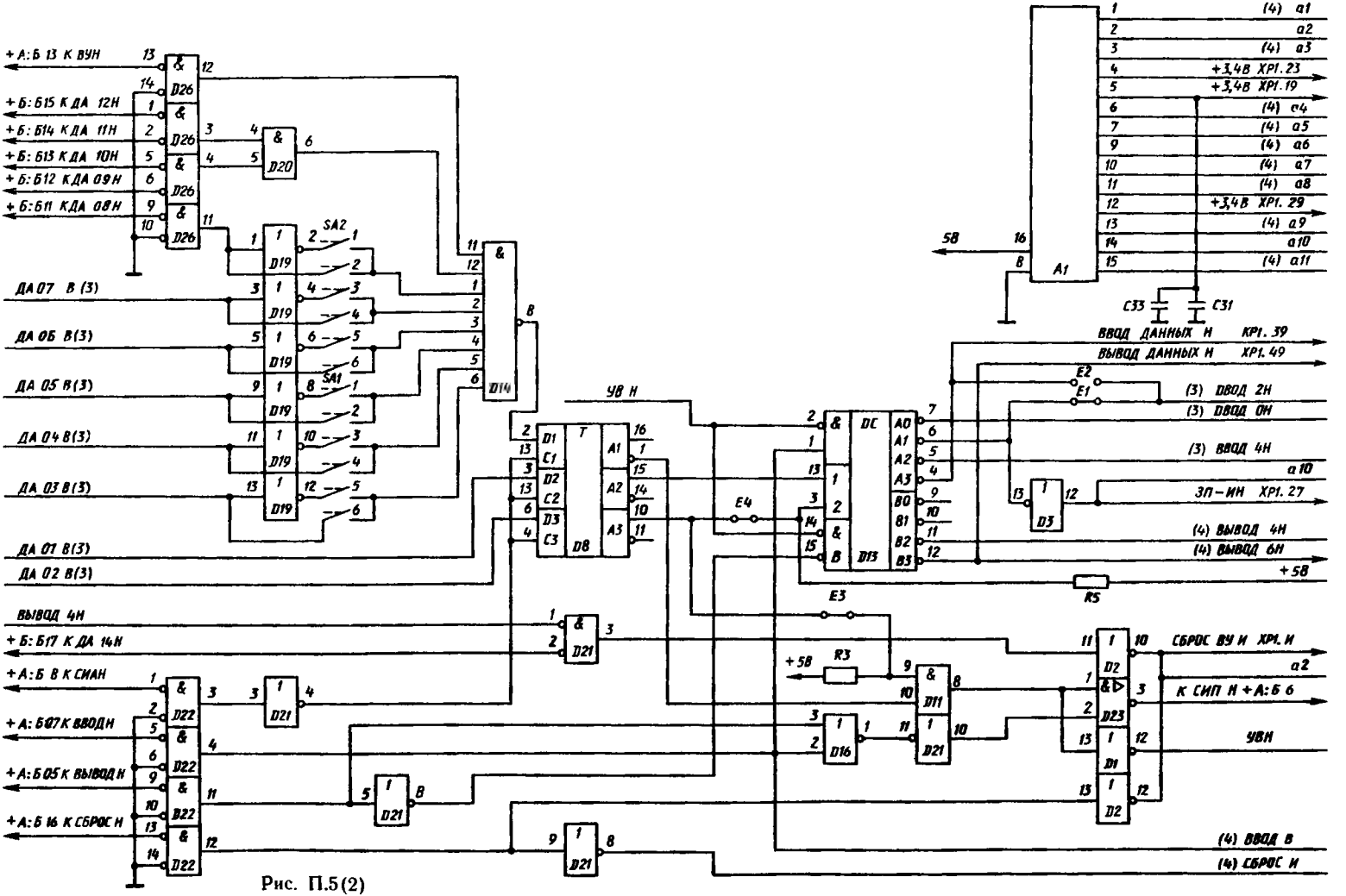

+А:Б 13 К ВУН
+Б:Б15 К ДА 12Н
+Б:Б14 К ДА 11Н
+Б:Б13 К ДА 10Н
+Б:Б12 К ДА 09Н
+Б:Б11 К ДА 08Н
ДА 07 В (3)
ДА 06 В(3)
ДА 05 В(3)
ДА 04 В(3)
ДА 03 В(3)
ДА 01 В(3)
ДА 02 В(3)
ВЫВОД 4Н
+Б:Б17 К ДА 14Н
+А:Б 8 К СИАН
+А:Б07 К ВВОДН
+А:Б 05 К ВЫВОДН
+А:Б 16 К СБРОС Н
SA2
SA1
ВУ Н
Е4
Е3
Е2
Е1
R3
R5
+5В
5В
А1
С33
С31
ВВОД ДАННЫХ Н
ВЫВОД ДАННЫХ Н
(3) ВВОД 2Н
(3) ВВОД 0Н
(3) ВВОД 4Н
(4) ВЫВОД 4Н
(4) ВЫВОД 6Н
ЗП-ИН
СБРОС ВУ И
К СИП И +А:Б 6
УВН
(4) ВВОД В
(4) СБРОС И

Рис. П.5(2)

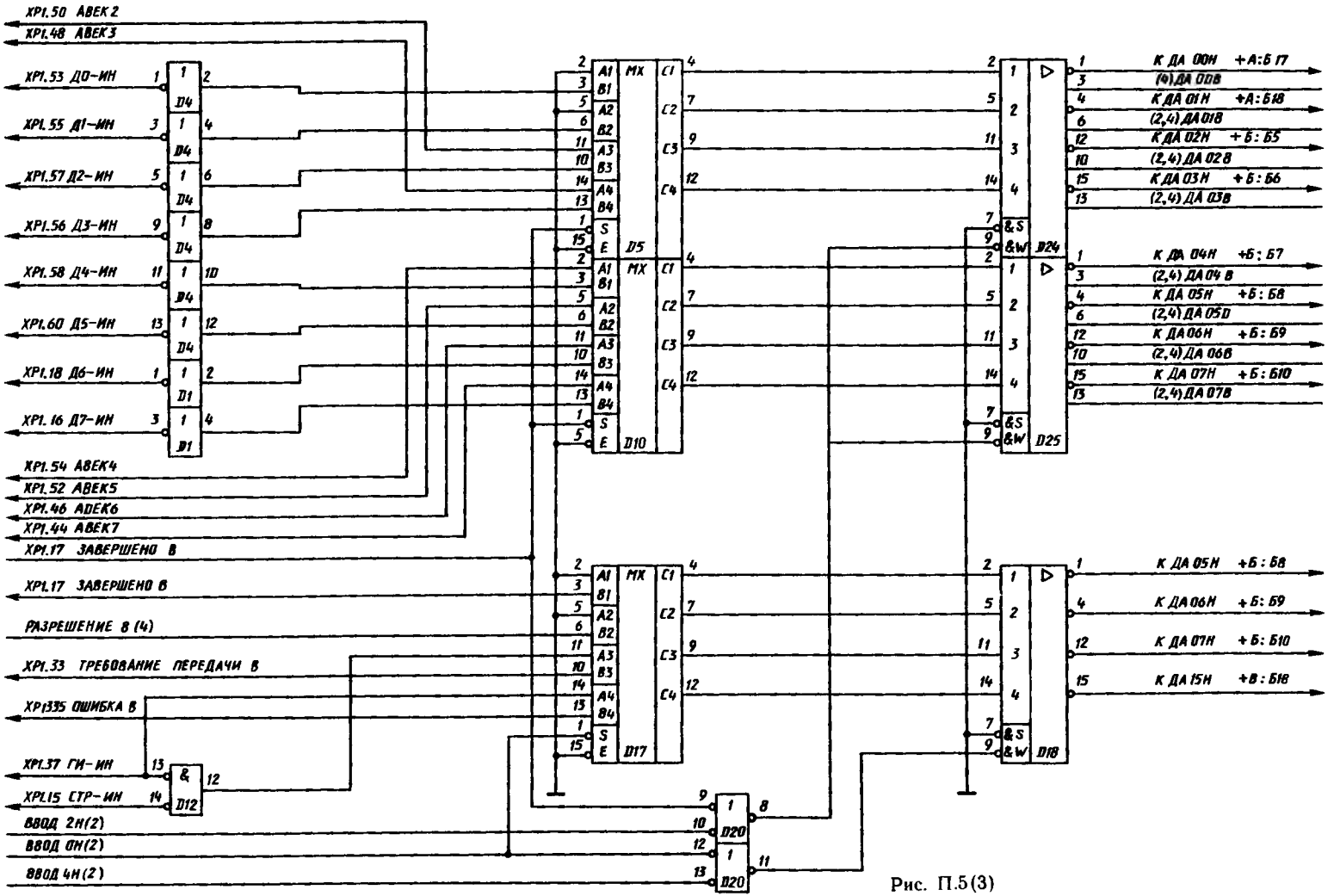

XP1.50 АВЕК2
XP1.48 АВЕК3
XP1.53 Д0-ИН
XP1.55 Д1-ИН
XP1.57 Д2-ИН
XP1.56 Д3-ИН
XP1.58 Д4-ИН
XP1.60 Д5-ИН
XP1.18 Д6-ИН
XP1.16 Д7-ИН
XP1.54 АВЕК4
XP1.52 АВЕК5
XP1.46 АВЕК6
XP1.44 АВЕК7
XP1.17 ЗАВЕРШЕНО В
XP1.17 ЗАВЕРШЕНО В
РАЗРЕШЕНИЕ В (4)
XP1.33 ТРЕБОВАНИЕ ПЕРЕДАЧИ В
XP1335 ОШИБКА В
XP1.37 ГИ-ИН
XP1.15 СТР-ИН
ВВОД 2Н(2)
ВВОД 0Н(2)
ВВОД 4Н(2)
D4
D1
D12
D5
D10
D17
D20
D24
D25
D18
MX
&
&S
&W
К ДА 00Н +А:Б17
(4)ДА 00В
К ДА 01Н +А:Б18
(2,4)ДА 01В
К ДА 02Н +Б:Б5
(2,4)ДА 02В
К ДА 03Н +Б:Б6
(2,4)ДА 03В
К ДА 04Н +Б:Б7
(2,4)ДА 04В
К ДА 05Н +Б:Б8
(2,4)ДА 05В
К ДА 06Н +Б:Б9
(2,4)ДА 06В
К ДА 07Н +Б:Б10
(2,4)ДА 07В
К ДА 05Н +Б:Б8
К ДА 06Н +Б:Б9
К ДА 07Н +Б:Б10
К ДА 15Н +В:Б18

Рис. П.5(3)

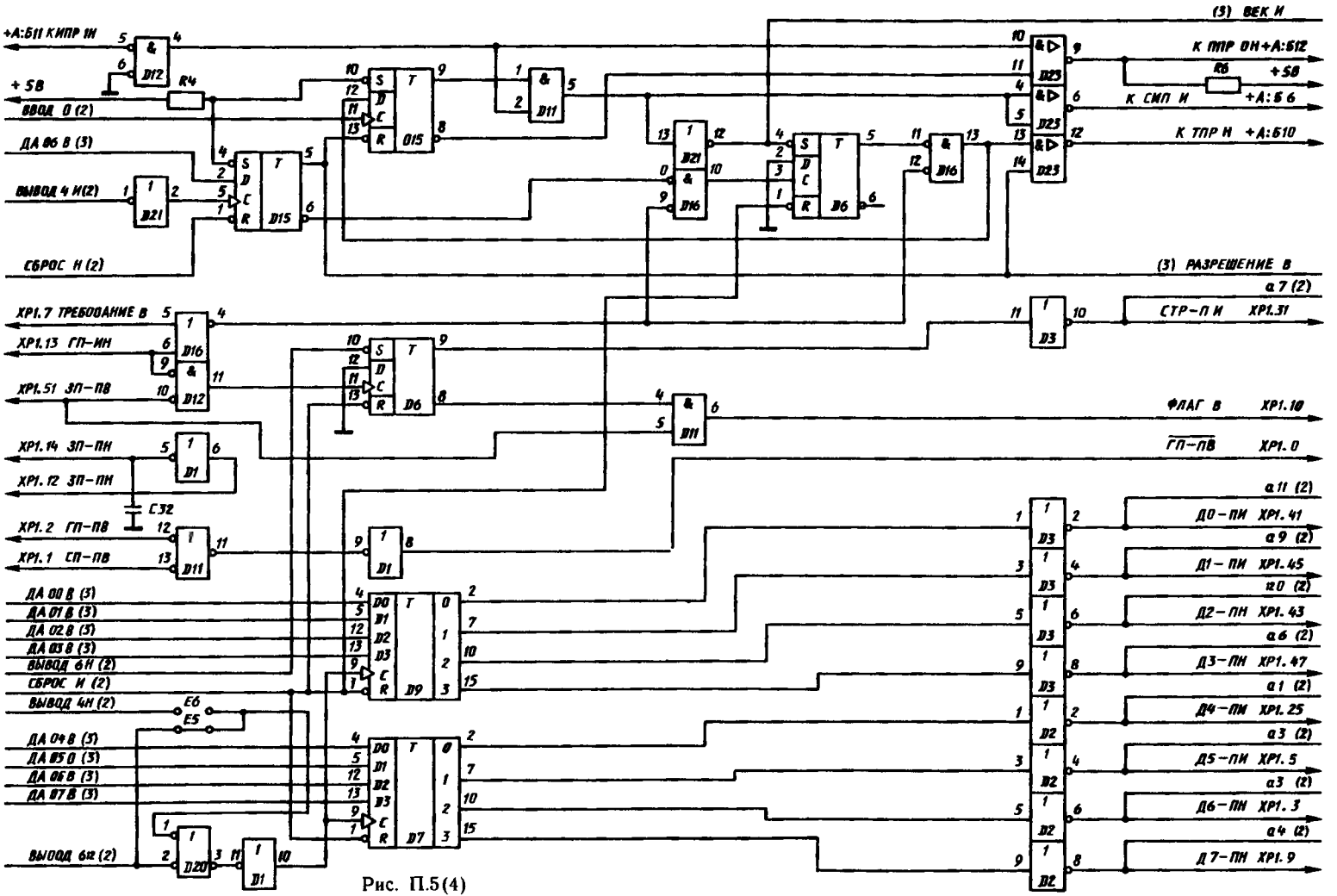

(3) ВЕК И
+A:Б11 КИПР ИН
+ 5В
ВВОД 0 (2)
ДА 06 В (3)
ВЫВОД 4 И(2)
СБРОС И (2)
К ПРР ОН+A:Б12
К СИП И
К ТПР И +A:Б10
+5В
+A:Б 6
(3) РАЗРЕШЕНИЕ В
ХР1.7 ТРЕБОВАНИЕ В
ХР1.13 ГП-ИН
ХР1.51 ЗП-ПВ
ХР1.14 ЗП-ПН
ХР1.12 ЗП-ПН
ХР1.2 ГП-ПВ
ХР1.1 СП-ПВ
СТР-П И ХР1.31
ФЛАГ В ХР1.10
ГП-ПВ ХР1.0
ДА 00 В (3)
ДА 01 В (3)
ДА 02 В (3)
ДА 03 В (3)
ВЫВОД 6Н (2)
СБРОС И (2)
ВЫВОД 4Н (2)
ДА 04 В (3)
ДА 05 О (3)
ДА 06 В (3)
ДА 07 В (3)
ВЫОДД 6и (2)
Д0-ПИ ХР1.41
Д1-ПИ ХР1.45
Д2-ПН ХР1.43
Д3-ПН ХР1.47
Д4-ПИ ХР1.25
Д5-ПИ ХР1.5
Д6-ПН ХР1.3
Д7-ПН ХР1.9

Рис. П.5(4)

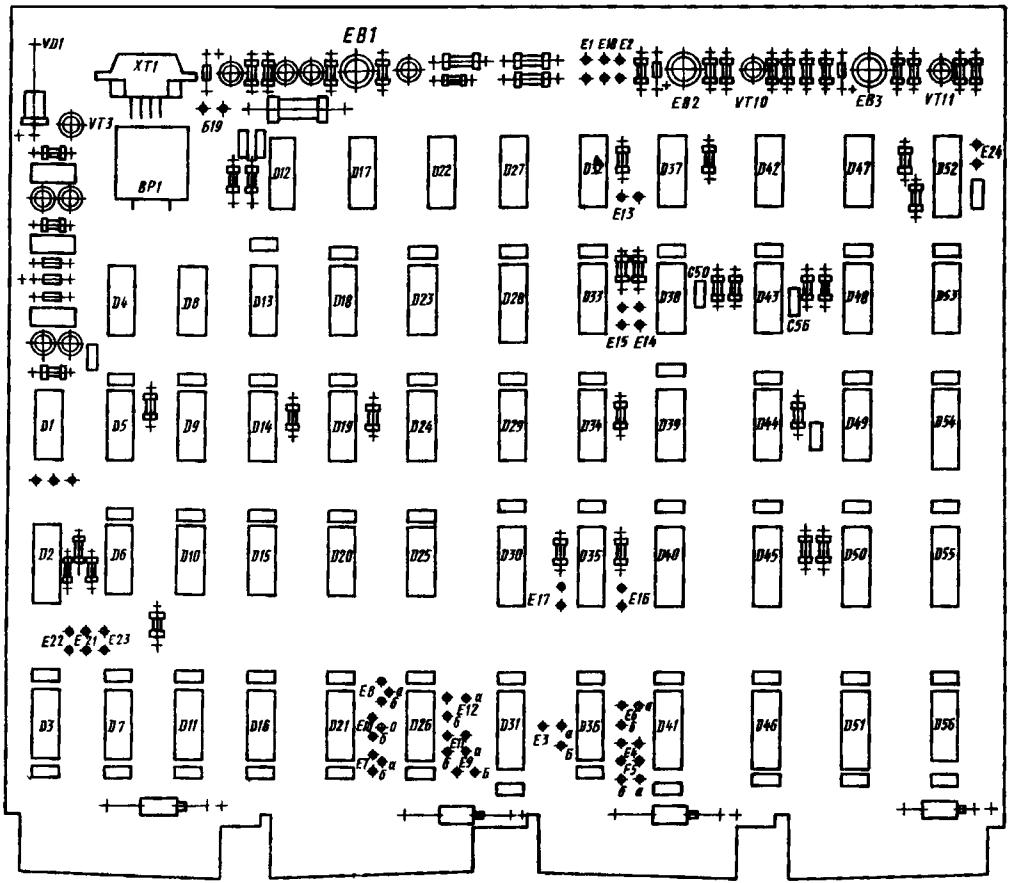


Рис. П.6(1—4). Интерфейс устройства последовательного обмена

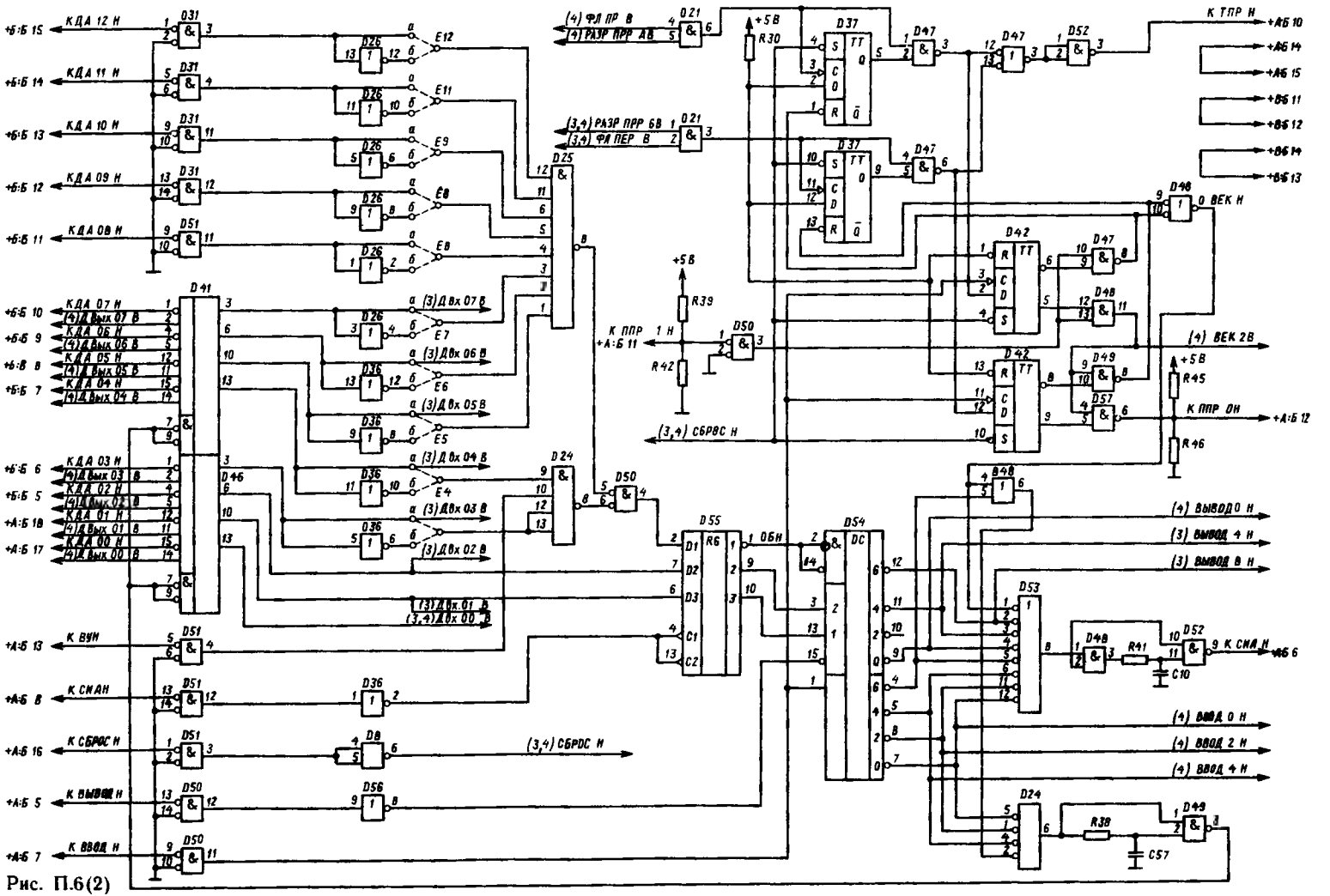

КДА 12 Н
КДА 11 Н
КДА 10 Н
КДА 09 Н
КДА 08 Н
КДА 07 Н
КДА 06 Н
КДА 05 Н
КДА 04 Н
КДА 03 Н
КДА 02 Н
КДА 01 Н
КДА 00 Н
(4) ФЛ ПР В
(4) РАЗР ПРР АВ
(3,4) РАЗР ПРР 6В
(3,4) ФЛ ПЕР В
К ТПР Н
0 ВЕК Н
(4) ВЕК 2В
К ППР 1 Н
К ППР 0Н
(3,4) СБРОС Н
(4) ВЫВОД 0 Н
(3) ВЫВОД 4 Н
(3) ВЫВОД 8 Н
К ВУН
К СИАН
К СБРОС Н
К ВЫВОД Н
К ВВОД Н
(4) ВВОД 0 Н
(4) ВВОД 2 Н
(4) ВВОД 4 Н
К СИА Н

Рис. П.6(2)

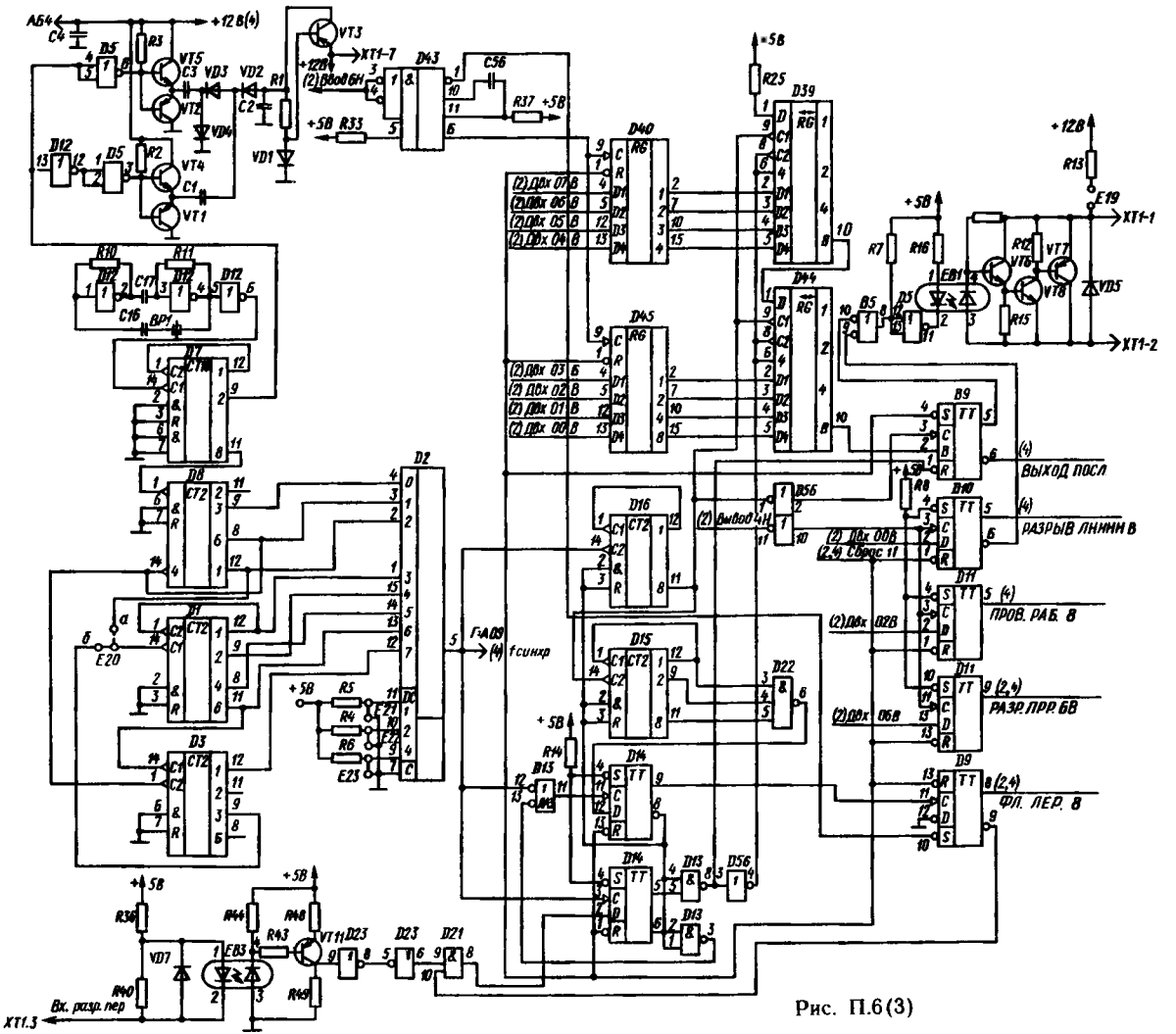

АБ4
+12 В(4)
VT3
XT1-7
+12В4
(2) Ввод 6Н
D43
C56
R37
+5В
R33
D40
D45
D39
D44
D16
D15
D14
D13
D56
D22
D2
D1
D3
D8
D7
D12
D5
R1
R2
R3
R4
R5
R6
R7
R8
R10
R11
R12
R13
R14
R15
R16
R25
R36
R40
R43
R44
R48
R49
VT1
VT2
VT4
VT5
VT6
VT7
VT8
VT11
VD1
VD2
VD3
VD4
VD5
VD7
BP1
E19
E20
E21
E22
E23
EB1
EB3
XT1-1
XT1-2
XT1.3
Вх. разр. пер
Г-А09
f синхр
(2) Дв 07
(2) Дв 06
(2) Дв 05
(2) Дв 04
(2) Дв 03
(2) Дв 02
(2) Дв 01
(2) Дв 00
(2) Вывод 4Н
(2) Дв 00В
(2,4) Сброс 11
(2) Дв 02В
(2) Дв 06В
ВЫХОД ПОСЛ
РАЗРЫВ ЛИНИИ В
ПРОВ. РАБ. В
РАЗР. ПРР. 6В
ФЛ. ЛЕР. В

Рис. П.6(3)

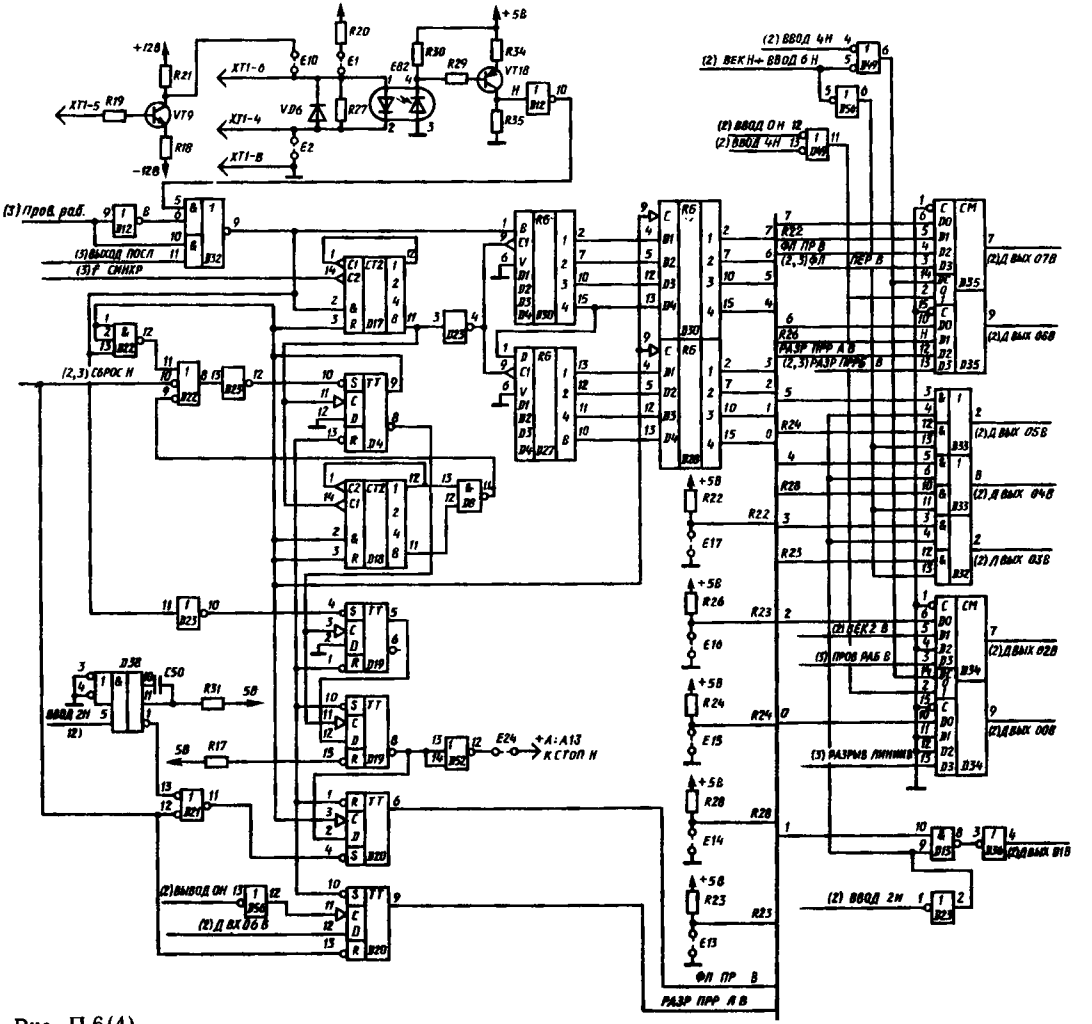

(3) Пров. раб.
(3) ВЫХОД ПОСЛ
(3) f СИНХР
(2,3) СБРОС Н
ВВОД 2Н
(2) ВЫВОД ОН
(2) Д ВХ 06 В
+А:А13
К СТОП Н
(2) ВВОД 4Н
(2) ВЕК Н+ ВВОД 6 Н
(2) ВВОД ОН
(2) ВВОД 4Н
ФЛ ПР В
(2,3) ФЛ ПЕР В
РАЗР ПРР А В
(2,3) РАЗР ПРР В
(2) Д ВЫХ 07В
(2) Д ВЫХ 06В
(2) Д ВЫХ 05В
(2) Д ВЫХ 04В
(2) Д ВЫХ 03В
(2) ВЕК 2 В
(3) ПРОВ РАБ В
(2) Д ВЫХ 02В
(2) Д ВЫХ 00В
(3) РАЗРЫВ ЛИНИИ В
(2) Д ВЫХ 01В
(2) ВВОД 2Н
ФЛ ПР В
РАЗР ПРР А В

Рис. П.6(4)

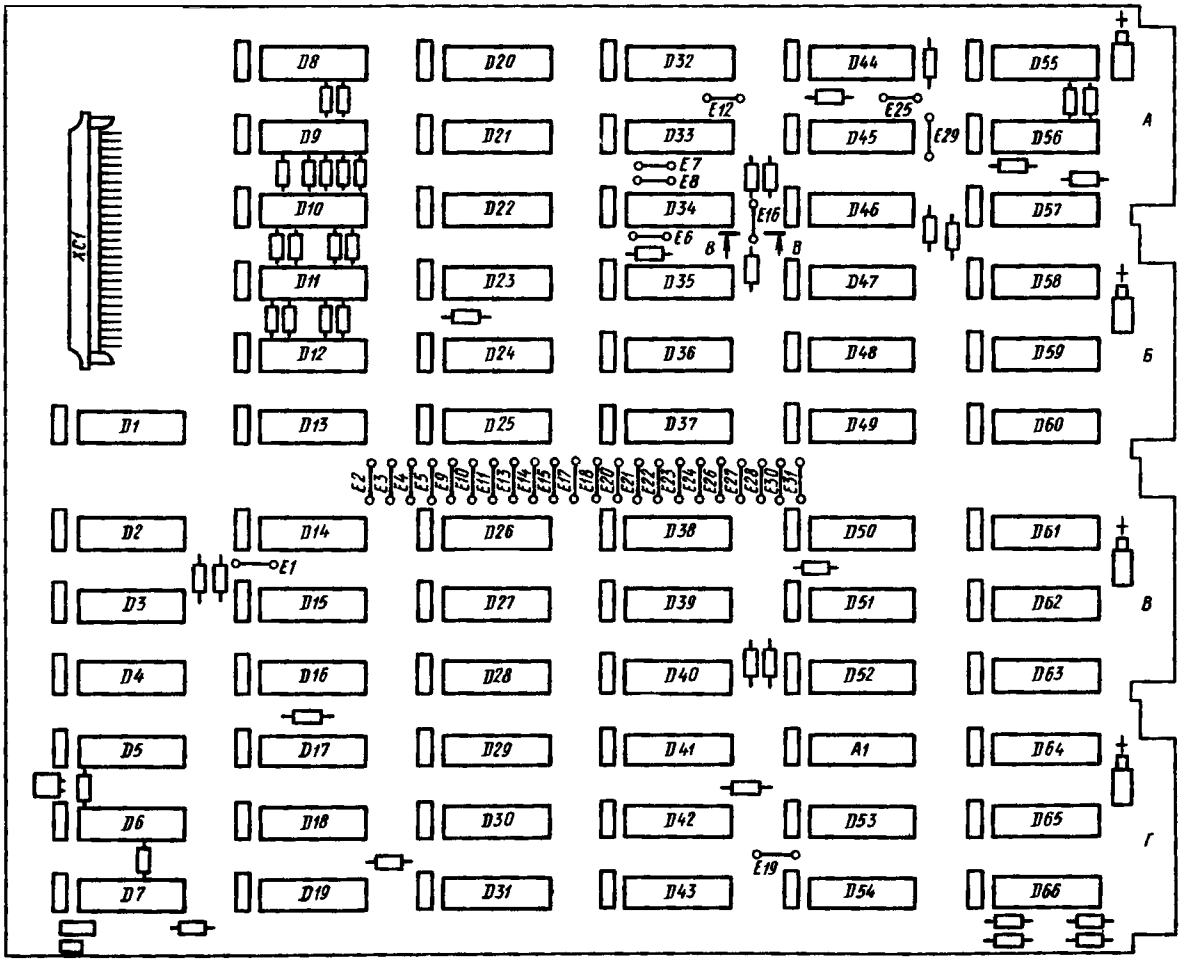


Рис. П.7(1—7). Интерфейс И4

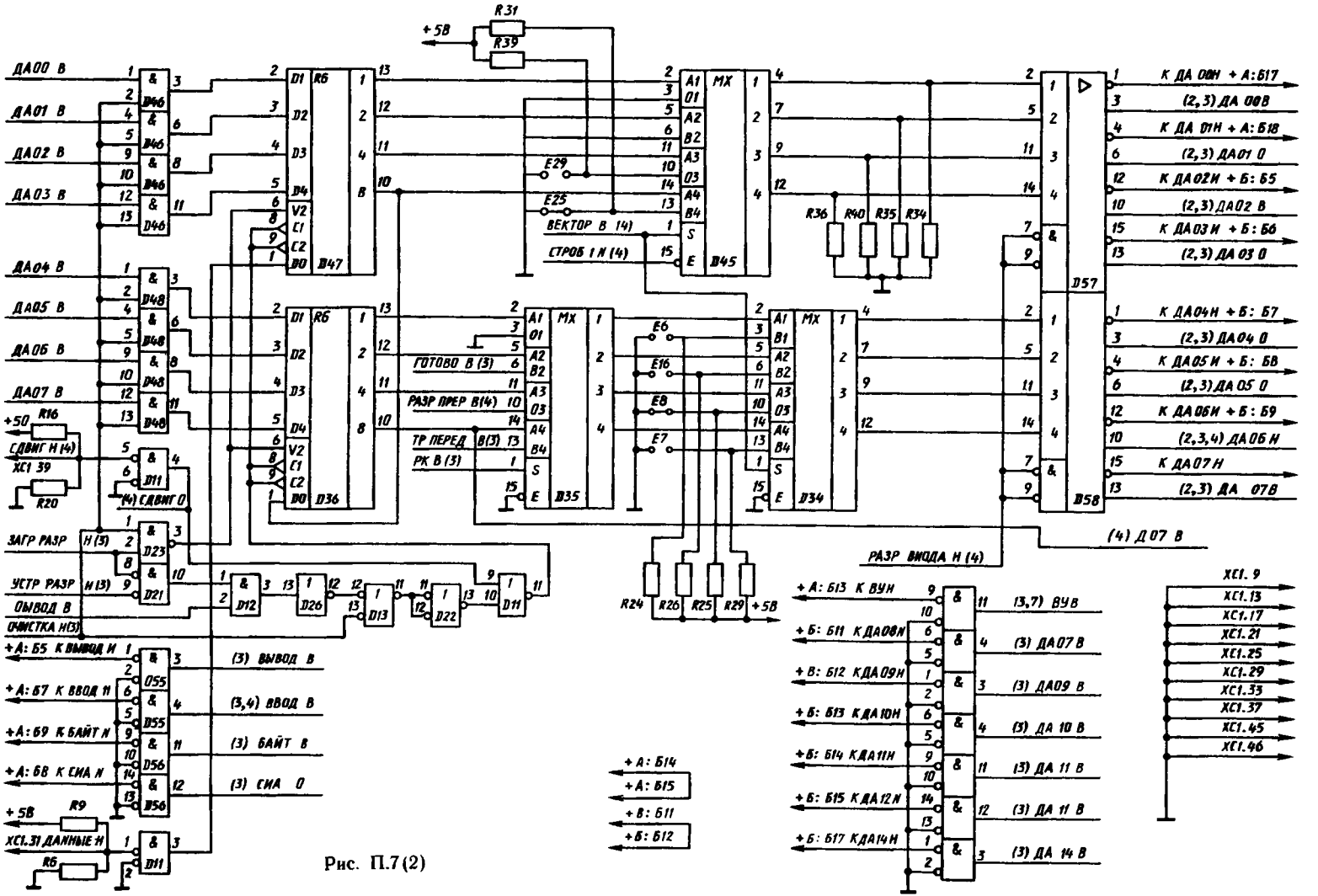

ДА00 В
ДА01 В
ДА02 В
ДА03 В
ДА04 В
ДА05 В
ДА06 В
ДА07 В
+5В
R31
R39
R16
СДВИГ Н (4)
XC1 39
R20
(4) СДВИГ 0
ЗАГР РАЗР
УСТР РАЗР
ВЫВОД В
ОЧИСТКА Н(3)
+А: Б5 К ВЫВОД И
+А: Б7 К ВВОД 11
+А: Б9 К БАЙТ Н
+А: Б8 К СИА Н
+5В
R9
XC1.31 ДАННЫЕ Н
R6
(3) ВЫВОД В
(3,4) ВВОД В
(3) БАЙТ В
(3) СИА 0
ВЕКТОР В (4)
СТРОБ 1 Н (4)
ГОТОВО В (3)
РАЗР ПРЕР В(4)
ТР ПЕРЕД В(3)
РК В (3)
E29
E25
E6
E16
E8
E7
R36
R40
R35
R34
R24
R26
R25
R29
+5В
+А: Б14
+А: Б15
+В: Б11
+Б: Б12
К ДА 00Н + А: Б17
(2,3) ДА 00В
К ДА 01Н + А: Б18
(2,3) ДА01 0
К ДА02И + Б: Б5
(2,3) ДА02 В
К ДА03И + Б: Б6
(2,3) ДА 03 0
К ДА04Н + Б: Б7
(2,3) ДА04 0
К ДА05И + Б: Б8
(2,3) ДА 05 0
К ДА06И + Б: Б9
(2,3,4) ДА06 Н
К ДА07Н
(2,3) ДА 07В
(4) Д07 В
РАЗР ВИОДА Н (4)
+А: Б13 К ВУН
+Б: Б11 К ДА08Н
+В: Б12 К ДА09Н
+Б: Б13 К ДА10Н
+Б: Б14 К ДА11Н
+Б: Б15 К ДА12Н
+Б: Б17 К ДА14Н
(3,7) ВУВ
(3) ДА07 В
(3) ДА09 В
(3) ДА 10 В
(3) ДА 11 В
(3) ДА 11 В
(3) ДА 14 В
XC1. 9
XC1.13
XC1.17
XC1.21
XC1.25
XC1.29
XC1.33
XC1.37
XC1.45
XC1.46

Рис. П.7(2)

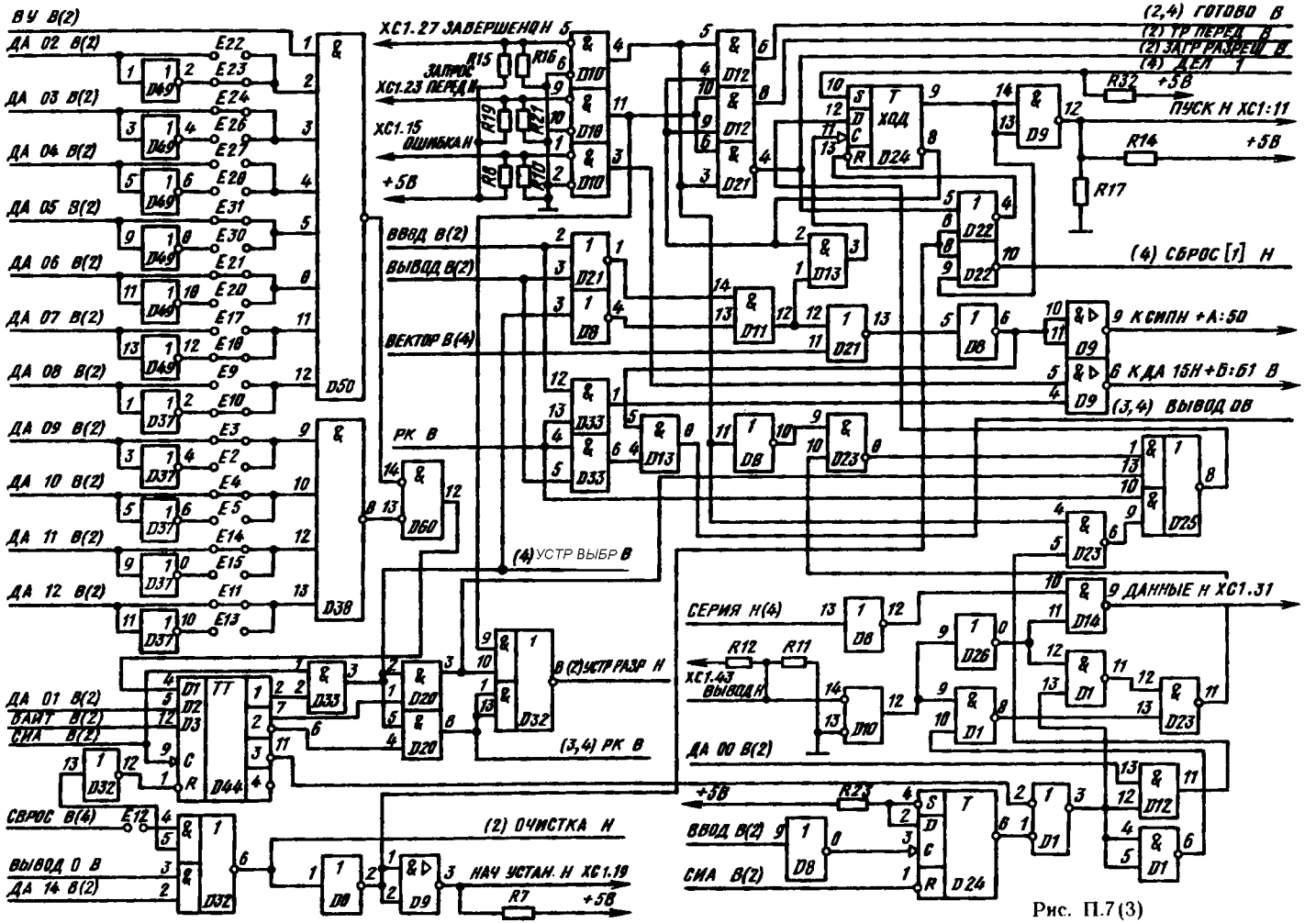

ВУ В(2)
ДА 02 В(2)
ДА 03 В(2)
ДА 04 В(2)
ДА 05 В(2)
ДА 06 В(2)
ДА 07 В(2)
ДА 08 В(2)
ДА 09 В(2)
ДА 10 В(2)
ДА 11 В(2)
ДА 12 В(2)
D50
D38
ХС1.27 ЗАВЕРШЕНО Н
ЗАПРОС ХС1.23 ПЕРЕДАН
ХС1.15 ОШИБКА Н
+5В
ВВОД В(2)
ВЫВОД В(2)
ВЕКТОР В(4)
РК В
(4) УСТР ВЫБР В
(2,4) ГОТОВО В
(2) УР ПЕРЕД В
(2) ЗАГР РАЗРЕШ В
(4) ДЕЛ Т
ПУСК Н ХС1:11
(4) СБРОС [1] Н
9 КСИПН +А:50
6 КДА 15Н+Б:61 В
(3,4) ВЫВОД ОВ
ХОД
СЕРИЯ Н(4)
9 ДАННЫЕ Н ХС1.31
ХС1.43 ВЫВОД Н
ДА 00 В(2)
В (2) УСТР РАЗР Н
(3,4) РК В
ДА 01 В(2)
БАЙТ В(2)
СИА В(2)
СБРОС В(4)
ВЫВОД 0 В
ДА 14 В(2)
(2) ОЧИСТКА Н
НАЧ УСТАН Н ХС1.19
ВВОД В(2)
СИА В(2)

Рис. П.7(3)

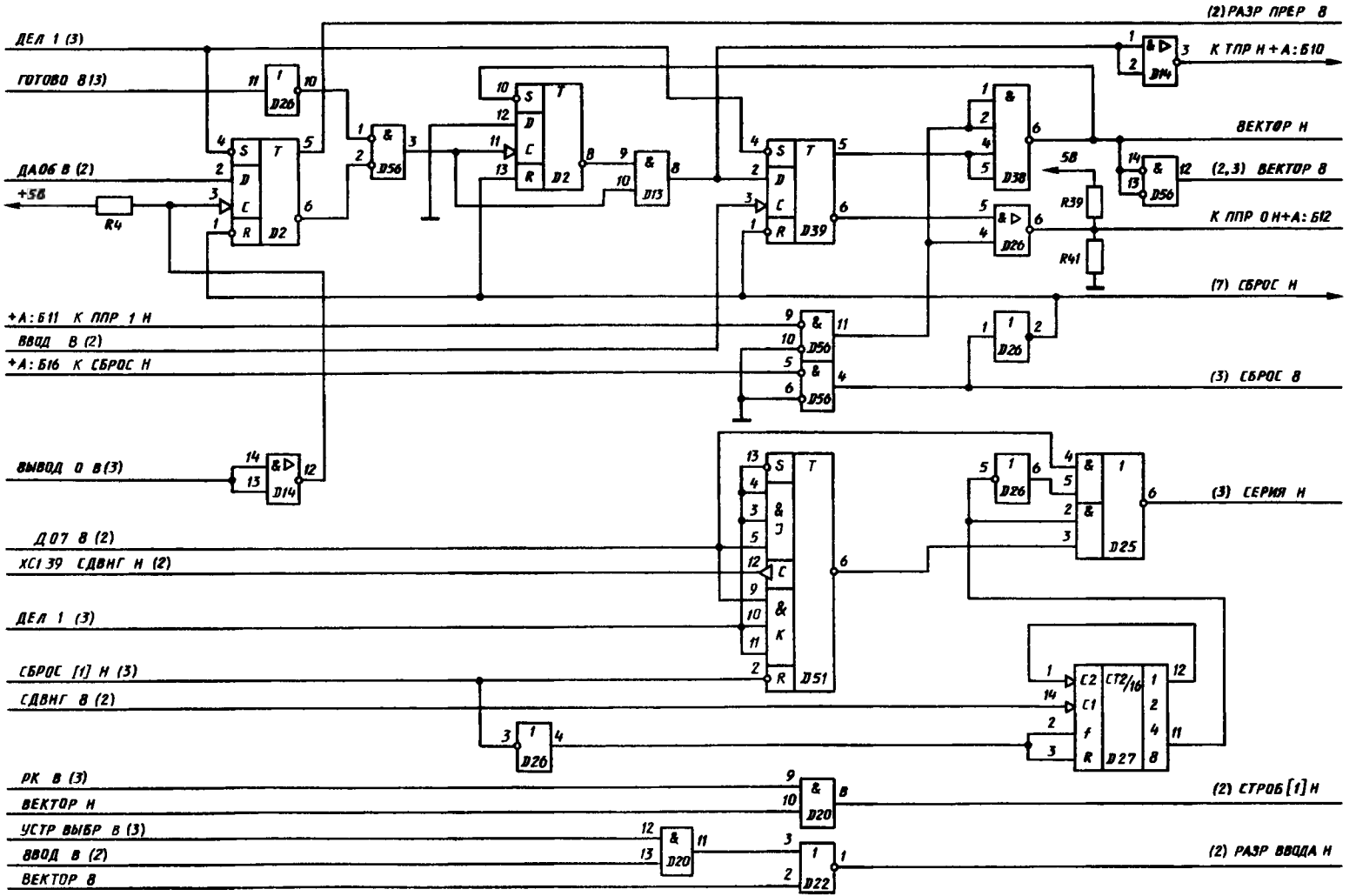

(2) РАЗР ПРЕР 8
ДЕЛ 1 (3)
ГОТОВО 8 (3)
К ТПР Н + А: Б10
ВЕКТОР Н
ДА06 В (2)
+5В
R4
(2,3) ВЕКТОР 8
К ППР 0 Н+А: Б12
R39
R41
(7) СБРОС Н
+А: Б11 К ППР 1 Н
ВВОД В (2)
+А: Б16 К СБРОС Н
(3) СБРОС 8
ВЫВОД 0 В (3)
(3) СЕРИЯ Н
Д07 8 (2)
ХС1 39 СДВНГ Н (2)
ДЕЛ 1 (3)
СБРОС [1] Н (3)
СДВНГ 8 (2)
РК В (3)
ВЕКТОР Н
(2) СТРОБ [1] Н
УСТР ВЫБР В (3)
ВВОД В (2)
ВЕКТОР 8
(2) РАЗР ВВОДА Н

Рис. П.7 (4)

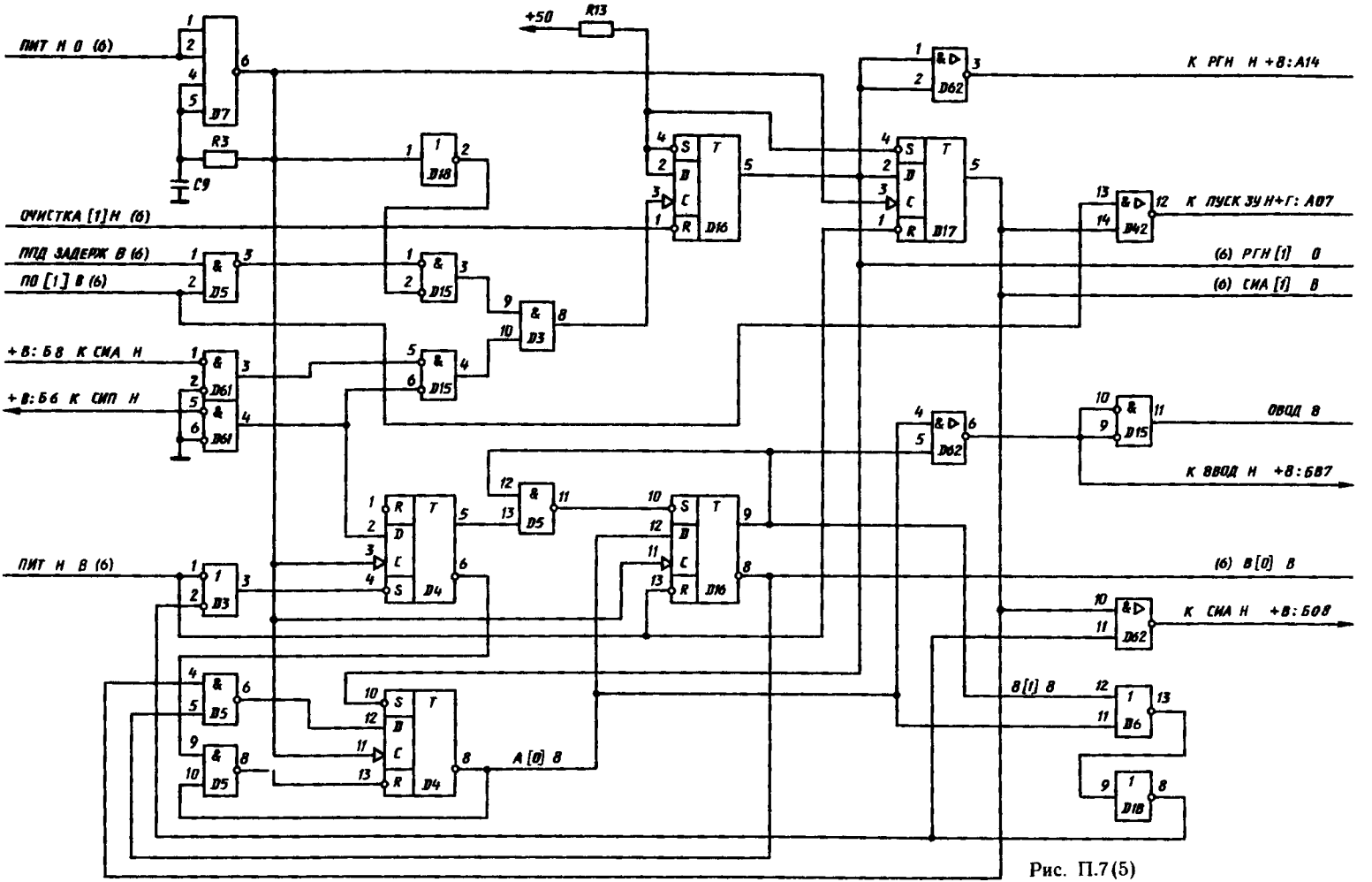

ПИТ Н 0 (6)
ОЧИСТКА [1] Н (6)
ППД ЗАДЕРЖ В (6)
ПО [1] В (6)
+В: Б8 К СИА Н
+В: Б6 К СИП Н
ПИТ Н В (6)
+50
R13
R3
C9
D7
D18
D16
D17
D62
D42
D5
D15
D3
D61
D4
D6
D18
К РГН Н +8: А14
К ПУСК ЗУ Н+Г: А07
(6) РГН [1] 0
(6) СИА [1] В
ОВОД В
К ВВОД Н +8: Б87
(6) В [0] В
К СИА Н +8: Б08
В [1] В
А [0] В

Рис. П.7(5)

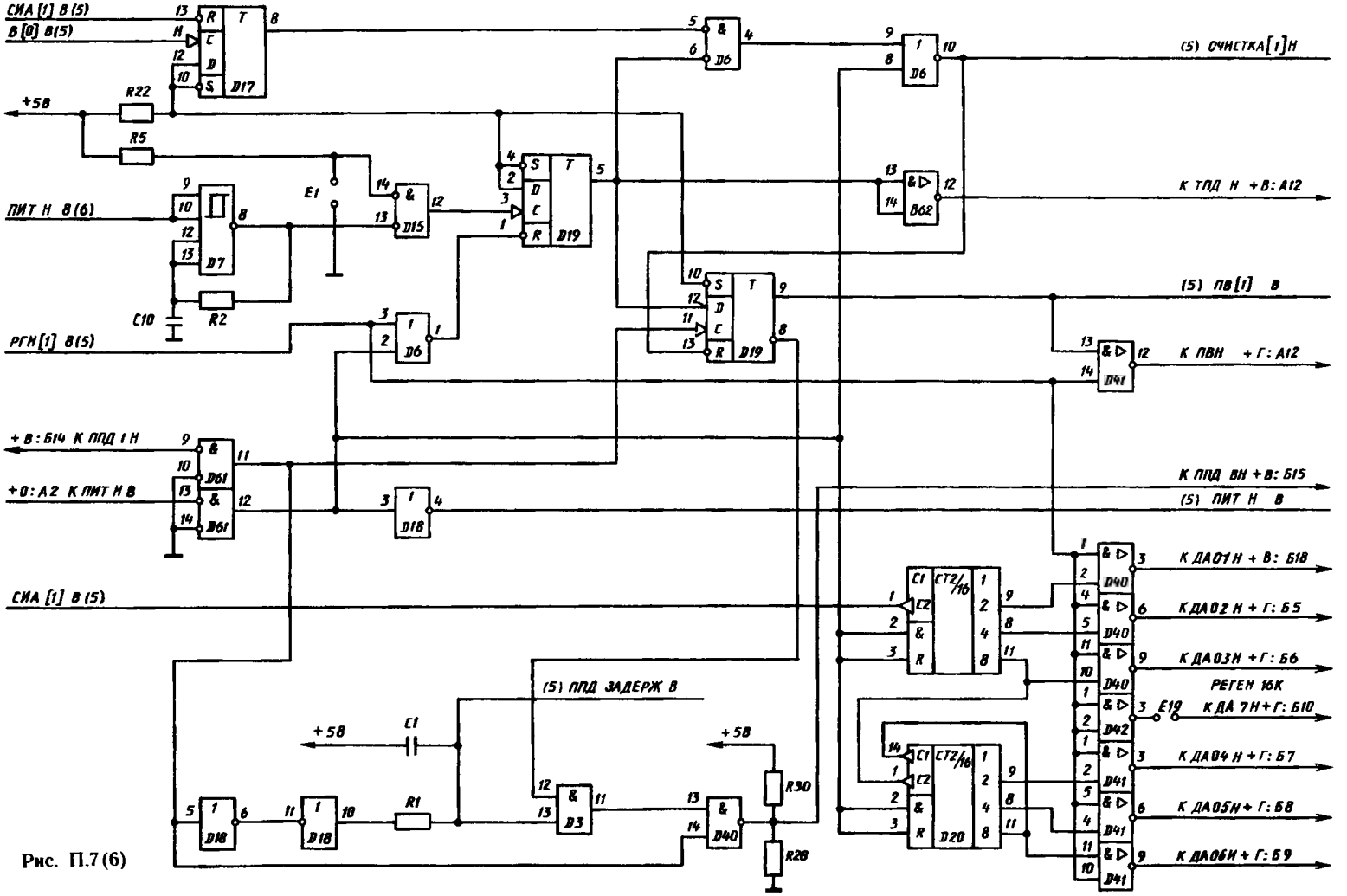
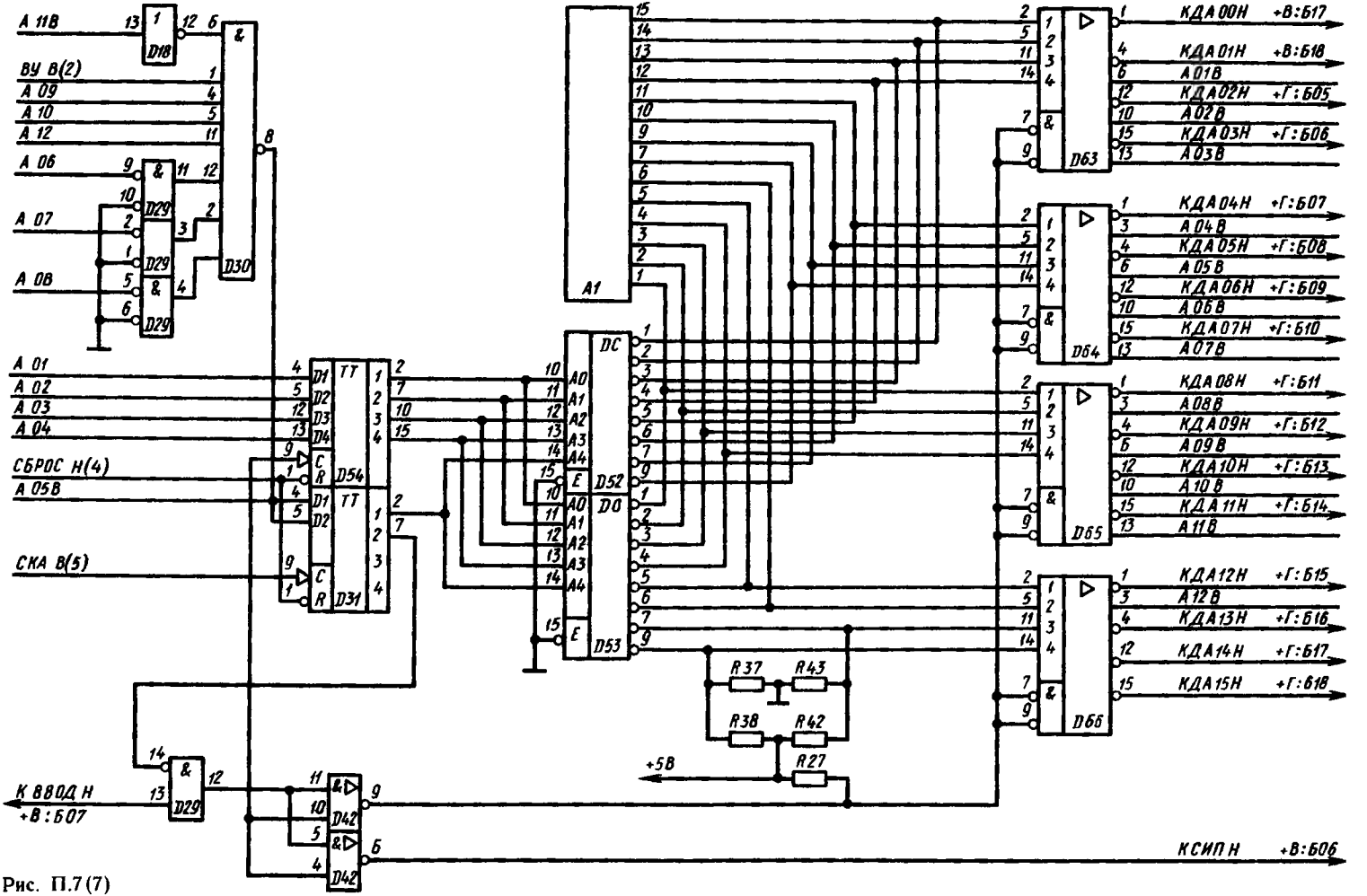

СИА [1] В (5)
В [0] В (5)
+5В
R22
R5
ПИТ Н В (6)
E1
C10
R2
РГН [1] В (5)
+В: Б14 К ППД 1 Н
+0: А2 К ПИТ Н В
СИА [1] В (5)
(5) ППД ЗАДЕРЖ В
+5В
C1
R1
R30
R28
D17
D7
D15
D19
D6
D61
D18
D3
D40
D20
D62
D41
D42
(5) ОЧИСТКА [1] Н
К ТПД Н +В: А12
(5) ПВ [1] В
К ПВН +Г: А12
К ППД ВН +В: Б15
(5) ПИТ Н В
К ДАО1 Н +В: Б18
К ДАО2 Н +Г: Б5
К ДАО3 Н +Г: Б6
РЕГЕН 16К
E19
К ДА 7Н +Г: Б10
К ДАО4 Н +Г: Б7
К ДАО5 Н +Г: Б8
К ДАОБИ +Г: Б9

Рис. П.7 (6)



А 11В
ВУ В(2)
А 09
А 10
А 12
А 06
А 07
А 08
А 01
А 02
А 03
А 04
СБРОС Н(4)
А 05В
СКА В(5)
К ВВОД Н
+В:Б07
КДА00Н +В:Б17
КДА01Н +В:Б18
А01В
КДА02Н +Г:Б05
А02В
КДА03Н +Г:Б06
А03В
КДА04Н +Г:Б07
А04В
КДА05Н +Г:Б08
А05В
КДА06Н +Г:Б09
А06В
КДА07Н +Г:Б10
А07В
КДА08Н +Г:Б11
А08В
КДА09Н +Г:Б12
А09В
КДА10Н +Г:Б13
А10В
КДА11Н +Г:Б14
А11В
КДА12Н +Г:Б15
А12В
КДА13Н +Г:Б16
КДА14Н +Г:Б17
КДА15Н +Г:Б18
КСИП Н +В:Б06
+5В
R37
R43
R38
R42
R27
D18
D29
D30
D54
D31
D42
D52
D53
D63
D64
D65
D66
A1

Рис. П.7(7)

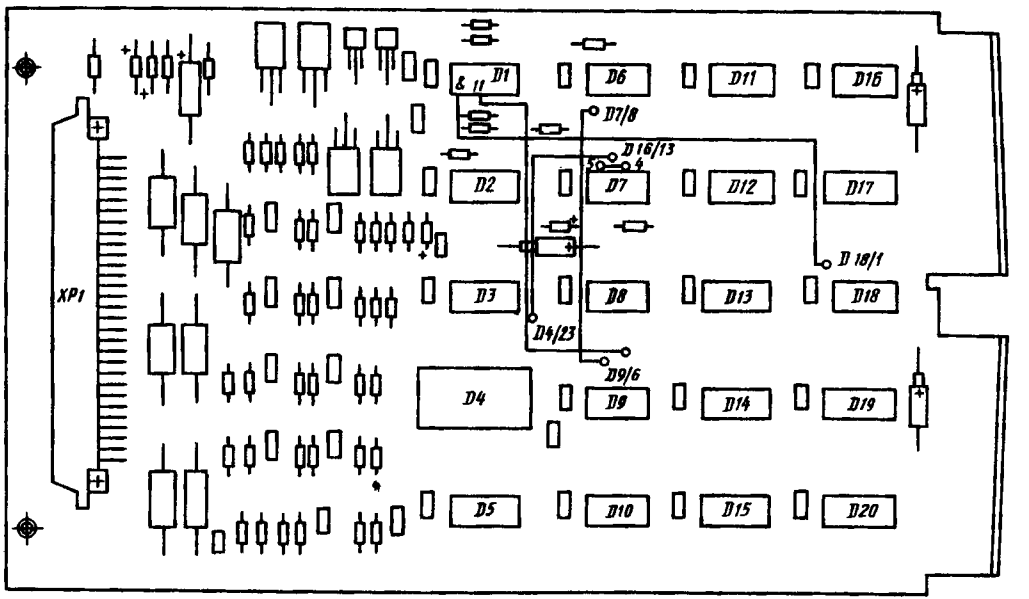


Рис. П.8(1—3). Интерфейс В3

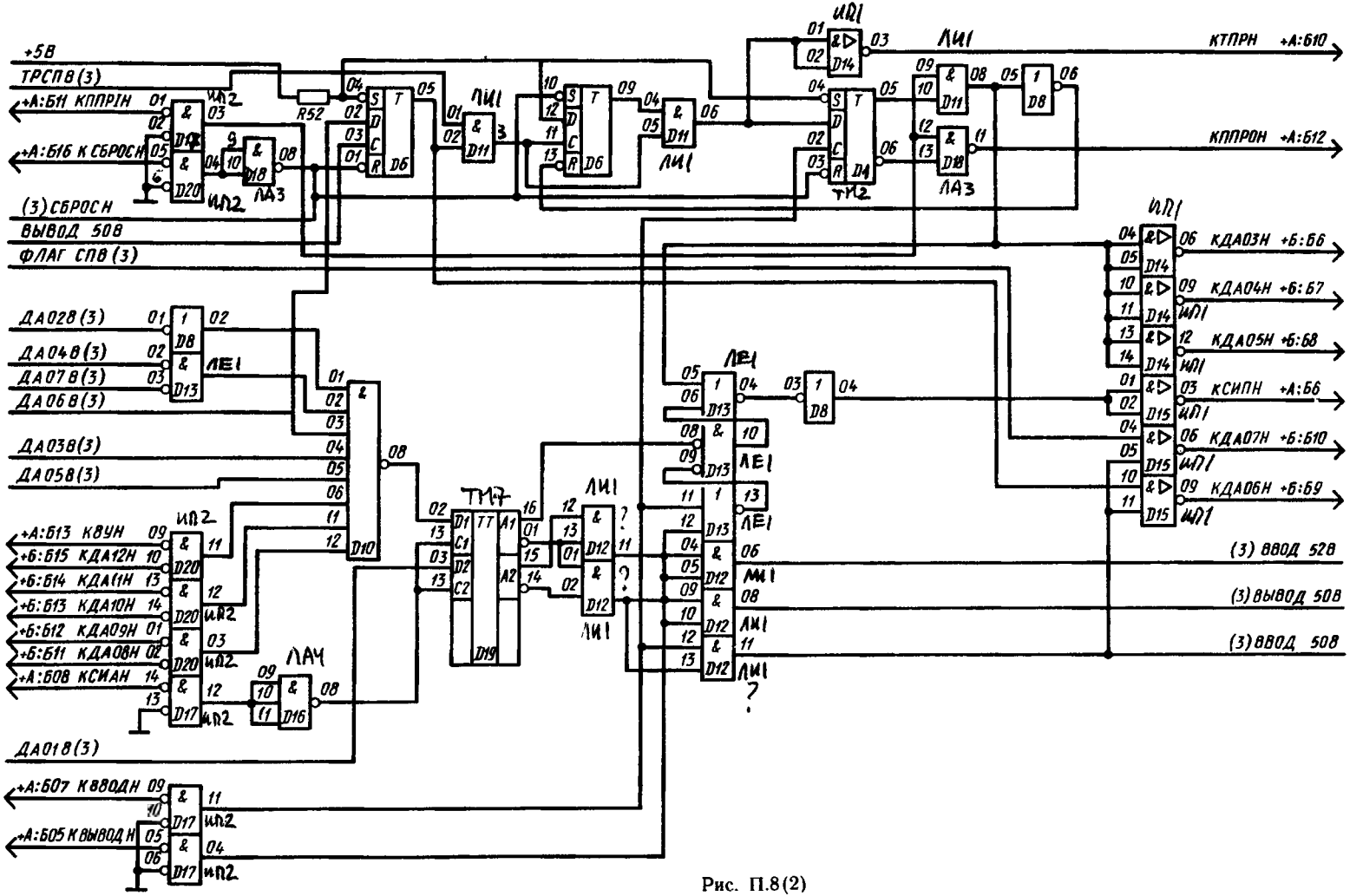

+5В
ТРСПВ(3)
+А:Б11 КППРІН
+А:Б16 К СБРОСН
(3)СБРОС Н
ВЫВОД 508
ФЛАГ СПВ(3)
R52
ЛИ1
ЛА3
ТМ2
КТПРН +А:Б10
КППРОН +А:Б12
ИП1
КДА03Н +Б:Б6
КДА04Н +Б:Б7
КДА05Н +Б:Б8
КСИПН +А:Б6
КДА07Н +Б:Б10
КДА06Н +Б:Б9
ДА028(3)
ДА048(3)
ДА078(3)
ДА068(3)
ДА038(3)
ДА058(3)
ЛЕ1
ИП2
+А:Б13 КВУН
+Б:Б15 КДА12Н
+Б:Б14 КДА11Н
+Б:Б13 КДА10Н
+Б:Б12 КДА09Н
+Б:Б11 КДА08Н
+А:Б08 КСИАН
ЛА4
ТМ7
ДА018(3)
+А:Б07 КВВОДН
+А:Б05 КВЫВОДН
(3) ВВОД 528
(3) ВЫВОД 508
(3) ВВОД 508

Рис. П.8(2)

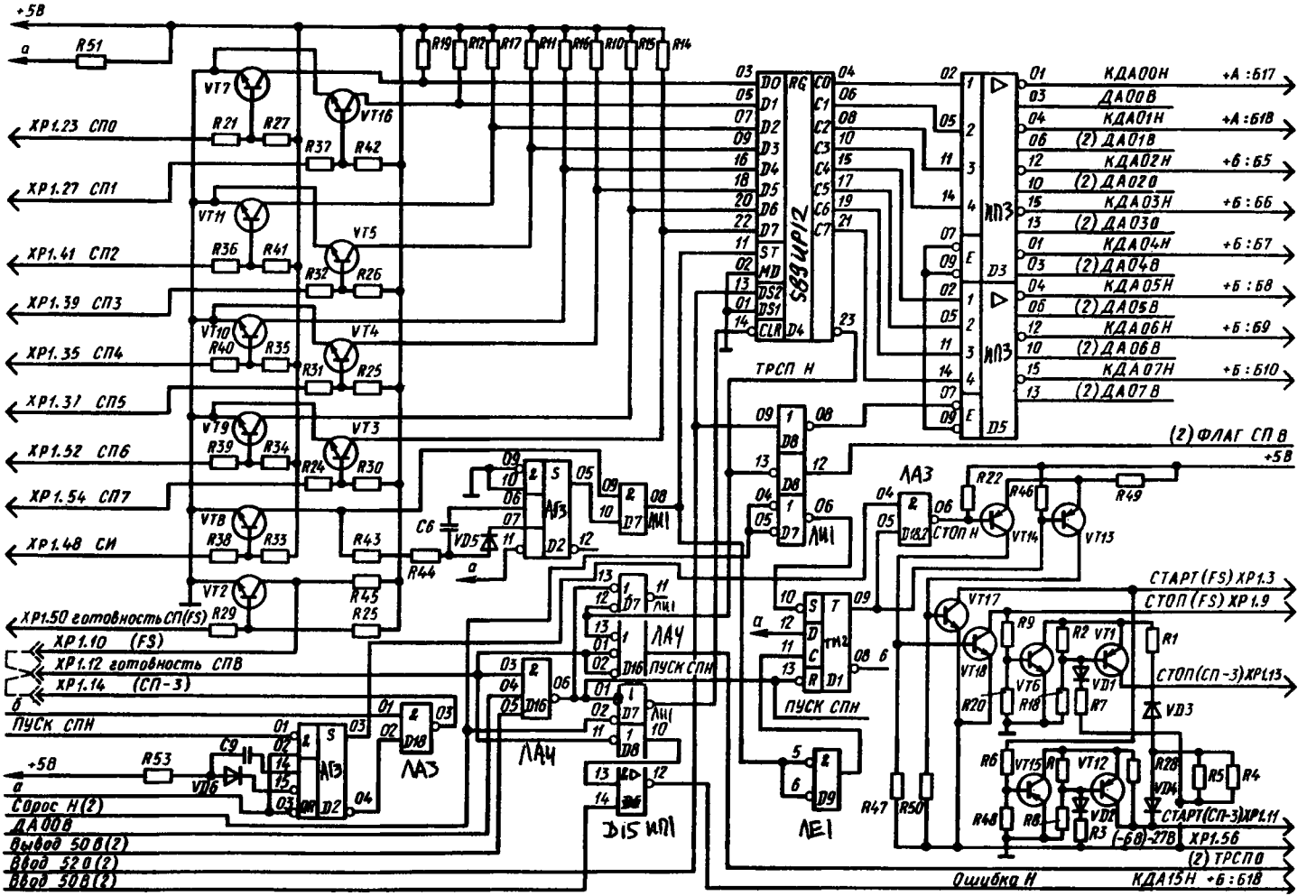


Рис. П.8(3)

DR - ЛИ1

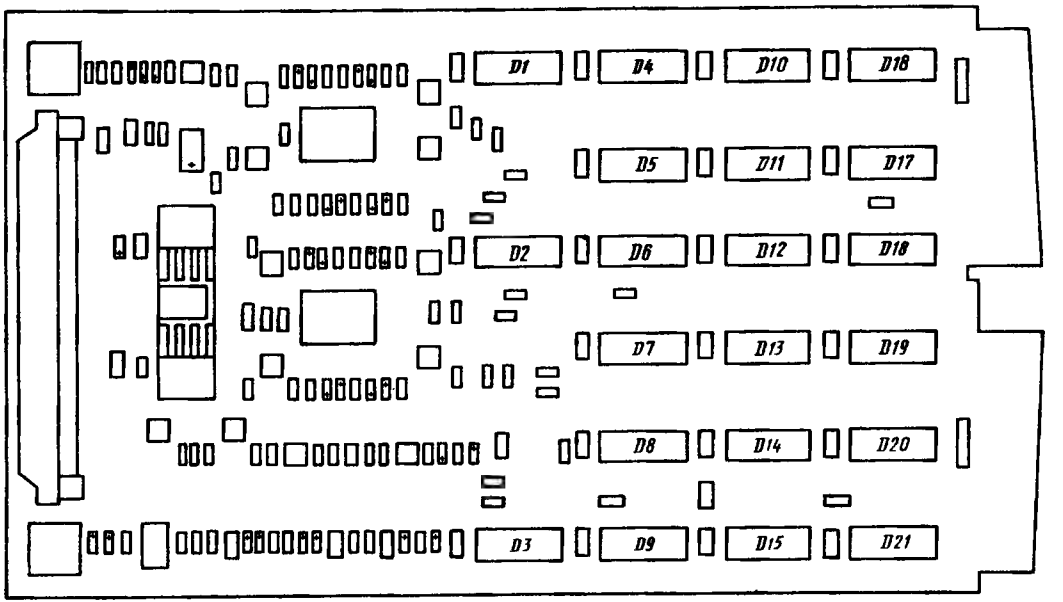
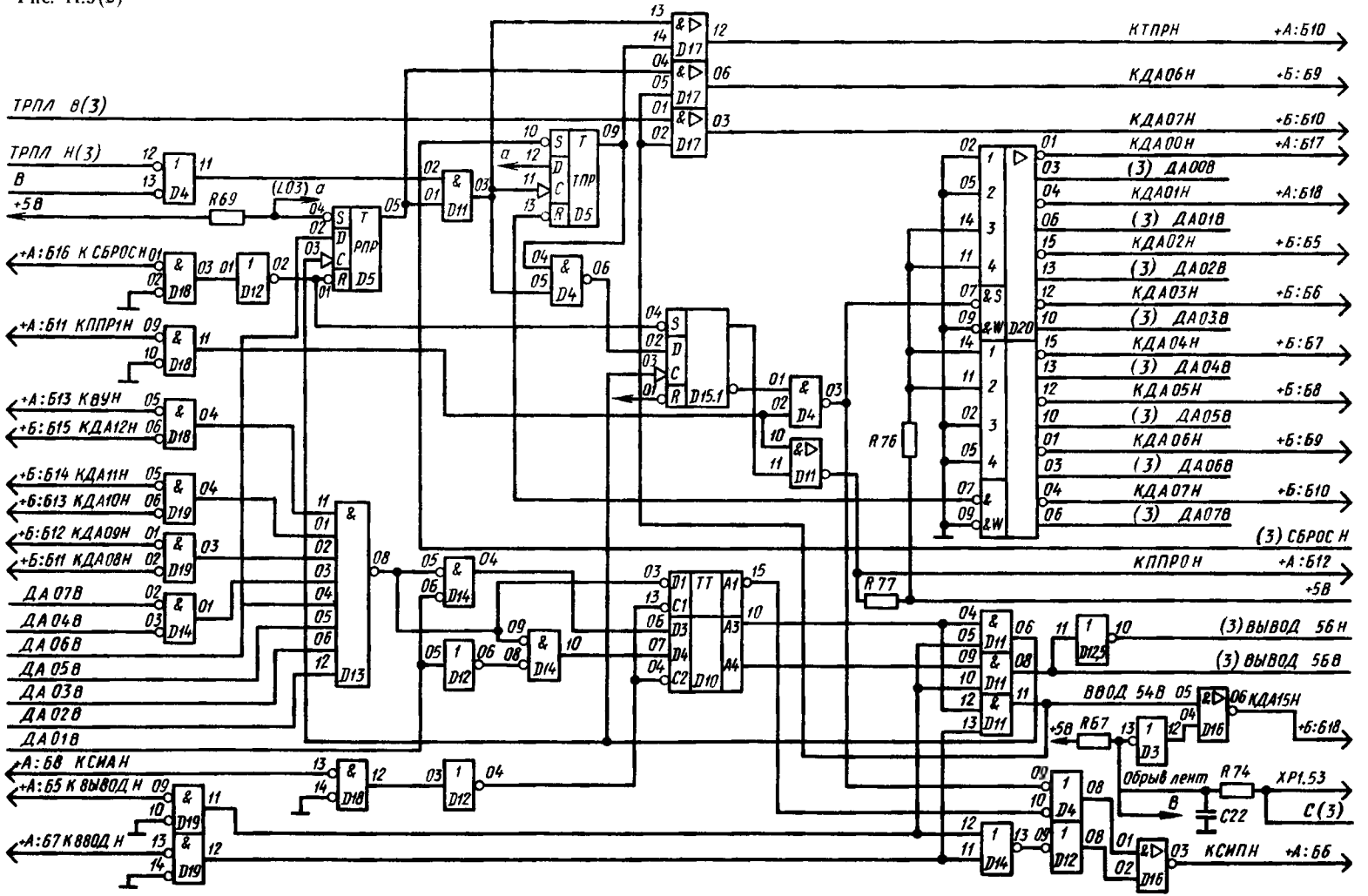


Рис. П.9(1—3). Интерфейс В21

Рис. П.9(2)



ТРПЛ В(3)
ТРПЛ Н(3)
В
+5В
R69
(L03) а
+А:Б16 К СБРОС Н
+А:Б11 КППР1Н
+А:Б13 КВУН
+Б:Б15 КДА12Н
+Б:Б14 КДА11Н
+Б:Б13 КДА10Н
+Б:Б12 КДА09Н
+Б:Б11 КДА08Н
ДА07В
ДА04В
ДА06В
ДА05В
ДА03В
ДА02В
ДА01В
+А:Б8 КСИАН
+А:Б5 К ВЫВОД Н
+А:Б7 К ВВОД Н
КТПРН +А:Б10
КДА06Н +Б:Б9
КДА07Н +Б:Б10
КДА00Н +А:Б17
(3) ДА00В
КДА01Н +А:Б18
(3) ДА01В
КДА02Н +Б:Б5
(3) ДА02В
КДА03Н +Б:Б6
(3) ДА03В
КДА04Н +Б:Б7
(3) ДА04В
КДА05Н +Б:Б8
(3) ДА05В
КДА06Н +Б:Б9
(3) ДА06В
КДА07Н +Б:Б10
(3) ДА07В
(3) СБРОС Н
КППРОН +А:Б12
+5В
R76
R77
(3) ВЫВОД 56Н
(3) ВЫВОД 56В
ВВОД 54В
КДА15Н +Б:Б18
R67
Обрыв лент
R74
ХР1.53
С(3)
С22
КСИПН +А:Б6

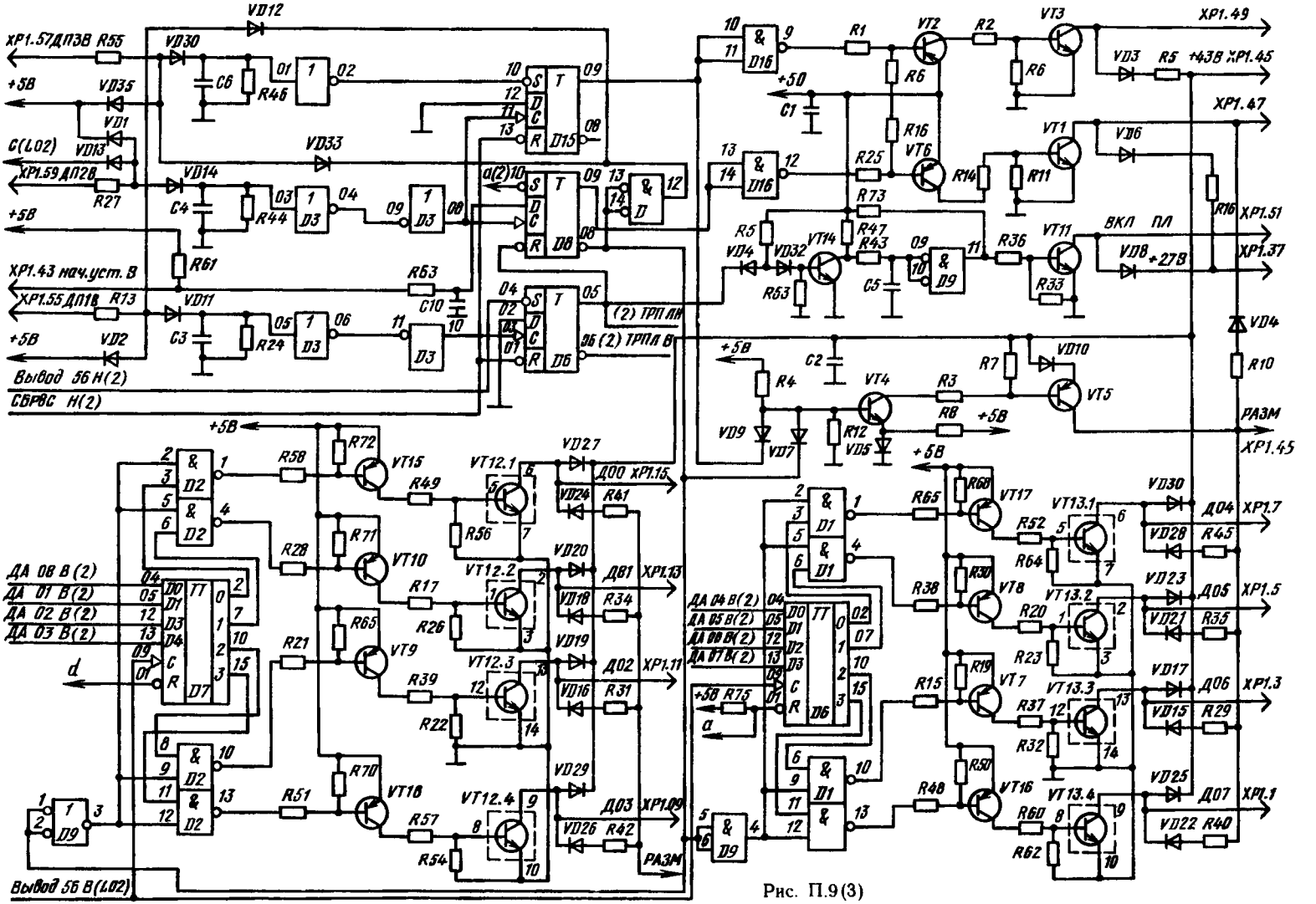

XP1.57ДП3В
+5В
C(L02)
XP1.59ДП2В
XP1.43 нач.уст. В
XP1.55ДП1В
Вывод 56 Н(2)
СБРВС Н(2)
(2) ТРП ЛН
(2) ТРП Л В
ДА 08 В(2)
ДА 01 В(2)
ДА 02 В(2)
ДА 03 В(2)
ДА 04 В(2)
ДА 05 В(2)
ДА 06 В(2)
ДА 07 В(2)
Вывод 56 В(L02)
XP1.49
+43В XP1.45
XP1.47
ВКЛ ПЛ
XP1.51
XP1.37
+27В
РАЗМ
XP1.45
Д00 XP1.15
Д01 XP1.13
Д02 XP1.11
Д03 XP1.09
Д04 XP1.7
Д05 XP1.5
Д06 XP1.3
Д07 XP1.1

Рис. П.9(3)

Перечень интегральных микросхем, используемых в устройствах и блоках микроЭВМ «Электроника-60М»

Центральный процессор М2

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1 — D4	КР565РУ1А	D49	КР559ИП3
D5	К131ЛН1	D50	К155ТМ7
D6	К531КП11П	D51	К531ЛА3П
D7	К581ИК1	D52	К155ТМ8
D8	К581ИК2	D53	К131ТМ2
D9	К581РУ1	D54	К131ЛА4
D10	К581РУ2	D55	К155ИЕ8
D11	К581РУ3	D56	К155ТМ2
D12	К131ЛН1	D57	К155ТЛ1
D13	К531КП11П	D58, D59	КР559ИП3
D14 — D17	КР565РУ1А	D60	К155ТМ7
D18	К131ЛН1	D61	КР559ИП3
D19	К531КП11П	D62	К155ТМ7
D20, D21	К170АП3	D63	К131ЛА4
D22	К155ЛЕ6	D64	К155ЛЕ6
		D65	К155ЛИ1
D23, D24	К170АП3	D66	К155ТМ2
D25	К155ЛЕ6	D67	К155ИД4
D26	К155ЛА3	D68	К131ТМ2
D27	К531ЛА3П	D69	КР559ИП3
D28	К155ТМ2	D70, D71	КР559ИП2
D29...D32	КР565РУ1А	D72	КР559ИП3
D33, D34	К531КП11П	D73	К155ЛЕ1
D35, D36	К531ЛИ3П	D74	К131ТМ2
D37, D38	К170АП3	D75	К155ЛА3
D39	К531ЛИ3П	D76	К155ЛН1
D40	К155ТМ2	D77	К131ТМ2
D41	К155ЛИ1	D78	К155ЛН1
D42	К155ТМ2	D79	К155ЛА3
D43 — D46	КР565РУ1А	D80	К155ТМ2
D47	КР559ИП3		
D48	155ТМ7		

Запоминающее устройство П2

Позиционное обозначение	Микросхемы	Позиционное обозначение	Микросхемы
D1	К170АП3	D20, D21	К565РУ1А
D2 — D5	К565РУ1А	D22	К155ЛА7
D6	К155ЛЕ6	D23, D24	К565РУ1А
D7, D8	К565РУ1А	D25 — D28	К559ИП3П
D9	К155ТЛ1	D29	К559ИП2П
D10	К170АП3	D30 — D32	К155ТМ7
D11, D12	К565РУ1А	D33	К131ЛА3
D13	К155ЛН1	D34	К559ИП1П
D14, D15	К565РУ1А	D35	К531ЛИ3П
D16	К155ЛН1	D36	К131ТМ2
D17, D18	К565РУ1А	D37	К155ТМ7
D19	К155ЛН1	D38	К559ИП2П

Запоминающее устройство П3

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1, D2	КР581РУ4	D29	К531ЛА3П
D3	К170АП3	D30	К155ЛЕ6
D4, D5	КР581РУ4	D31	К155КП7
D6, D7	К559ИП3П	D32	К559ИП1П
D8 — D11	КР581РУ4	D33	К559ИП2П
D12, D13	К155ТМ7	D34	К531ЛА4П
D14, D15	КР581РУ4	D35	К155ЛИ1
D16, D17	К531КП11П	D36	К155ТМ2
D18, D19	КР581РУ4	D37	К155ТЛ1
D20, D21	К155ТМ7	D38	К559ИП2П
D22...D25	КР581РУ4	D39	К155ЛН1
D26, D27	К559ИП3П	D40	К155ТМ2
D28	К155АГ3		

Интерфейс И2

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1	К155КП2	D16	К155РЕ3
D2	К155ТМ8	D17—D19	К155ТМ8
D3, D4	К165КП2	D20, D21	КР559ИП3
D5	К155ЛН1	D22	К155ЛИ1
D6	К155ЛА3	D23	К155ЛА3
D7	К155КП2	D24	К131ТМ2
D8	К155ЛЕ1	D25	К151ТМ2
D9	К155ТМ8	D26	КР559ИП2
D10	К155ЛН1	D27	КР559ИП1
D11	К155ТМ7	D28, D29	КР559ИП3
D12	К131ЛА1	D30	КР559ИП2
D13	К155ЛН1	D31	КР559ИП1
D14	К131ЛА2	D32, D33	КР559ИП3
D15	К155ЛН1		

Интерфейс И7

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1	К155ЛН1	D14	К155ЛА2
D2, D3	К155ЛН5	D15	К155ТМ2
D4	К155ЛН1	D16	К155ЛЕ1
D5	К531КП11П	D17	К531КП11П
D6	К155ТМ2	D18	КР559ИП3
D7	К155ТМ8	D19	К155ЛН1
D8	К155ТМ7	D20	К155ЛИ1
D9	К155ТМ8	D21	К155ЛН1
D10	К531КП11П	D22	КР559ИП2
D11	К155ЛИ1	D23	КР559ИП1
D12	КР559ИП2	D24, D25	КР559ИП3
D13	К155ИД4	D26	К559ИП2
		A1	К314НР1

Интерфейс устройства последовательного обмена

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1	К155ИЕ5	D31	КР559ИП2
D2	КМ155КП7	D32, D33	К599ЛК3
D3	К155ИЕ4	D34, D35	К155КП2
D4	КМ155ТМ2	D36	К155ЛН1
D5	К155ЛА11	D37	КМ155ТМ2
D6	К155ИЕ4	D38	К155АГ1
D7	К155ИЕ2	D39	КМ155ИР1
D8	К155ЛА12	D40	К155ТМ8
D9 — D11	КМ155ТМ2	D41	КР559ИМ3
D12	К155ЛН1	D42	К131ТМ2
D13	К155ЛА3	D43	К155АГ1
D14	К155ТМ2	D44	КМ155ИР1
D15 — D18	К155ИЕ5	D45	К155ТМ8
D19, D20	КМ155ТМ2	D46	КР559ИП3
D21	К155ЛИ1	D47	К155ЛА3
D22	К155ЛА4	D48	К155ЛИ1
D23	К155ЛН1	D49	К155ЛА3
D24	К155ЛА1	D50, D51	КР559ИП2
D25	К155ЛА2	D52	КР559ИП1
D26	К155ЛН1	D53	К155ЛА2
D27	КМ155ИР1	D54	КМ155ИД4
D28	К155ТМ8	D55	КМ155ТМ7
D29	КМ155ИР1	D56	К155ЛН1
D30	К155ТМ8		

Интерфейс И4

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1	К155ЛА3	D32	К155ЛР1
D2	К155ТМ2	D33	К155ЛИ1
D3	К155ЛИ1	D34, D35	К531КП11П
D4	К155ТМ2	D36	К155ИР1
D5	К155ЛА3	D37	К155ЛН1
D6	К155ЛЕ1	D38	К155ЛА1
D7	К155ТЛ1	D39	К155ТМ2
D8	К155ЛН1	D40 — D42	К559ИП1П
D9	К559ИП1П	D43	К155ИЕ5
D10, D11	К559ИП2П	D44	К155ТМ8
D12, D13	К155ЛИ1	D45	К531КП11П
D14	К559ИП1П	D46	К155ЛИ1
D15	К559ИП2П	D47	К155ИР1
D16, D17	К155ТМ2	D48	К155ЛИ1
D18	К155ЛН1	D49	К155ЛН1
D19	К155ТМ2	D50	К155ЛА2
D20	К155ЛИ1	D51	К155ТВ1
D21, D22	К155ЛЕ1	D52, D53	К155РЕ3
D23	К155ЛА3	D54	К155ТМ8
D24	К155ТМ2	D55, D56	К559ИП2П
D25	К155ЛР1	D57, D58	К559ИП3П
D26	К155ЛН1	D59 — D61	К559ИП2П
D27, D28	К155ИЕ5	D62	К559ИП1П
D29	К559ИП2П	D63 — D66	К559ИП3П
D30	К155ЛА2	A1	К314НР1
D31	К155ТМ8		

Интерфейс В3

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1	К155ТМ2	D10	К155ЛА2
D2	КМ155АГ3	D11, D12	К155ЛИ1
D3	КР559ИП3	D13	К155ЛЕ1
D4	К589ИР12	D14, D15	КР559ИП1
D5	КР559ИП3	D16	К155ЛА4
D6	К155ТМ2	D17	КР559ИП2
D7	К155ЛИ1	D18	К155ЛА3
D8	К155ЛН1	D19	К155ТМ7
D9	К155ЛЕ1	D20	КР559ИП2

Интерфейс В21

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1, D2	К155ЛА8	D11	К155ЛИ1
D3	К155ЛН1	D12	К155ЛИ1
D4	К155ЛА3	D13	К155ЛА2
D5	К155ТМ2	D14	К155ЛЕ1
D6, D7	К155ТМ8	D15	К155ТМ2
D8	К155ТМ2	D16, D17	КР559ИП1
D9	К559ИП2	D18, D19	КР559ИП2
D10	К155ТМ7	D20, D21	КР559ИП3

Блок нитания БСП6-1

Позиционное обозначение	Микросхема	Позиционное обозначение	Микросхема
D1	К554СА1	D9	КМ155ЛА3
D2	К554СА2	D10	К554СА2
D3	К155ТЛ1	D11	К155АГ1
D4	КР559ИП1	D12	К554СА1
D5	К155АГ1	D13, D14	К554СА2
D6	КМ155АГ3	D15	К155АГ1
D7	КМ155ЛА8	D16	К554СА1
D8	К155АГ1	D17	КМ155ЛА8

Адрес	Команда	Примечание
		При переходе сигнала К ПОСТН В от низкого уровня к высокому по такту Ф2 принимает пассивный уровень сигнал СБРОС МК[1]Н В такте Ф1 на шинах микроканала МК 00—21 выставляется код микрокоманды (в таблице приводится в шестнадцатиричных кодах) в тактах Ф2, Ф3 на шинах МК 00—10 формируется код адреса (в таблице приводится в восьмеричных кодах)
0001_8	$FF3B_{16}$	Нет операции
0002	0033B	Безусловный переход на адрес 1473; так как комаида двухцикловая по такту Ф3 в разряде 16 формируется единица —
1473	0000	признак сброса данных в следующем цикле
1474	25014	Безусловный переход на адрес 515, по такту Ф1 в разряде 16 формируется единица-признак записи в регистр возврата БИС БМУ адреса 1474. В разрядах МК 18—21 выставляется код 11_8; сигналом РАБОТА Н с дешифратора специальных управляющих сигналов обеспечивается сиятие сигнала К СБРОС Н. По такту Ф3 в разряде 16 формируется единица — признак сброса данных в следующем цикле
515	0000	
516	6048	Пересылка константы 04 в регистр 8
517	6009	Пересылка константы 00 в регистр 9
520	0155	Безусловный переход на адрес 525, по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
525	0000	
526	F698	В системном каиале устанавливается код 4_8, по такту Ф2 БИС БМУ вырабатывается сигнал МСИА.В. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
526	0000	
527	34E018	По такту Ф2 БИС БМУ вырабатывает сигнал М ВВОД В, в разрядах МК 18—21 выставляется код 15_8 обеспечивая выполнение цикла Внутренний ВВОД. Этим циклом ЦП определяет какой сигнал вызвал сброс микроканала: К ПОСТН В или ОШ Н (ошибка обращения к каналу)
530	340800	Циклы Внутренний ВВОД повторяются до появления сигнала М СИП В, при этом БИС БМУ вырабатывает сигналы М ОЖД В В коде мнкрокоманды безусловного перехода в разряде 11 будет единица — признак выхода из микропрограммы. Новый адрес извлекается из регистра возврата и равен 1474. По такту Ф3 в разряде 16 устанавливается единица — признак сброса даниых в следующем цикле
1474	0000	

Адрес	Команда	Примечание
1475	5048	Логическое умножение содержимого регистра 8 на константу 04 для проверки наличия сигнала ОШ Н
1476	102C	Условный переход на подпрограмму обслуживания ошибки обращения к каналу по адресу 1454. Нормальное обращение к следующей ячейке; по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1476	0000	
1477	7070	Запрет обслуживания запросов на любые прерывания
1500	10022	Безусловный переход на адрес 042; по такту Ф1 в разряде 16 устанавливается единица — запись в регистр возврата кода адреса 1500; по такту Ф3 в разряде 16 формируется единица — признак сброса данных в следующем цикле
042	0000	
043	3060A6	В разрядах МК 18—21 формируется код 14_8, обеспечивая обработку сигнала К СБРОС Н
044	BC66	Уменьшение содержимого регистра 6 на единицу
045	1023	Условный переход на адрес 043 при неравенстве нулю содержимого регистра 6, признак ветвления — логическая единица в разряде 15 по такту Ф4. По такту Ф3 в разряде 16 устанавливается единица Переход выполняется 10 раз, обеспечивая длительность сигнала К СБРОС Н около 12 мкс
045	0000	
046	246536	В разрядах МК 18—21 выставляется код 11_8, обеспечивая снятие сигнала К СБРОС Н
047	BC66	Уменьшение содержимого регистра 6 на единицу
050	1026	Условный переход на адрес 046 по неравенству нулю содержимого регистра 6, признак ветвления — логическая единица в разряде 15 по такту Ф4. По такту Ф3 в разряде 16 устанавливается единица — сброс данных в следующем цикле; микропрограмма зацикливается, обеспечивая паузу около 100 мкс
051	0800	Безусловный переход; логическая единица в разряде 11 — признак выхода из микропрограммы, новый адрес извлекается из регистра возврата и равен 1500. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1500	0000	
1501	82EC	Пересылка слова из регистров E, F (РОН 7) в регистры C, D (РОН6) (СК) — (УС). По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1501	0000	
1502	688A	Пересылка константы 88 в регистр А
1503	EEAA	Выдача содержимого регистра А в микроканал, производится запись в регистр микрокоманд признака стартовой последовательности для возврата из микропрограммы регенерации. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1503	8888	Константа из регистра А Далее возможен уход на микропрограмму регенерации (при настройке ЦП желательно установить перемычку Е11 и исключить циклы регенерации)
1504	1014D	Безусловный переход на адрес 515; по такту Ф1 в разряде 16 устанавливается единица — признак начала выполнения микропрограммы. Запись в регистр возврата кода адреса 1504, по такту Ф3 в разряде 16 будет единица — признак — сброса данных в следующем цикле
515	0000	
516	6048	Пересылка константы 04 в регистр 8
517	6009	Пересылка константы 00 в регистр 9

Адрес	Команда	Примечание
520	155	Безусловный переход на адрес 525, по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
525	0000	
526	F698	В системный канал из регистров 9, 8 выставляется код 4; по такту Ф2 БИС БМУ формирует сигнал М СИА В. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
526	0000	
527	34E018	По такту Ф2 БИС БМУ вырабатывает сигнал М ВВОД В, в разрядах МК 18—21 выставляется код 15_8, обеспечивая выполнение цикла Внутренний ВВОД. Этим циклом ЦП контролирует появление сигнала К ПИТ Н В
530	340800	Циклы Внутренний ВВОД повторяется до появления сигнала М СИП В, при этом БИС БМУ вырабатывает сигнал М ОЖД В. В коде микрокоманды безусловного перехода в разряде 11 будет единица — признак выхода из микропрограммы. Новый адрес извлекается из регистра возврата и равен 1504, по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1504	0000	
1505	5088	Логическое умноженне константы 08 на содержимое регистра 8, заполненного в предыдущем цикле Внутренний ВВОД
1506	1042	Условный переход в отсутствие сигнала К ПИТН В на адрес 1502, признак ветвлеиия — логнческая единица в разряде 15 по такту Ф4. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цнкле
1506	0000	
1507	38600A	Пересылка константы 00 в регистр А, в разрядах МК 18—21 выставляется код 16_8 обеспечивающий выработку дешифратором специальных управляющих сигналов сигнала ОЧ ПИТ
1510	3C4038	Микрокомандой логического умножеиия содержимого регистра 8 на константу 03 обиуляются все разряды регистра 8, кроме двух младших. Два младших разряда регистра 8 содержат код режима пуска, загруженный предыдущим циклом Внутренний ВВОД по разрядам 00—01 магистрали МДА. В разрядах МК 18—21 выставляется код 17_8, обеспечивающий выработку дешифратором специальных управляющих сигналов сигнала ОЧ ТМ
1511	600E	Пересылка константы 00 в регистр Е
1512	ECE8	Микрокоманда обеспечивает выдачу в микроканал по такту Ф1 следующего цикла содержимого регистров Е и 8 (два младших разряда регистра 8 несут код режима пуска)
1513	034C	Безусловный переход на адрес, определяемый с учетом наложения кода режима начального пуска; 034C — адрес перехода 1514 — выход на резервиую микрокоманду (четвертая страница МПЗУ); 034D — адрес перехода 1515 — старт с адреса 173000; 034E — адрес перехода 1516 — выход на микропрограмму связи с пультовым терминалом; 034F — адрес перехода 1517 — пуск через вектор 24. Таким образом в режиме пуска 0 происходит выход на адрес 1517. В такте Ф3 в разряде 16 устанавливается единица — призиак сброса данных в следующем цикле
1517	0000	
1520	6244	Пересылка константы 24 в регистр 4
1521	6005	Пересылка константы 00 в регистр 5
1522	0311	Безусловный переход на адрес 1421, по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле

Адрес	Команда	Примечание
1421	0000	
1422	F654	В системном канале устанавливается код 24; по такту Ф2 БИС БМУ вырабатывает сигнал М СИА В. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле. Содержимое регистра 4 увеличивается на 2
1422	0000	
1423	E20E	По такту Ф2 БИС БМУ вырабатывает сигнал М ВВОД В и загружает в регистры E, F (СК) содержимое ячейки памяти 24_8
1424	7020	Запрет прерываний на запросы внешних устройств по шине К ТПР Н
1425	F854	Содержимое регистров 5, 4, увеличенное на 2, выставляется в системный канал как адрес 26; по такту Ф2 БИС БМУ вырабатывает сигнал М СИА В. По такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1425	0000	
1426	E01B	По такту Ф2 БИС БМУ вырабатывает сигнал М ВВОД В и загружает в регистр В (регистр состояния) содержимое ячейки памяти 26_8
1427	1718	Условный переход на адрес 1430 при установленном разряде 7 ССП. Признак ветвления — логическая единица в разряде 15 по такту Ф4; по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1427	0000	
1430	7120	Разрешение прерывания по запросам от внешних устройств по шине К ТПР Н
1431	510B	Логическое умножение константы 10 на содержимое регистра В (регистра состояния) — анализируется состояние разряда Т ССП
1432	111B	Условный переход на адрес 1433 для обслуживания прерываний по разряду Т ССП Признак ветвления — логическая единица в разряде 15 по такту Ф4; по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1432	0000	
1433	7110	Разрешение прерывания по разряду Т ССП
1434	273FB	Установка разрядов регистра В. В разряде 17 формируется логическая единица — признак выхода в программный режим Далее микропроцессор в отсутствие сигнала К ОСТ Н я других запросов на прерывание использует содержимое счетчика команд как стартовый адрес и выбирает первую системную команду При наличии сигнала К ОСТ Н микропроцессор переходит на микропрограмму связи с пультовым терминалом, важным элементом которой является фрагмент обращения к регистрам приемника
1750	6FF5	Пересылка константы FF в регистр 5
1751	6744	Пересылка константы 74 в регистр 4
1752	F854	В системный канал по такту Ф1 из регистров 5, 4 выдается код 177564. По такту Ф2 БИС БМУ формирует сигнал М СИА В, а по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1752	0000	
1753	E014	По такту Ф2 БИС БМУ вырабатывает сигнал М ВВОД В и загружает в регистр 4 содержимое ячейки памяти 177564
1754	16E8	Условный переход на адрес 1750 в отсутствии кода 200_8 (готовность приемника). Признак ветвления — логическая единица в разряде 15 в такте Ф4; по такту Ф3 в разряде 16 устанавливается единица — признак сброса данных в следующем цикле
1755	6764	Пересылка константы 76 в регистр 4

Адрес	Команда	Примечание
1756	F954	В системный канал по такту Ф1 из регистров 4, 5 выдается код 177566 и сигнал М БАЙТ В. По такту Ф2 БИС БМУ формирует сигнал М СИА В, а по такту Ф3 в разряде 16 устанавлнвается единица — прнзнак сброса данных в следующем цикле
1756	0000	
1757	FC88	В системный канал по такту Ф1 выдается содержимое регистра 8, по такту Ф2 БИС БМУ формирует сигнал М ВЫОД В. Микрокоманда повторяется до появлення сигнала М СИП, прн этом БИС БМУ вырабатывает сигналы М ОЖД В. После вывода на терминал кодов стартового адреса, кодов ВК, ПС, снмвола @ — признака выхода в пультовый режим — мнкропрограмма зацнклнвается в ожнданнн кода готовности 200_8 из регистра состояння передатчика с адреса памятн 177560

СПИСОК ЛИТЕРАТУРЫ

1. **Микропроцессорные** комплекты интегральных схем/Справочник; Под ред. А. А. Васенкова, В. А. Шахнова. М.: Радно н свнзь, 1982. 192 с.

2. **Мини- и микроЭВМ** семейства «Электроника»/Толстых Б. Л. н др. М.: Радио н связь, 1987. 296 с.

3. **Шило В. А.** Популярные цифровые микросхемы. М.: Радио и связь, 1987. 352 с.

ОГЛАВЛЕНИЕ

Предисловие 4

Глава **1. Структура, принципы построения и технические характеристики** 5
1. Назначение и технические характеристики 5
2. Принципы построения 6
3. Канал микроЭВМ 7
4. Центральный процессор 13
5. Внешняя память 15
6. Модули сопряжения с внешними устройствами ввода-вывода 16
7. Система команд 17

Глава **2. Эксплуатация микроЭВМ** 38
1. Включение питания 38
2. Команды пультового терминала 38
3. Загрузка операционной системы 40
4. Проверка технического состояния 41
5. Создание рабочей копии операционной системы ФОДОС 44
6. Дополнительные устройства 46
7. Техническое обслуживание 47

Глава **3. Центральный процессор М2** 49
1. Структурная схема 49
2. Характеристики МПК БИС К581 51
3. Элементы функциональной схемы ЦП 54
4. Реализация основных циклов обращения к каналу 55
5. Реализация системы прерывания 59
6. Реализация режима прямого доступа к памяти 63
7. Методы дефектации и настройки модуля ЦП М2 64

Глава **4. Оперативное запоминающее устройство** 67
1. Модуль памяти П2 67
2. Модуль памяти П3 69
3. Методика поиска неисправностей модулей памяти и их устранение 72

Глава **5. Интерфейсы** 75
1. Интерфейс И2 75
2. Интерфейс И7 79
3. Интерфейс устройства последовательного обмена 84
4. Интерфейс И4 91
5. Интерфейс В3 98
6. Интерфейс В21 101
7. Канальные коннекторы 104
8. Методика поиска неисправностей модулей интерфейсов 106

Глава **6. Блок питания** 109
1. Назначение и техническая характеристика 109
2. Функционирование блока питания 109
3. Характерные неисправности и методы их устранения 118

Глава **7. Периферийное оборудование** 119
1. Дисплей 15 ИЭ-00-13 119
2. Накопитель на гибких магнитных дисках НГМД 7022 122
3. Печатающее устройство «Роботрон 1156» 125
5. Перфоленточные устройства ввода-вывода 126

Глава **8. Системное программное обеспечение микроЭВМ** 128
1. Тест-мониторная система 128
2. Перфоленточная операционная система 137
3. Операционная система ФОДОС 138

Приложение 140
Список литературы 191